

Analyse und Simulation parasitärer Effekte in flüssig prozessierten organischen Transistoren

Zur Erlangung des akademischen Grades eines

DOKTOR-INGENIEURS

an der Fakultät für

Elektrotechnik und Informationstechnik

des Karlsruher Instituts für Technologie (KIT)

genehmigte

DISSERTATION

von

Stefan Hengen, M.Sc.

geb. in Darmstadt

Tag der mündlichen Prüfung: 23.02.2015

Hauptreferent: Prof. Dr. Uli Lemmer

1. Korreferent: Prof. Dr. Michael Siegel

2. Korreferent: Prof. Dr. Jürgen Giehl

Vorwort

Diese Arbeit befasst sich mit der Analyse und Simulation unerwünschter Eigenschaften von organischen Transistoren. Solche Simulationen sind für eine Serienfertigung mit hoher Ausbeute unerlässlich, und daher von hohem Interesse auf dem Gebiet der organischen Elektronik. Die verwendeten Simulationsmodelle sind bewusst einfach gehalten, was eine Analyse der einzelnen parasitären Effekte vereinfacht. Die untersuchten Transistoren können mit den verwendeten Modellen unter Berücksichtigung der Serienstreuung sehr gut beschrieben werden. Darüber hinaus werden die weiteren parasitären Effekte als jeweils eigene Modellerweiterungen betrachtet, was das Verständnis erleichtert und die Verwendung im Schaltungssimulator vereinfacht. Die Schaltungssimulationen wurden mittels SPICE¹ durchgeführt, wobei LTspice IV als Software verwendet wurde.

Karlsruhe,
im Januar 2015

Stefan Hengen
Karlsruher Institut für Technologie (KIT)

¹Simulation Programm with Integrated Circuit Emphasis

Publikationsliste

Publikationen in referierten Zeitschriften

- S. Hengen, M. Alt, G. Hernandez-Sosa, J. Giehl, U. Lemmer, N. Mechau „Modelling and simulation of gate leakage currents of solution-processed OTFT.“Organic Electronics, 2014, doi:10.1016/j.orgel.2013.12.022

Beiträge in Tagungsbänden

- S. Hengen, S. Pankalla, M. Glesner, J. Giehl, „Mass Characterisation of OTFT“, LOPE-C, Frankfurt, 2011 ISBN: 978-3-00-034957-7
- S. Hengen, B. Vettermann, C. Haas, B. Scherwath, J. Giehl, „Modelling and Simulation of Organic Thin Film Transistor Circuits“, LOPE-C, München, 2012, ISBN: 978-3-00-038122-5
- S. Hengen, B. Scherwath, C. Haas, B.Vettermann, J. Giehl, „Entwicklung von Schaltungen auf Basis organischer Elektronik“, 49. Workshop der Multi Projekt Chip Gruppe, Mannheim Februar 2013, Tagungsband 49, ISSN: 1868-9221
- S. Hengen, K. Heit, L. Lewandowski, B. Vettermann, J. Giehl, „Entwicklung eines SPICE Modells für organische Transistoren“, 50. Workshop der Multi Projekt Chip Gruppe, Konstanz Jul.2013, Tagungsband 50, ISSN: 1868-9221

Poster

- S. Hengen, S. Pankalla, M. Glesner, J. Giehl, „Mass Characterisation of OTFT“, LOPE-C, Frankfurt 2011
- S. Hengen, B. Vettermann, C. Haas, B. Scherwath, J. Giehl, „Modelling and Simulation of Organic Thin Film Transistor Circuits“, LOPE-C, München 2012

-
- S. Hengen, B. Vettermann, J. Giehl, „Circuit Simulation for Solution Processed OTFT“, Clusterkonferenz Forum Organic Electronic, Heidelberg 2013

Betreute Studentische Arbeiten

Diese Arbeiten wurden, im Rahmen meiner Tätigkeiten an der Hochschule Mannheim, von mir als Zweitgutachter betreut.

- R. Blanco, „Entwurf, Simulation und Messung einer analogen Schaltung mit Transistoren auf der Basis organischer Materialien.“, Bachelorarbeit, Informationstechnik, 2011
- C. Haas, „Charakterisierung von Bauelementen auf der Basis organischer Materialien und Erstellung einer Auswerte- und Archivierungssoftware.“, Diplomarbeit, Informationstechnik, 2011
- C. Kenmogne, „Charakterisierung des Temperaturverhaltens von Dioden auf der Basis organischer Materialien.“, Bachelorarbeit, Informationstechnik, 2011
- F. Kühne, „Simulation und Modellierung von organischen Transistoren.“, Bachelorarbeit, Informationstechnik, 2011
- S. Ngansso, „Aufbau eines Reihennessplatzes zur Charakterisierung von Bauelementen auf der Basis organischer Materialien.“, Bachelorarbeit, Informationstechnik, 2011
- B. Scherwath, „Entwicklung eines Messverfahrens zur Bestimmung von Kapazitäten an Feldeffekttransistoren auf Basis organischer Materialien.“, Bachelorarbeit, Informationstechnik, 2011
- I. Abyanoglu, „Simulationen von gedruckten organischen Transistoren mit dem Variable Range Hopping (VRH) Modell unter LTspice IV“, Diplomarbeit, Informationstechnik, 2012

-
- M. Bouarda, „Umsetzung eines SPICE -Modells für organische Transistoren.“, Diplomarbeit, Informationstechnik, 2012
 - D. S. Garcia, „Development of a Software Tool to evaluate Printed Organic Transistors.“, Masterarbeit, Informationstechnik, 2012
 - K. Heit, „Reihenmessungen an OTFTs.“, Bachelorarbeit, 2012
 - C. Kenmogne, „Leckströme in organischen Transistoren und deren Einfluss auf die Kennlinien.“, Masterarbeit, Informationstechnik, 2012
 - M. Mischler, „Charakterisierung von Bauelementen auf der Basis organischer Materialien und Erweiterung einer Auswerte- und Archivierungssoftware.“, Bachelorarbeit, Informationstechnik, 2012
 - G. Ndongmo, „Simulation von organischen Transistoren mit Hilfe der Monte-Carlo Methode in Mentor.“, Bachelorarbeit, Informationstechnik, 2012
 - B. Scherwath, „Charakterisierung und Modellierung des Temperaturverhaltens organischer Transistoren.“, Masterarbeit, Informationstechnik, 2012
 - M. Bader, „Entwicklung eines Messkopfes zur Reihenmessung von Transistoren auf der Basis gedruckter organischer Materialien (OFETs)“, Bachelorarbeit, Informationstechnik, 2013
 - C. Haas, „Charakterisierung des transienten Verhaltens von Transistoren auf der Basis organischer Materialien.“, Masterarbeit, Informationstechnik, 2013
 - L. Komguem, „Messungen und Implementierung des Sub- Threshold-Bereich-Verhaltens Organischer Transistoren (OFETs).“, Bachelorarbeit, Informationstechnik, 2013

-
- L. Lewandowski, „Untersuchung zur Schichtdickenabhängigkeit von organischen Transistoren.“, Bachelorarbeit, Informationstechnik, 2013
 - L. Lewandowski, „Messung und Auswertung von Transistoren auf Basis gedruckter organischer Materialien“, Masterarbeit, Informationstechnik, 2013
 - K. Müller, „Untersuchung und Simulation von Inverterschaltungen aus Organischer Elektronik.“, Bachelorarbeit, Informationstechnik, 2013

Inhaltsverzeichnis

Vorwort	i
Publikationsliste	ii
1 Einleitung	1
1.1 Motivation	3
1.2 Gliederung	3
2 Grundlagen	5
2.1 Feldeffekttransistor	5
2.2 Herleitung der Kennlinie	6
2.3 Modellierung	7
2.4 Shichman-Hodges MOS-Modell	9
2.5 Bändermodell	11
2.6 Ladungstransport in organischen Halbleitern	12
2.7 Organische Halbleiter	14
2.8 Metall-Halbleiter Übergang	15
3 Verwendete Materialien und Herstellung	19
3.1 Verwendete Transistoren	19
3.2 Herstellung	20
3.3 Halbleiter	26
3.4 Dielektrikum	26
3.5 Injektionsschicht	27

4 Elektrische Charakterisierung	29
4.1 TRIAX-Technik	30
4.2 Kontaktierung	30
4.3 Messungen	34
4.4 Parameter Extraktion	40
5 Modellierung und Simulation	47
5.1 SPICE	47
5.2 OTFT-Modellierung	48
5.3 Verwendetes Modell	49
5.4 Modell-Erweiterungen	52
6 Gate-Leckströme	61
6.1 Erläuterungen	61
6.2 Analyse der Gate-Leckströme	63
6.3 Wirkung des Leckstromes auf die Kennlinien	65
6.4 Modellierung von Gate-Leckströmen	65
6.5 Extraktion der Simulationsparameter	69
6.6 Wirkung auf die Kennlinien	71
7 Variation der Schichtdicken	75
7.1 Erläuterungen	75
7.2 Halbleiterdicke	76
7.3 Halbleiterdicke des Einzeltransistors	83
7.4 Dielektrikumsdicke	83
8 Prozessvariation	97
8.1 Prozessstatistik Transistor	97
8.2 Prozessstatistik Inverter	99
8.3 Modellierung	100
8.4 Schaltungssimulation	100

8.5	Fazit Prozessvariation	102
9	Temperatureffekte	103
9.1	Erläuterungen	103
9.2	Ladungsträgerbeweglichkeit	104
9.3	Schwellspannung	109
9.4	Simulation eines Einzeltransistors	112
9.5	Simulation eines Ringoszillators	113
9.6	Fazit Temperatursimulation	120
10	Zusammenfassung	121
11	Ausblick	123
A	Anhang	125
B	Formelzeichen und Abkürzungsverzeichnis	133
	Literaturverzeichnis	135
	Abbildungsverzeichnis	151
	Tabellenverzeichnis	161
	Danksagung	163

1. Einleitung

Organische Elektronik bezeichnet elektronische Bauelemente und Schaltungen, welche zum Teil oder komplett aus organischen¹ Materialien hergestellt werden. Im Gegensatz hierzu basieren herkömmliche elektronische Schaltungen auf anorganischen Materialien, meistens Silizium, seltener Germanium, Gallium-Arsenid und anderen Materialien [1]. Während anorganische Halbleiter seit vielen Jahrzehnten untersucht und verwendet werden, ist die Entwicklung der organischen Elektronik noch relativ jung. Halbleiter sind seit 1874 [2] bekannt, und werden seit Anfang des 20. Jahrhunderts kommerziell verwendet [3, 4]. Der erste organische Transistor wurde jedoch erst 1986 veröffentlicht [5, 6]. Steigendes Interesse erhielt dieses Forschungsgebiet mit dem Nobelpreis für Chemie im Jahr 2000 für Heeger, MacDiarmid und Shirakawa [7, 8, 9, 10]. Neben organischen Transistoren (OTFTs²) wird organische Elektronik unter anderem noch für Sensoren, organische Leuchtdioden (OLEDs) und organische Photovoltaik (OPV) verwendet. Generell haben organische Halbleiter eine geringere Leistungsfähigkeit als z. B. Silizium [11, 1]. Diesem Manko stehen jedoch große Vorteile gegenüber, so lassen sich viele organische Materialien in Lösemitteln lösen und flüssig verarbeiten, außerdem können elektrisch leitfähige Strukturen auf flexiblen Trägermaterialien aufgebracht werden, was mit herkömmlicher Technologie nicht ohne weiteres möglich ist [12, 13, 14]. So sind z. B. schon transparente OLEDs und flexible Displays präsentiert worden, welche beide völlig neuartige Anwendungen

¹organisch = aus Kohlenstoff-Verbindungen aufgebaut

²OTFT = Organic Thin Film Transistor = Organischer Dünnschicht Transistor

eröffnen [15, 16]. Auch ein flexibler Mikroprozessor aus 4000 Transistoren wurde bereits 2011 von K. Myny et al. demonstriert [17].

Das Verarbeiten von gelösten und damit flüssigen Materialien führt zu einer drastischen Vereinfachung des Herstellungsprozesses. So lassen sich die einzelnen Schichten aus der jeweiligen Lösung heraus z. B. aufschleudern³ oder drucken und müssen nicht zwingend in aufwendigen Vakuumprozessen verarbeitet werden [18]. Das Drucken als mögliche Herstellungstechnologie ist von besonders großem Interesse, weil neben der geringeren Kosten auch größere Flächen mit wesentlich höherer Geschwindigkeit prozessiert werden können, was insbesondere für OLEDs und OPV von großem Nutzen ist [19]. Aktuell gängige Silizium-Wafer haben einen Durchmesser von 300mm und werden einzeln oder in kleinen Chargen prozessiert. Dem gegenüber stehen Druckmaschinen, welche auf einer Breite von über 2m kontinuierlich drucken können. Dem deutlich höheren Durchsatz der Drucktechnologie stehen jedoch wesentlich geringere Genauigkeiten gegenüber, während bei aktuellen integrierten Schaltkreisen Strukturgrößen im Nanometer-Bereich verwendet werden, so sind es bei Druckmaschinen μm bis mm . Ebenso sind die resultierenden Schichten in der klassischen Halbleiterherstellung wesentlich präziser, reiner und homogener als solche, die aus Lösungen heraus produziert werden. Daher sind die Bauelemente, welche aus flüssig prozessierten organischen Materialien hergestellt werden, in ihren Dimensionen und der Leistungsfähigkeit mit Siliziumchips nicht vergleichbar. Aktuell sind durch die wesentlich kleineren Strukturen auch die Herstellungskosten pro Transistor in der Silizium Technologie deutlich geringer als bei organischen Materialien; pro prozessierter Fläche jedoch, sind organische Materialien in der Verarbeitung günstiger. Die geschätzten Kosten betragen \$ 3 pro cm^2 bei klassischer Silizium Fertigung und \$ 0,1 pro m^2 im Offset Druck [20]. Um eine Produktion im großen Maßstab zu ermöglichen, müssen zum einen die Fertigungsmethoden weiter verbessert werden. Es müssen jedoch auch Modelle zur Schaltungssi-

³Aufschleudern = Spincoating / Rotationsbeschichten

mulation entwickelt werden, welche die Bauteileigenschaften der organischen Elektronik hinreichend genau beschreiben. Dies gilt sowohl für das einfache elektrische Verhalten, als auch für Serienstreuung, Alterung und die Auswirkung von Umwelteinflüssen wie z. B. Temperaturänderung.

1.1. Motivation

Für die Simulation von OTFTs sind bereits verschiedene Modelle entwickelt worden, welche das elektrische Verhalten beschreiben [21, 22, 23, 24]. Diese Modelle beschränken sich jedoch auf die Simulation der idealen Materialeigenschaften; parasitäre Effekte werden üblicherweise nicht im Modell berücksichtigt. Für die Serienfertigung von integrierten Schaltungen auf Basis organischer Materialien müssen jedoch auch unerwünschte Effekte berücksichtigt werden. Hierzu müssen diese Effekte identifiziert und untersucht werden, anschließend sind Modelle zu entwickeln um die Effekte simulieren zu können.

1.2. Gliederung

Kapitel 1 gibt einen grundlegenden Überblick über das Themengebiet und die Grundlagen organischer Transistoren. Hier werden grundlegende Sachverhalte erläutert, Halbleiter und Transistorfunktion beschrieben. Kapitel 3 beschreibt den Aufbau, die verwendeten Materialien und die Herstellung der untersuchten organischen Transistoren. In Kapitel 4 werden die durchgeführten Messungen und die Methoden zur Extraktion der einzelnen Parameter erläutert. Im Kapitel 5 werden das verwendete OTFT-Modell, die verwendete Simulationsumgebung und erste Modellerweiterungen beschrieben. Im Kapitel 6 wird eine Modellerweiterung zur Simulation von parasitären Gate-Leckströmen vorgestellt. Das Kapitel 7 zeigt die Auswirkungen verschiedener Schichtdicken von Halbleiter und Dielektrikum auf die Parameter der produzierten OTFTs. Das Kapitel 8 beschäftigt sich mit

der Analyse und Simulation von Schwankungen der Prozessparameter. In Kapitel 9 wird der Einfluss von Temperaturänderungen auf das Verhalten von OTFTs untersucht und ein Modell entwickelt, mit dem das Temperaturverhalten simuliert werden kann.

2. Grundlagen

Dieses Kapitel gibt einen grundlegenden Überblick über die prinzipielle Funktionsweise von Feldeffekttransistoren. Es wird die Entstehung der Kennlinien und das MOS-Modell nach Shichman-Hodges erklärt. Zum besseren Verständnis des Ladungsträgertransportes in organischen Materialien wird das Bändermodell und der Metall-Halbleiter Übergang erläutert. In einem Überblick über organische Halbleiter werden die verschiedenen Gruppen und die aktuell erreichten Ladungsträgerbeweglichkeiten verglichen.

2.1. Feldeffekttransistor

Die in dieser Arbeit untersuchten OTFTs sind Dünnschichttransistoren, welche von der Funktionsweise her wiederum Feldeffekttransistoren sind. In Feldeffekttransistoren (FET) wird der Stromfluss zwischen zwei Elektroden (Drain und Source) durch das elektrische Feld gesteuert, welches auf den dazwischen liegenden Halbleiter einwirkt. In der einfachen Modellvorstellung liegt das Feld orthogonal zur Richtung des späteren Stromflusses. Das äußere elektrische Feld übt eine Kraft auf die Ladungsträger im Halbleiter aus, hierdurch können Ladungsträger angesammelt oder verdrängt werden, wodurch im Halbleiter ein leitfähiger Bereich entsteht, welcher Kanal genannt wird [1, 25].

In kristallinen FETs ist der Halbleiter dotiert, so dass ein Ungleichgewicht an Ladungsträgern entsteht, die Mehrheit wird Majoritäts-, die Minderheit Minoritätsladungsträger genannt. Üblicherweise wird der Kanal hier durch Verdrängen der Majoritätsladungsträger und Inversion des

Kanalgebietes gebildet. So sind im Kanalgebiet, bei ausgebildetem Kanal, die Minoritätsladungsträger in der Überzahl, dieser Zustand wird als Inversion bezeichnet. OTFTs werden üblicherweise in Akkumulation betrieben, hierbei werden die Majoritätsladungsträger im Kanalgebiet vermehrt angesammelt und so die Leitfähigkeit gesteuert. Der Begriff Dünnschichttransistoren bezeichnet Transistoren, welche auf einem Trägermaterial aufgebaut werden – im Gegensatz hierzu werden konventionelle Transistoren in das Halbleitermaterial eingebracht. Dünnschicht kann ebenso auf die Schichtdicke von Halbleiter und Isolator bezogen werden, diese reichen von einigen nm zu wenigen μm .

Der prinzipielle Aufbau des Dünnschichttransistors ist folgender: Auf dem isolierenden Trägermaterial befinden sich zwei leitende Elektroden, welche Drain und Source genannt werden. Zwischen den Elektroden liegt der Halbleiter, über dem gesamten Aufbau eine Isolationsschicht (Dielektrikum), auf dieser Schicht sitzt die Gateelektrode, welche idealerweise nur über dem Bereich zwischen Drain und Source positioniert wird. Es gibt prinzipiell vier verschiedene Varianten für Dünnschichttransistoren. Sowohl das Gate als auch Drain und Source können auf dem Substrat liegen (Bottom-Gate / -Contact) oder erst als letzte Schicht im Herstellungsprozess aufgebracht werden (Top-Gate / -Contact). Abbildung 2.1 zeigt die vier Transistortypen schematisch. Die in dieser Arbeit untersuchten Transistoren haben ausschließlich Bottom-Contact, Top-Gate Topologie.

2.2. Herleitung der Kennlinie

Wird zwischen Source und Gate eine Spannung angelegt, so ergibt sich ein elektrisches Feld zwischen diesen beiden Kontakten. Dieses Feld übt eine Kraft auf die Ladungsträger aus, welche sich im Halbleiter befinden. Ist die Gate-Spannung positiv, so sammeln sich Löcher auf der Gateelektrode. Dieser positiven Ladung steht eine negative Spiegelladung im Halbleiter gegenüber. Bei positiver Gatespannung sammeln sich im Halbleiter unter-

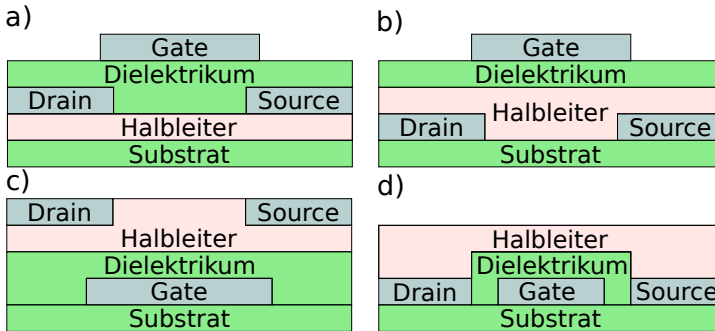


Bild 2.1.: Schematische Darstellung der verschiedenen Transistortypen: a) Top-Contact, Top-Gate. b) Bottom-Contact, Top-Gate. c) Top-Contact, Bottom-Gate. d) Bottom-Contact, Bottom-Gate.

halb der Gateelektrode negative Elektronen. Abbildung 2.2 zeigt die Bildung des Kanals in verschiedenen Betriebsbereichen. Durch unterschiedliche Austrittsarbeiten oder ortsfeste Ladungsträger kann sich die Ausbildung des Kanals zu positiven oder negativen Schwellspannungen (U_{Th}) verschieben. Ist bereits bei $U_G = 0V$ ein Kanal ausgebildet, so wird der Transistor als selbstleitend, anderenfalls als selbstsperrend bezeichnet.

Die Beweglichkeit der Ladungsträger wird durch den Parameter μ (Ladungsträgerbeweglichkeit) beschrieben. Je größer dieser Wert, desto weniger wird der Transport der Ladungsträger gestört und desto mehr Strom kann fließen. Der Wert von μ wird daher auch zum Vergleich verschiedener Halbleiter verwendet, je höher der Wert, desto leistungsfähiger ist das Material.

2.3. Modellierung

Modelle beschreiben, wie sich Ausgangsgrößen eines Systems in Abhängigkeit von Eingangsgrößen verhalten. Diese Modelle können rein numerischer Natur sein oder auf physikalischen Grundlagen basieren. Numeri-

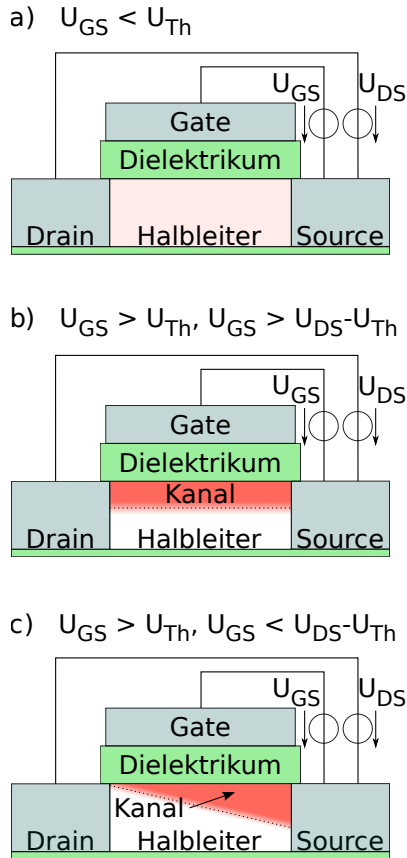


Bild 2.2.: Ausbildung des leitfähigen Kanals in einem OTFT. a) Off-Bereich, kein Kanal gebildet. b) Linearer Bereich, der Kanal ist komplett gebildet. c) Sättigungsbereich, der Kanal ist ausgebildet, wird jedoch am drainseitigen Ende abgeschnürt, da $U_{GS} < U_{DS} - U_{Th}$.

sche Modelle haben nicht zwingend einen physikalischen Bezug zur Realität, können jedoch ein System durch Gleichungen oder Wertetabellen beschreiben, welche aus Messdaten extrahiert werden. Physikalische Modelle hingegen basieren auf einer Beschreibung des Systems nach physikalischen

Gesetzmäßigkeiten und Regeln. Das Simulationsergebnis wird durch physikalische Modelle nicht zwangsläufig genauer, hat jedoch einen direkten Bezug zum realen System. Somit können auch Änderungen am Aufbau des Systems simuliert werden, was mit rein mathematischen Modellen nicht unbedingt möglich ist. Neben der Simulation von Schaltungen aus OTFTs, werden parallel auch die Bauteile weiter erforscht und verbessert. Daher werden in dieser Arbeit Modelle verwendet, die das Verhalten von OTFTs nicht nur beschreiben, sondern auch einen physikalischen Hintergrund haben. Hierdurch wird das Verständnis für die Bauteile und den Einfluss von Prozessveränderungen auf einzelne Parameter verbessert.

2.4. Shichman-Hodges MOS-Modell

Das sogenannte einfache MOS-Modell nach Shichman-Hodges beschreibt den Strom in kristallinen Feldeffekttransistoren [26]. In Grundzügen lassen sich mit diesem relativ einfachen Modell auch Transistoren aus organischen Materialien beschreiben, weshalb es z. B. auch zur Parameterextraktion verwendet wird. Das Modell beschreibt den Stromfluss zwischen Drain und Source (I_D), in Abhängigkeit der angelegten Spannungen U_{GS} und U_{DS} . Der Betrieb des Transistors wird grundsätzlich in drei Betriebsbereiche unterteilt, diese sind: Sperrbereich, Sättigungsbereich und Widerstandsbereich (vgl. Abb. 2.2).

2.4.1. Sperrbereich

Die Bedingung für den Sperrbereich lautet: $U_{GS} < U_{Th}$. In diesem Bereich hat sich noch kein Kanal ausgebildet. Im einfachen MOS-Modell wird der Strom mit 0A modelliert. In der Realität fließt jedoch ein geringer Strom, der mehrere Größenordnungen kleiner ist als der maximale Betriebsstrom. In einfachen Modellen kann der Off-Bereich durch einen Widerstand zwischen Drain und Source simuliert werden. Bessere Simulationsergebnisse liefert jedoch die Beschreibung durch einen exponentiellen Verlauf des

Stromes und die weitere Aufteilung des Sperrbereiches in Sub-threshold und Off-Bereich.

2.4.2. Sättigungsbereich

Die Bedingungen für den Sättigungsbereich lauten: $U_{GS} > U_{Th}$ und $U_{GS} - U_{Th} < U_{DS}$. Der Drainstrom im Sättigungsbereich wird durch Gleichung (2.1) beschrieben. In diesem Bereich verhält sich der Kanalstrom quadratisch zur angelegten Gatespannung. Der Kanal wird am drainseitigen Ende abgeschnürt, was bedeutet, dass die Ladungsträger sich mit der maximal möglichen Geschwindigkeit bewegen. Eine weitere Erhöhung der Drainspannung bewirkt keinen höheren Strom im Kanal. Um einen Kanal auszubilden muss die effektive Spannung zwischen Gate ($U_{Geff} = U_G - U_{Th}$) und Kanal mehr als 0V betragen. Die Spannung auf der Gate-Elektrode ist näherungsweise konstant, die Spannung im Kanal ist jedoch ortsabhängig.

Ist $U_{Geff(x)}$, nicht größer als die ortsabhängige Spannung im Kanal, kann sich kein vollwertiger Kanal ausbilden und es kommt zur Abschnürung. Erst bei $U_{Geff} > U_{DS}$ wird auf der gesamten Länge der Kanal vollständig ausgebildet, dann befindet sich der Transistor jedoch nicht mehr im Sättigungs- sondern im linearen Bereich.

$$I_D = \frac{1}{2} \frac{W}{L} \mu C_{Ox} (U_{GS} - U_{Th})^2 \quad (2.1)$$

2.4.3. Linearer Bereich

Die Bedingungen für den linearen Bereich lauten: $U_{GS} > U_{Th}$ und $U_{GS} - U_{Th} > U_{DS}$. Der Kanal ist zwischen Drain und Source voll ausgebildet, der Kanalstrom verhält sich in diesem Bereich linear zur Gatespannung. Der Drainstrom wird durch Gleichung (2.2) beschrieben.

$$I_D = \frac{W}{L} \mu C_{Ox} \left(U_{GS} - U_{Th} - \frac{U_{DS}}{2} \right) U_{DS} \quad (2.2)$$

2.5. Bändermodell

Zum besseren Verständnis des Ladungstransports wird als Modell für die elektrische Leitfähigkeit das Bändermodell herangezogen. Ausschlaggebend für die elektrische Leitfähigkeit eines Materials ist eine genügend große Anzahl freier Elektronen. Freie Elektronen sind solche, die nicht in Bindungen mit anderen Atomen verwendet werden und sich daher frei bewegen können. Im Bändermodell besetzen die freien Elektronen das Leitungsband, die Valenzelektronen besetzen das Valenzband. Der energetische Abstand zwischen Leitungs- und Valenzband wird als Bandlücke bezeichnet. Dieser Wert besagt, welche Energie zugeführt werden muss um ein Elektron vom Valenzband in das Leitungsband zu befördern [27]. Die Höhe der Bandlücke wird üblicherweise in Elektronenvolt (eV) angegeben, wobei ein eV ca. $1,602 \cdot 10^{-19} J$ entspricht.

Abbildung 2.3 zeigt schematisch das Bändermodell für Isolator, Leiter und Halbleiter. Bei Isolatoren ist der Abstand zwischen Valenz- und Leitungsband so groß ($\gtrsim 3 eV$), dass bei Raumtemperatur keine Ladungsträger durch thermische Anregung in das Leitungsband gelangen können. Bei Leitern liegen Valenz- und Leitungsband entweder direkt übereinander oder überlappen sich, so dass das Leitungsband bei Raumtemperatur stets besetzt ist. Halbleiter haben eine Bandlücke, diese ist jedoch kleiner als $3 eV$ [28]. Dieser Wert ergibt sich aus folgender Definition: Halbleiter sind Materialien, bei denen bei Raumtemperatur die Energie der thermischen Anregung ausreicht, um Elektronen in das Leitungsband zu befördern. So sind Halbleiter bei $T = 0 K$ Isolatoren und leiten mit zunehmender Temperatur besser. Typische Werte für die Bandlücke bei Raumtemperatur sind: Kristallines Silizium (Si) - $1,12 eV$, Gallium-Arsenid (GaAs) - $1,42 eV$ [1]. Bei Halbleitern lässt sich die Besetzung des Leitungsbandes und damit die Leitfähigkeit, durch äußere Einflüsse steuern. Diese Einflüsse können z. B. die Temperatur, die Beleuchtungsstärke oder ein äußeres elektrisches Feld sein [29]. Der letzte Fall wird in Feldeffekttransistoren ausgenutzt, hier steuert

ein von außen angelegtes elektrisches Feld die Leitfähigkeit des Halbleiters.

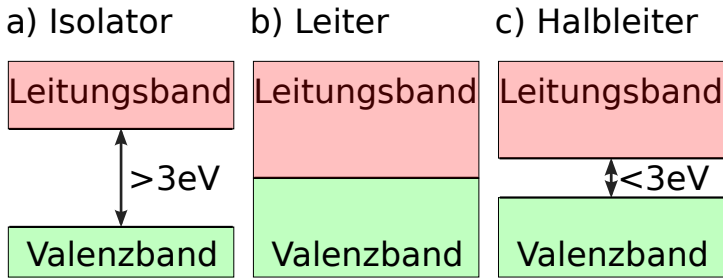


Bild 2.3.: Darstellung von Valenzband und Leitungsband bei verschiedenen Materialien. a) Isolator, hier ist die Energiedifferenz größer als 3eV , b) Leiter, die Bänder liegen direkt aneinander oder überlappen sich. c) Halbleiter, die Bänder berühren sich nicht, der Abstand beträgt jedoch weniger als 3eV .

2.6. Ladungstransport in organischen Halbleitern

Der Ladungstransport, wie ihn das Bändermodell (vgl. Abschnitt 2.5) beschreibt, gilt nur für kristalline Halbleiter, welche ein weitläufig geordnetes Kristallgitter besitzen. Organische Halbleiter liegen jedoch meistens nicht als Einkristall, sondern als polykristalline¹ oder amorphe² Schicht vor. Während Einkristalle eine hohe Ordnung aufweisen, werden amorphe und polykristalline Strukturen als ungeordnet angesehen.

Die verwendeten Modelle werden zu großen Teilen zur Beschreibung von amorphem Silizium verwendet und für organische Elektronik ggf. modifiziert. Amorphes Silizium wird z. B. für Solarzellen und Transistoren zur Ansteuerung von LCDs³ verwendet. Es ist günstiger zu prozessieren und

¹Polykristallin = einzelne kristalline Gebiete unterschiedlicher Ausrichtung

²Amorph = keine ausgedehnte kristalline Struktur vorhanden, die Moleküle haben nur eine Nahordnung

³LCD = Liquid Crystal Display = Flüssigkristall Anzeige

kann bei niedrigeren Temperaturen abgeschieden werden als kristallines Silizium.

Gegenüber dem Bandtransport, welcher den Ladungsträgern hohe Beweglichkeiten ermöglicht, ist Ladungstransport in ungeordneten Systemen durch das Springen zwischen unterschiedlichen Energieniveaus dominiert und wird als Hopping⁴-Transport bezeichnet. Bei dieser Art des Ladungstransportes können sich die Ladungsträger nicht frei bewegen, sondern springen zwischen Gebieten hoher Aufenthaltswahrscheinlichkeit. Da diese Gebiete unterschiedliche Energieniveaus besitzen ist diese Art des Transports üblicherweise thermisch angeregt. Für niedrige Temperaturen ergeben sich nur geringe Sprungenergien, der Transport kann nur zu energetisch günstigeren bzw. räumlich naheliegenden Gebieten erfolgen. Bei höheren Temperaturen können die Sprünge auch über größere Energiedifferenzen erfolgen. Die Mechanismen werden je nach Temperaturbereich Nearest-Neighbour Hopping (NNH) oder Variable Range Hopping (VRH) genannt [30, 31]. Neben der thermischen Anregung ist üblicherweise auch eine Abhängigkeit des von außen angelegten elektrischen Feldes zu messen, diese äußert sich bei Transistoren in einer Abhängigkeit der Ladungsträgerbeweglichkeit von der Gatespannung.

Zur Unterscheidung zwischen Bänder- und Hoppingtransport werden folgende Kriterien untersucht: Eine Temperaturabhängigkeit der Ladungsträgerbeweglichkeit in der Form von $\mu \propto T^{-\frac{3}{2}}$ und eine Richtungsabhängigkeit der Ladungsträgerbeweglichkeit von der Orientierung der Kristallstruktur. Beide Anzeichen können an organischen Einkristallen, nicht jedoch in ungeordneten Systemen nachgewiesen werden [30, 32].

Bei organischen Transistoren liegt die Beweglichkeit in der Größenordnung von $0,01 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ bis $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ [33]. Für Überschlagsrechnungen bei Silizium Transistoren werden üblicherweise $300 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ für n-Kanal Transistoren und ca. $100 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ für p-Kanal Transistoren verwendet. Die wahren Werte hängen jedoch sehr stark von der Do-

⁴Hopping (engl.) = springen

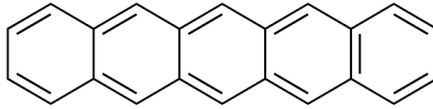
tierungskonzentration und von der Feldstärke ab und liegen zwischen ca. $200\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ bis $800\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ für Elektronen und $60\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ bis $200\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ für Löcher [1]. Bei reinem Silizium betragen die Werte $1350\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ für Elektronen und $500\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ für Löcher [25]. Alle Werte gelten für Raumtemperatur bzw. 300 K.

2.7. Organische Halbleiter

Organische Halbleiter werden üblicherweise in zwei Untergruppen eingeteilt, Polymere und sogenannte kleine Moleküle (small molecules). Während Moleküle aus mehreren Atomen bestehen, sind Polymere wiederum aus mehreren Molekülen aufgebaut und daher deutlich größer. Von beiden Gruppen gibt es sowohl p- als auch n-Leiter, wobei p-leitende Materialien üblicherweise eine höhere Ladungsträgerbeweglichkeit aufweisen als n-leitende [34]. Die resultierenden Schichten sind bei den kleinen Molekülen üblicherweise polykristallin, während Polymere meistens amorphe Schichten bilden. Dem gegenüber steht die klassische Halbleitertechnik, welche große Einkristalle verwendet, weshalb hier auch der Begriff kristalline Materialien üblich ist. Es gibt jedoch auch Ansätze, OTFTs aus Einkristallen herzustellen [35]. Für die Flüssigprozessierung werden meistens Polymere verwendet, da diese besser aus einer Lösung heraus verarbeitet werden können. Kleine Moleküle erreichen jedoch höhere Beweglichkeiten und versprechen daher leistungsfähigere Bauteile [33].

Aktuell erreichte Werte der Ladungsträgerbeweglichkeiten in OTFTs sind z. B. $10,7\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ für Flüssig- und $15\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ für Vakuumprozesse [11, 38, 39]. In kristallinen organischen Halbleitern werden Beweglichkeiten von bis zu $40\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ ermittelt [40]. Ein weit verbreiteter organischer Halbleiter aus der Gruppe der kleinen Moleküle ist Pentacen. Dieses Material hat Ladungsträgerbeweglichkeiten von über $20\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ und ist damit vergleichbar mit amorphem Silizium [41]. Reines Pentacen ist sehr schlecht löslich und eignet sich somit nicht für die Flüssigprozess-

a)



b)

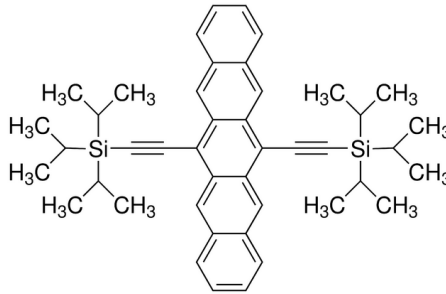


Bild 2.4.: Schematische Darstellung der Moleküle von a) Pentacen und b) TIPS-Pentacen. Bei TIPS-Pentacen werden zusätzliche Seitengruppen zur Erhöhung der Löslichkeit verwendet [36].

sierung, jedoch gibt es Derivate bei denen die Löslichkeit durch zusätzliche Seitengruppen verbessert wird. Der bekannteste Vertreter ist 6,13-bis(triisopropyl-silylethynyl)-Pentacen (TIPS-Pentacen), welches flüssig prozessiert ebenfalls Beweglichkeiten von über $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ erreicht [42, 43]. Aus der Gruppe der Polymere werden z. B. Poly[bis(4-phenyl)(2,4,6-trimethylphenyl)amine] (PTAA) und Poly(3-hexylthiophen-2,5-diyl) (P3HT) häufig verwendet, die einzelnen Moleküle sind in Abb. 2.5 dargestellt. PTAA erreicht Ladungsträgerbeweglichkeiten von ca. $0,005 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, und P3HT ca. $0,01 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ [44, 45].

2.8. Metall-Halbleiter Übergang

Beim Kontakt zwischen Leiter und einem Halbleiter mit unterschiedlichen Austrittsarbeiten, wandern Elektronen von höheren zu niedrigeren Ener-

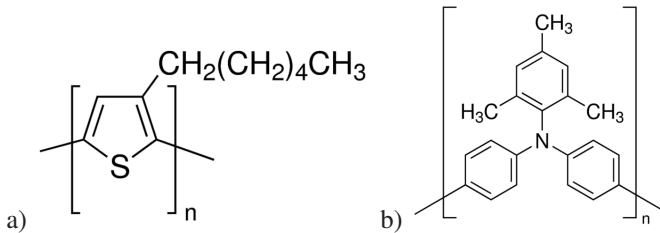


Bild 2.5.: Schematische Darstellung der Moleküle von a) Poly(3-hexylthiophen-2,5-diyl) (P3HT) und b) Poly[bis(4-phenyl)(2,4,6-trimethylphenyl)amine] (PTAA). [37].

gieniveaus. Hierbei werden die Fermi-niveaus von Leiter und Halbleiter angeglichen, woraus eine Bandverbiegung im Halbleiter resultiert. Abbildung 2.6a zeigt Metall und Halbleiter im Ausgangszustand, Das Fermi-niveau des Halbleiters liegt oberhalb des Metalls. Nach Kontakt (Abb. 2.6b) hat ein Ladungstransport vom Halbleiter zum Metall stattgefunden, wodurch im n-Halbleiter Löcher zurückgeblieben sind, hierdurch werden die Bandkanten verbogen. Durch dieses Verbiegen entsteht eine Potentialbarriere (Φ_C), die beim Stromfluss vom Metall in den Halbleiter überwunden werden muss [46].

Der Übergang zwischen Drain- bzw. Sourceelektrode und Halbleiter ist bei Si-Transistoren üblicherweise ohmsch ausgeführt. Das bedeutet, dass das Fermi-niveau der Elektrode oberhalb des Leitungsbandminimums des Halbleiters liegt [1]. Dieser Zustand kann jedoch in OTFTs nicht immer erreicht werden. Die resultierende Potentialbarriere zwischen der Elektrode und dem HOMO bzw. LUMO des Halbleiters verursacht einen Spannungsabfall welcher die wirksame Drain-Source Spannung verringert [47]. Dieser Effekt wird im allgemeinen als Kontaktwiderstand (R_C) bezeichnet. Bei kurzen Kanallängen kann der Kontaktwiderstand das Verhalten des Transistors sogar dominieren [48, 49].

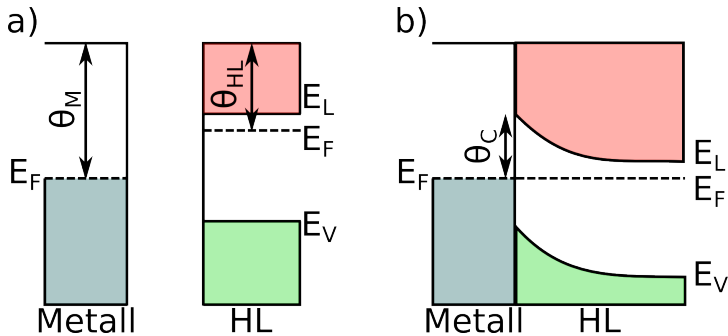


Bild 2.6.: Bändermodell für den Metall-Halbleiter Übergang. a) Zeigt Metall und Halbleiter ohne leitfähige Verbindung, Φ_M bezeichnet die Austrittsarbeit des Metalls, Φ_{HL} die des Halbleiters. b) Zeigt Metall und Halbleiter im direkten Kontakt, die Fermienergien (E_F) haben sich angeglichen, Valenz- (E_V) und Leitungsband (E_L) werden am Kontakt verbogen. Die Barrierhöhe Φ_C ist die Differenz der Austrittsarbeiten von Metall und Halbleiter [46].

Obwohl es sich um einen nicht-ohmschen Widerstand handelt, ist es üblich den Wert des Kontaktwiderstandes in Ohm (Ω) bzw. normiert auf die verwendete Weite in Ωcm anzugeben. Insbesondere ist zu beachten, dass die angegebenen Werte stark von der Gatespannung abhängen können [50]. Daher muss für vergleichende Messungen der Kontaktwiderstand immer am gleichen Arbeitspunkt extrahiert werden. Es gibt verschiedene Ansätze den Kontaktwiderstand zu minimieren, so hat die Wahl der Elektrodenmaterialien durch die Austrittsarbeit direkten Einfluss auf den resultierenden Kontaktwiderstand [51]. Ebenso gibt es Ansätze die Elektroden z. B. durch eine Vorbehandlung mit einem Plasma anzupassen [52]. Durch Zwischenschichten kann die Injektion ebenfalls verändert werden, als Injektionsschichten werden oftmals Selbstorganisierende Monolagen (SAM⁵) verwendet, wodurch die Austrittsarbeit deutlich verändert werden kann [53].

⁵SAM = Self Assembled Monolayer (engl.) = Selbstorganisierende Monoschicht

3. Verwendete Materialien und Herstellung

In diesem Kapitel werden die untersuchten Transistoren vorgestellt. Hierzu werden zunächst die verschiedenen Layouts erklärt und die verwendeten Materialien kurz beschrieben. Anschließend wird der Herstellungsprozess kurz erläutert. Als Halbleiter wird PIF8-TAA, für das Dielektrikum und das SAM werden jeweils kommerziell verfügbare Materialien von Merck KGaA verwendet.

3.1. Verwendete Transistoren

Solange nicht explizit anders erwähnt, beziehen sich alle Messdaten, Angaben und Parameter auf Transistoren wie sie im BMBF¹ geförderten POLYTOS II Projekt verwendet wurden. Bei diesen Transistoren handelt es sich um Bottom-Contact, Top-Gate Transistoren (vgl. Kapitel 2.1). Diese sind auf flexiblen Substraten aus $50\mu\text{m}$ dickem PET² hergestellt, als Elektrodenmaterial für Drain und Source wird Silber verwendet. Als Halbleiter wird PIF8-TAA verwendet. Als Dielektrikum wird lisicon® D320 verwendet, welches von Merck KGaA bezogen wird. Als Gatematerial wird aufgedampftes Gold verwendet. Halbleiter und Dielektrikum werden flüssig prozessiert. Nach elektrotechnischer Betrachtung handelt es sich um selbstsperrende p-Kanal Transistoren. Als Richtwerte für die Bauteilparameter können folgende Werte angenommen werden: Schwellspannung -5V bis -10V , Ladungsträgerbeweglichkeit $0,02\text{ cm}^2\text{Vs}^{-1}$ bis $0,05\text{ cm}^2\text{Vs}^{-1}$.

¹ BMBF = Bundesministerium für Bildung und Forschung

² Polyethylenterephthalat

3.2. Herstellung

Die vorstrukturierten, $50\mu\text{m}$ dicken PET Substrate lassen sich im Laborprozess nicht zufriedenstellend verarbeiten, daher werden diese auf Glas oder dickere Kunststofffolien aufgezogen und erst anschließend weiter verarbeitet. Die Substrate werden in Ultraschallbädern mit Aceton und Isopropanol gereinigt, anschließend mit gereinigtem Wasser abgespült und getrocknet. Zur Anpassung der Austrittsarbeit von Elektrodenmaterial und Halbleiter, wird eine SAM Lösung aufgebracht. Diese wirkt eine Minute ein, anschließend wird das Substrat auf einer Heizplatte bei 100°C für eine Minute getrocknet. Halbleiter und Dielektrikum werden nacheinander per Aufschleudern aufgebracht und jeweils anschließend für eine Minute bei 100°C getrocknet. Das Gate wird durch eine Schattenmaske aufgedampft. Abbildung 3.1 zeigt ein fertig prozessiertes Substrat.

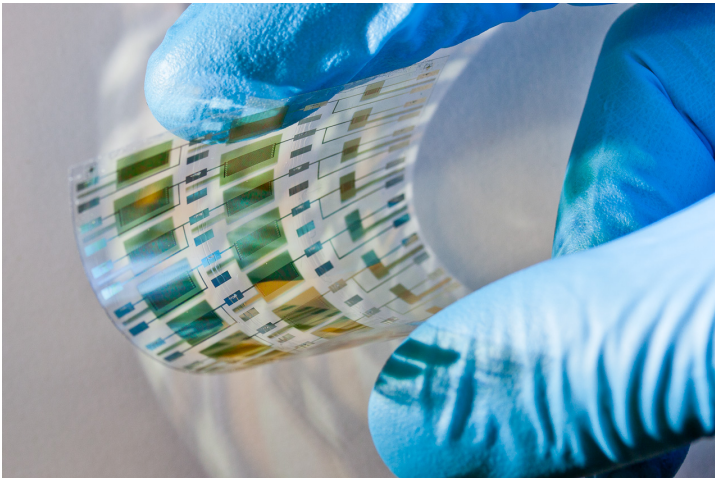


Bild 3.1.: Prozessiertes Referenzsubstrat auf Trägerfolie.

3.2.1. Transistorstrukturen

Die Transistorstrukturen werden mit einem Layout Generator erzeugt, welcher in einem Chipdesign-System (Mentor Graphics ICstudio©) implementiert ist. Dieses Werkzeug generiert aus vorgegebenen Parametern automatisch die Interdigitalstrukturen für Drain und Source. Die Breite der einzelnen Finger beträgt $100\ \mu\text{m}$, die Breite der Querbalken $200\ \mu\text{m}$. Der Abstand an der Stirnseite der Finger zum Querbalken der gegenüberliegenden Struktur ist festgelegt als $10\times$ Kanallänge (siehe Abb. 3.2). Dieser vergrößerte Abstand wird gewählt um die Kanallänge möglichst gut zu definieren. Bei zu kleinen Kanallängen bzw. Abständen kann durch Randeffekte die wirksame Kanalweite vergrößert werden, was zu falsch extrahierten Parametern führt [54]. Abbildung 3.3 zeigt Transistoren mit gleicher Weite und den vier verwendeten Längen. Es ist zu sehen wie der Abstand zum Querbalken mit der Kanallänge skaliert. Abbildung 3.4 zeigt wie die Interdigitalstrukturen mit zunehmender Weite größer werden, Allgemein wird durch die großen Strukturen erreicht, dass die Substrate sowohl händisch, als auch mit einfachen Druckmaschinen verarbeitet werden können. Bei einfachen Druckprozessen auf Probedruckmaschinen beträgt die Positioniergenauigkeit ca. $\pm 1\ \text{mm}$, diese Toleranzen addieren sich für jede zusätzliche Schicht, was bei der Layouterstellung berücksichtigt werden muss.

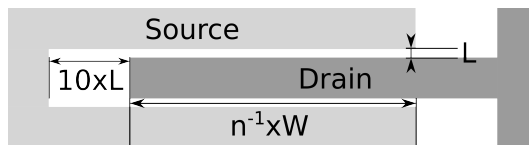


Bild 3.2.: Schematische Darstellung der Transistorstruktur. n = Anzahl der einzelnen Kanäle = $2\times$ Anzahl der Drainfinger.

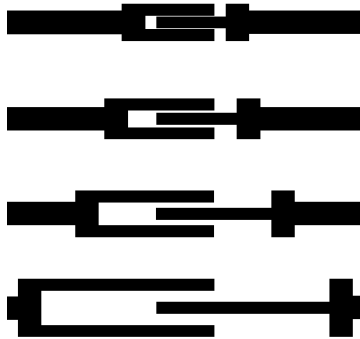


Bild 3.3.: Drain- und Sourcestruktur für Transistoren mit einer Kanalweite von 1 mm . Die Kanallängen betragen von oben nach unten: $10, 25, 50$ und $100\ \mu\text{m}$.

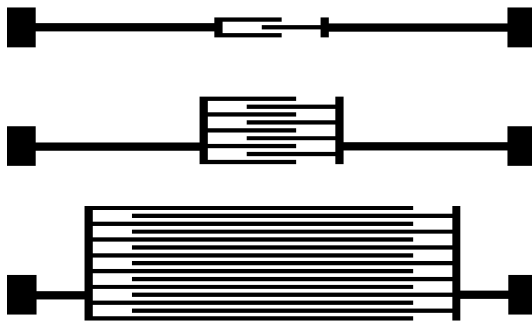


Bild 3.4.: Drain- und Sourcestruktur für Transistoren mit einer Kanallänge von $100\ \mu\text{m}$. Die Kanalweiten betragen von oben nach unten: $1, 10$ und $100\ \mu\text{m}$.

3.2.2. Referenzlayout

Die Substrate werden in vier verschiedenen Layouts prozessiert. Auf jedem einzelnen Substrat befinden sich 27 Transistoren in drei Reihen und neun Spalten. Abbildung 3.5 zeigt ein prozessiertes Referenzsubstrat. Innerhalb einer Reihe haben die Transistoren immer die gleiche Weite, die Länge wechselt zwischen geraden und ungeraden Spalten. Die Transistoren der Reihen zwei (Mitte) und drei (Unten) haben die zehnfache Weite der Transistoren der Reihe eins. So ergeben sich auf jedem Substrat vier verschiedene Transistorgeometrien aus zwei verschiedenen Weiten und zwei verschiedenen Längen. Als Kanalweiten werden 1, 10 und 100 μm und als Kanallängen 10, 25, 50 und 100 μm ausgewählt. Tabelle 3.1 zeigt die Weiten, Längen und die resultierenden W/L-Verhältnisse. Die Anordnung der Transistoren wird so gewählt, dass diese als einzelne Transistoren, Inverter oder NAND-Gatter gemessen werden können. Das Kontaktlayout ist bei allen Substraten gleich, so dass diese automatisch gemessen werden können. Die Drain- / Sourcestrukturen bestehen aus Silber und sind mittels Druckverfahren auf das PET-Substrat aufgebracht. Die strukturierten Substrate werden von PolyIC© GmbH & CO. KG bezogen.

Länge → ↓ Weite	10 μm	25 μm	50 μm	100 μm
1 mm	100	40	20	10
10 mm	1000	400	200	100
100 mm	10000	4000	2000	1000

Tabelle 3.1.: Kanal-Längen und -Weiten der untersuchten Transistoren.

3. Verwendete Materialien und Herstellung

Substrat Nr.	Weite	Länge
1	1 mm, 10 mm	10 μm , 25 μm
2	1 mm, 10 mm	50 μm , 100 μm
3	10 mm, 100 mm	10 μm , 25 μm
4	10 mm, 100 mm	50 μm , 100 μm

Tabelle 3.2.: Übersicht der vier verschiedenen Substrate.

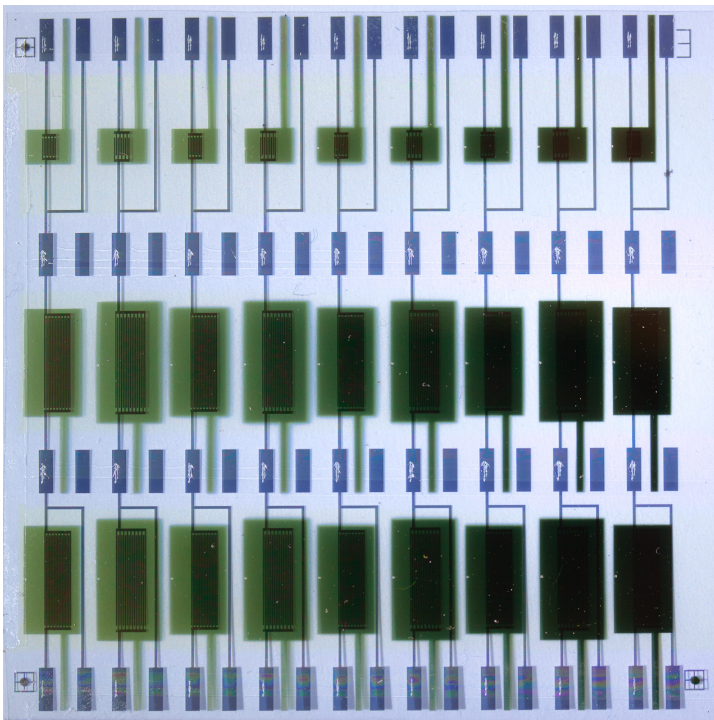


Bild 3.5.: Prozessiertes und charakterisiertes Referenzsubstrat mit Layout Nr. 3. Sichtbar ist das aufgedampfte Gate, darunter die Interdigitalstrukturen von Drain und Source. Ebenfalls zu erkennen sind Kratzer, welche die Messnadeln bei der Kontaktierung verursacht haben.

3.2.3. Inverter

Werden auf den Referenzsubstraten Inverter oder NAND NOR Gatter charakterisiert, so sind die Transistoren der Schaltung alle in einer Spalte und haben jeweils die gleiche Länge, jedoch unterschiedliche Weiten. Beide Schaltungen haben jeweils Schalt- und Lasttransistoren, wobei die Schalttransistoren die zehnfache Weite der Lasttransistoren haben. Die Lasttransistoren sind in der Reihe 1 auf dem Referenzsubstrat angeordnet, die Schalttransistoren des Inverters in Reihe 2, in Reihe 3 sind die zweiten Schalttransistoren, welche für das NAND Gatter verwendet werden. Abbildung 3.6 zeigt den Schaltplan der vorgesehenen Inverter. Der Lasttransistor ist bei dieser Konfiguration immer in Sättigung und verhält sich ähnlich wie eine Diode [25]. Für die automatisierte Messung der Inverter wird über den Messkopf eine Verbindung zwischen Drain und Gate des Lasttransistors hergestellt und mit der Versorgungsspannung verbunden.

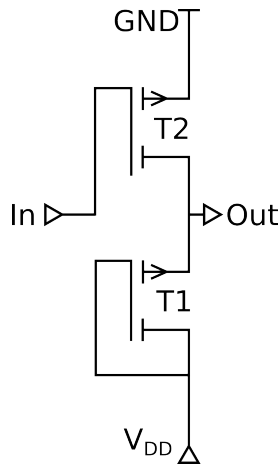


Bild 3.6.: Inverter aus p-Kanal OTFTs, wie auf dem Referenzsubstrat vorgesehen. T1 ist der Transistor aus Reihe 1, T2 aus Reihe 2. Es gilt: $W_{T2} = 10 \times W_{T1}$

3.3. Halbleiter

Als Halbleiter wird PIF8-TAA verwendet, welches in Mesitylen (Reinheit >98 %) gelöst wird, die Konzentration beträgt 2 %. Das Material ist eine Weiterentwicklung von PTAA³, gegenüber PTAA wird die Beweglichkeit um ca. eine Größenordnung erhöht, Literaturwerte sind $0,004 \text{ cm}^2 \text{Vs}^{-1}$ für PTAA und $0,04 \text{ cm}^2 \text{Vs}^{-1}$ für PIF8-TAA [55]. Das Material kann sowohl per Aufschleudern als auch durch Druckverfahren (z. B. Flexodruck oder Tiefdruck) verarbeitet werden. Die in dieser Arbeit gezeigten Transistoren sind jedoch ausschließlich per Aufschleudern hergestellt.

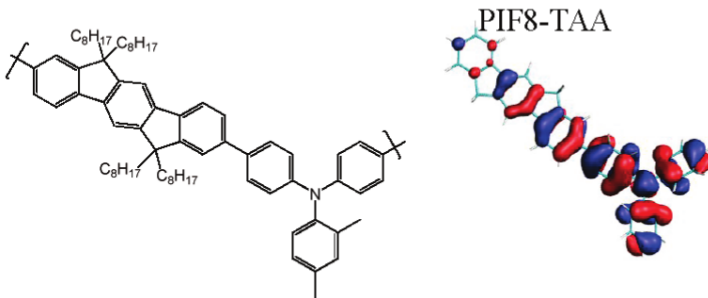


Bild 3.7.: Verwendeter Halbleiter, Molekülstruktur und Verteilung der höchsten besetzten Orbitale [55].

3.4. Dielektrikum

Als Dielektrikum wird lisicon® D320 verwendet, welches von Merck KGaA bezogen wird. Das Material wird flüssig geliefert und ohne weitere Behandlung verarbeitet. Das Auftragen kann prinzipiell per Aufschleudern oder im Tiefdruck erfolgen, die hier untersuchten Proben sind jedoch alle per Aufschleudern hergestellt. Der resultierende Film hat eine relative Permittivität von $\epsilon_r = 2,3$ und wird standardmäßig in einer Schichtdicke von

³PTAA = Poly(triarylamine)

928 nm aufgebracht. Dieser Wert wurde in der Vergangenheit gewählt um hohe Ausbeuten zu erreichen. Aus dieser relativ dicken Schicht resultiert ein Gatekapazitätsflächenbelag (C_{OX}) von $21,94 \mu F / m^2$.

3.5. Injektionsschicht

Durch unterschiedliche Austrittsarbeiten von Metallelektroden (Silber, je nach Orientierung und Quelle 4,26 bis 4,72 eV) und Halbleiter (PIF8-TAA 5,5 eV) entsteht eine Potentialbarriere, welche die Injektion bzw. Extraktion von Ladungsträgern behindert [56, 50]. Durch geschickte Wahl des Elektrodenmaterials lässt sich die Potentialbarriere verringern, wobei nicht nur das Material sondern auch dessen Orientierung eine Rolle spielt [57, 58]. Ein anderes gängiges Verfahren ist die Anpassung der Austrittsarbeiten durch SAM-Behandlung so anzupassen, dass die Potentialbarriere minimal und der Kontakt möglichst ohmsch wird. Hierzu haben SAM-Moleküle üblicherweise zwei unterschiedlich wirkende Enden, eines haftet auf dem Metall der Elektroden, das andere Ende ist elektrisch geladen und erzeugt hierdurch ein elektrostatisches Feld [59]. Die SAMs lagern sich mit dem haftenden Ende auf dem Metall der Elektroden an und bilden eine monomolekulare Lage, wobei die Einwirkzeit großen Einfluss auf die Wirkung der Injektionsschicht hat [60]. Durch die elektrische Ladung werden die Feldverhältnisse verändert, bei richtiger Wahl der SAMs wird die Potentialbarriere reduziert und die Injektion verbessert. Das verwendete SAM ist lisicon® M001, bezogen von Merck KGaA. Das Material wird durch Aufschleudern aufgetragen, wobei das Substrat vorher für eine Minute komplett benetzt ist.

4. Elektrische Charakterisierung

Dieses Kapitel beschreibt die durchgeführten Messungen und die Vorgehensweisen zur Bestimmung der einzelnen Parameter. Von den untersuchten OTFTs werden Transfer- und Ausgangskennlinien aufgenommen und aus diesen anschließend die Bauteilparameter extrahiert. Das Kapitel 4.3 beschreibt die durchgeführten Messungen und deren Rahmenbedingungen, der Abschnitt 4.4 die Bestimmung der einzelnen Bauteilparameter. Alle Messungen werden mit SMUs von Keithley, Modell 2636A durchgeführt. Diese Geräte verfügen über zwei Kanäle, welche an Drain und Gate angeschlossen werden, wobei Source als gemeinsames Bezugspotential dient.

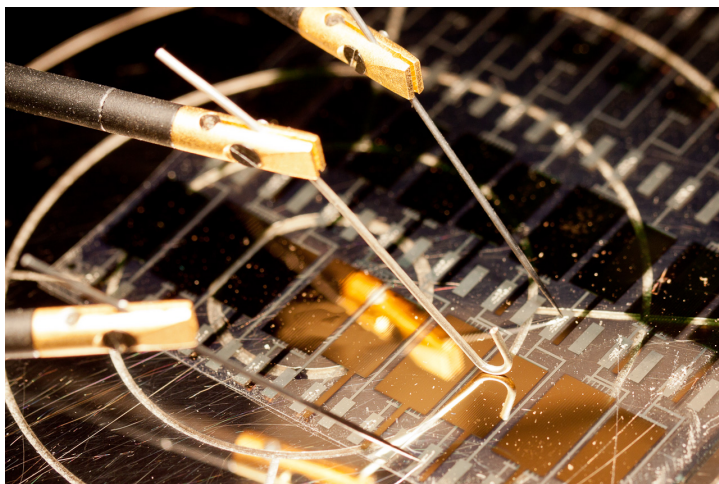


Bild 4.1.: Manuell kontaktierte Probe auf dem Einzelmessplatz.

4.1. TRIAX-Technik

Da die erwarteten Ströme, insbesondere im Off-Bereich sehr klein sind, wird für die Leitungen TRIAX-Technik verwendet. TRIAX-Kabel sind ähnlich wie Koaxialkabel aufgebaut, haben jedoch zu einem Innenleiter zwei getrennte Abschirmungen. Der innere der beiden Schirme wird Guard genannt und im Messgerät auf das Potential des Innenleiters gebracht. Hierzu wird ein Verstärker mit sehr hochohmigem Eingang und einer Verstärkung von 1 verwendet. Durch diese Technik wird die Feldstärke zwischen Innenleiter und innerem Schirm auf $0V\text{m}^{-1}$ gehalten, dadurch werden Leckströme durch das Kabel vermindert und ebenso die wirksame Leitungskapazität verringert.

4.2. Kontaktierung

Die Analyse einzelner Transistoren erfolgt durch manuelles Kontaktieren mit Mikro-Manipulatoren auf einem herkömmlichen Spitzenmessplatz. Abbildung 4.1 zeigt einen manuell kontaktierten OFET auf dem Referenzsubstrat. Für Reihenmessungen an mehreren Transistoren wird eine modifizierte CNC-Fräsmaschine verwendet, welche über ein LabView Programm gesteuert wird. Abbildung 4.2 zeigt die Maschine mit montiertem Messkopf. Der Messkopf besteht aus zwei herkömmlichen FR4 Platinen, in die Federkontakte eingelötet werden. Über die Platine werden die Federkontakte mit den TRIAX-Kabeln verbunden, hierbei wird darauf geachtet die auftretenden Leckströme zu minimieren. Aus Einzelmessungen ist bekannt, dass die Off-Ströme der OFETs zum Teil $\leq 1\text{pA}$ betragen, das verwendete Messgerät kann diese Ströme mit einem Fehler von $\leq 20\%$ messen.

Um diese Genauigkeit nicht wesentlich zu verschlechtern wird festgelegt, dass durch den Messplatz auftretende Ströme möglichst kleiner sein sollen als $0,2\text{pA}$. Zur Überprüfung wird der Strom zwischen Innenleiter und äußerem Schirm bei $0V$ und $100V$ gemessen. Die Messung bei $100V$



Bild 4.2.: Reihenmessplatz vor der Installation. Zu erkennen sind der Messkopf mit gelben TRIAX-Kabeln und die Vakuum-Spannplatte zur Fixierung der Substrate.

dient zur Ermittlung des Isolationswiderstandes, bei 0V werden Ströme gemessen, welche durch Verunreinigungen auf der Platine entstehen können. Als Messgerät wird ein Elektrometer vom Typ Keithley 6717B verwendet, dieses Gerät kann Ströme von $0,1 \text{ pA}$ mit einem Fehler von $\leq 4\%$ messen.

In den Messungen zeigt sich, dass lithographisch hergestellte Platinen die geforderten Ströme nicht einhalten. Es werden sowohl bei 0V, als auch bei 100V Messspannung häufig zu hohe Werte gemessen. Daher werden Platinen mit gefrästen Leiterbahnen verwendet, welche bessere Werte lie-

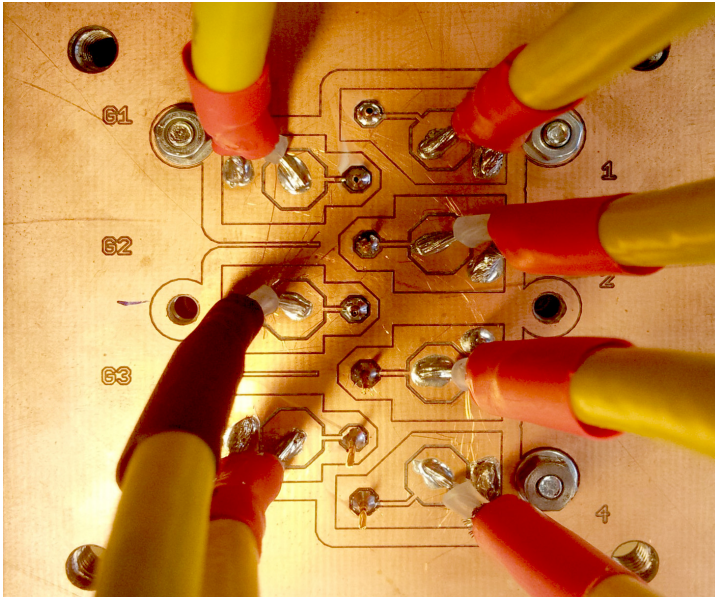


Bild 4.3.: Oberseite des Messkopfes mit angelöteten TRIAX-Kabeln. Zu erkennen sind die gefrästen Leiterbahnen.

fern. Die Platinen werden nach der Herstellung mit Isopropanol gereinigt und ggf. die Isolationsflächen nochmals mit einem Messer nachgezogen. Abbildung 4.3 zeigt die Oberseite des Messkopfes mit angelöteten TRIAX-Kabeln. Messungen an fertigen Messkopfplatinen mit ca. 20 cm Anschlusskabel zeigen, dass Ströme von unter 50 fA erreicht werden können. Daraus wird geschlossen, dass die Isolation zwischen Innenleiter und Guard sehr hochohmig ($\geq 2 \cdot 10^{15} \Omega$) ist und des weiteren keine Verunreinigungen vorliegen.

Bei den untersuchten OTFTs wird das Dielektrikum flächig auf dem Substrat aufgebracht und bildet hierbei eine robuste Schicht, die bei der Kontaktierung durchdrungen werden muss. Dies geschieht durch eine horizontale Bewegung der Kontaktnadel, wodurch das Dielektrikum angeritzt wird.

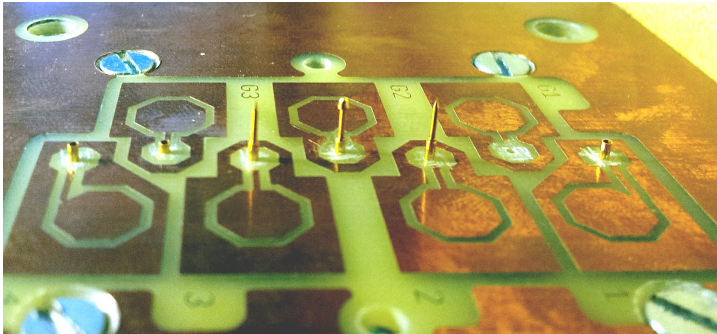


Bild 4.4.: Unterseite des Messkopfes mit drei eingesetzten Nadeln. Die Nadeln für Drain und Source sind spitz und stehen weiter heraus als die abgerundete für das Gate.

Abbildung 4.4 zeigt die Unterseite des Messkopfes mit den Nadeln. Um das Ritzen zu erleichtern, sind die Nadeln für Drain und Source spitz. Die Gate-Nadel ist abgerundet und ca. $0,5\text{ mm}$ höher montiert als die für Drain und Source, damit das Gate beim Ritzen nicht beschädigt wird. Nach dem Ritzen werden die Nadeln angehoben und auf den nun blanken Metallkontakt gesetzt. In der Praxis werden Ritzlängen von $100\ \mu\text{m}$ am Reihensmessplatz und bis zu 1 mm bei manueller Kontaktierung verwendet. Abbildung 4.5 zeigt drei Kontaktpads nach manueller Kontaktierung. Zu erkennen sind das rhombisch abgehobene Dielektrikum und die Kratzer in den Metallflächen. Am Reihensmessplatz wird die Nadel zusätzlich noch um $50\ \mu\text{m}$ seitlich versetzt, falls der Metallkontakt beim Ritzen durchstoßen wurde, wird er somit dennoch sicher kontaktiert.

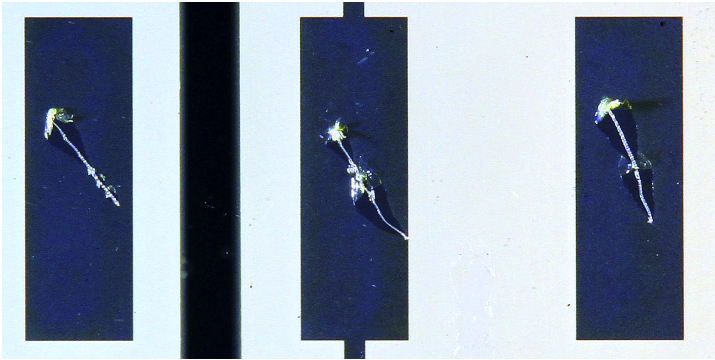


Bild 4.5.: Kontakte nach manueller Kontaktierung, Kratzer in den Metallflächen und abgehobenes Dielektrikum sind zu sehen.

4.3. Messungen

4.3.1. Transferkennlinie

In der Transferkennlinie wird die Wirkung der Gatespannung auf den Drainstrom untersucht. Ebenso werden aus der Transferkennlinie die Schwellspannung U_{Th} und die Ladungsträgerbeweglichkeit μ ermittelt. Bei kleinen Drainspannungen kann unter Umständen auch der Leckstrom zwischen Gate und Drain beurteilt werden. Bei der Messung wird die Drainspannung konstant gehalten und die Gatespannung variiert. Zur Analyse von Hystereseeffekten werden die Messungen sowohl mit ansteigender als auch mit fallender Gatespannung durchgeführt. Üblicherweise wird die Kurve für mindestens zwei verschiedene Drainspannungen dargestellt, um verschiedene Betriebsbereiche des Transistors zu untersuchen. Die Darstellung kann linear oder logarithmisch erfolgen. In der linearen Darstellung kann hauptsächlich der Betriebsbereich analysiert werden. Die logarithmische Darstellung eignet sich besser um die Übergänge zwischen den Bereichen zu untersuchen, außerdem lässt sich der Off-Strom und das On-

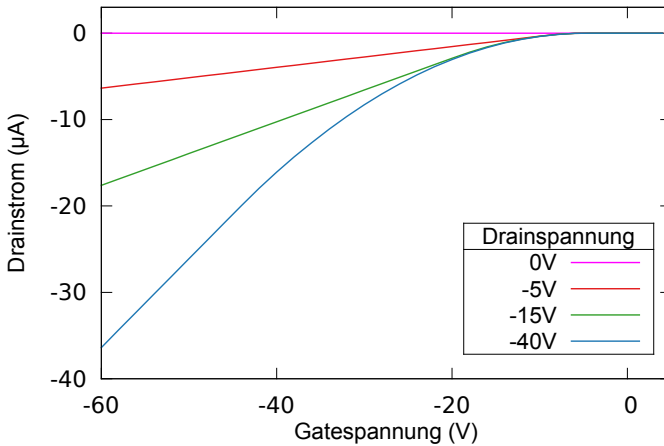


Bild 4.6.: Simulierte Transferkennlinie eines OTFT (ideale Simulation). Die Simulationsparameter sind im Anhang A.1 aufgelistet.

Off-Verhältnis leicht ablesen. Abbildung 4.6 zeigt eine simulierte, ideale Transferkennlinie eines organischen Transistors mit p-Halbleiter.

4.3.2. Ausgangskennlinie

In der Ausgangskennlinie wird die Wirkung der angelegten Drainspannung auf den Drainstrom dargestellt. Während der Messung wird die Gatespannung konstant gehalten und die Drainspannung variiert. Insbesondere der Stromanstieg im Sättigungsbereich kann hier beurteilt werden. Abbildung 4.7 zeigt simulierte Ausgangskennlinien eines organischen Transistors mit p-Kanal. Bei kleinen Drainspannungen können an den Ausgangskennlinien sowohl die Einflüsse der Gate-Leckströme als auch die der Kontaktwiderstände beurteilt werden. Aus der Steigung der Kennlinie im Sättigungsbereich werden der Ausgangswiderstand r_{ds} und die Early-Spannung V_E errechnet.

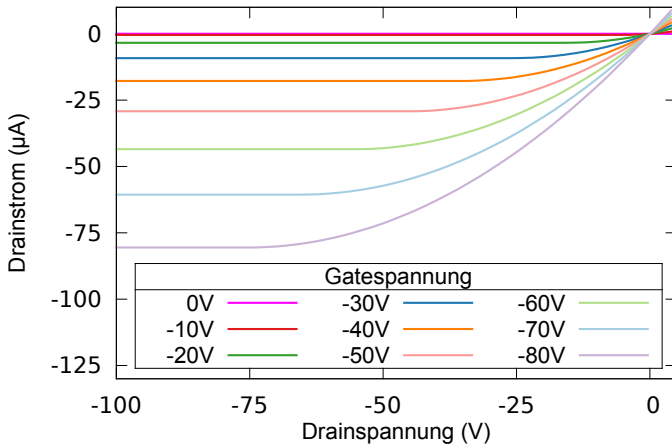


Bild 4.7.: Simulierte Ausgangskennlinie eines OTFT (ideale Simulation). Die Simulationsparameter sind im Anhang A.1 aufgelistet.

4.3.3. Relaxationsmessung

Während der Relaxationsmessungen (kurz: Relax-Messung) werden Drain, Gate und Source auf das gleiche Potential gelegt und die fließenden Ausgleichströme gemessen. So soll für alle Transistoren vor jeder Messung die gleiche Grundvoraussetzung geschaffen werden. Ursprünglich waren Messdauern von mehreren Minuten geplant, diese Zeitdauer ist jedoch bei den Reihenmessungen nicht zweckmäßig. Die Ergebnisse der Relax-Messung werden standardmäßig nicht ausgewertet, können jedoch bei fehlerhaften Bauteilen auf die Art des Defekts hinweisen.

4.3.4. Messstandard

Zur Charakterisierung von organischen Bauelementen existiert der IEEE¹ Standard 1620. Dieser beschreibt welche Daten zu erfassen sind und wel-

¹IEEE = Institute of Electrical and Electronics Engineers

che Vorgehensweisen empfohlen werden [61]. Jedoch bleibt der eigentliche Messablauf hiervon unberührt, so dass für vergleichbare Messungen ein eigenes Schema entwickelt wird. Dieses beschreibt genau die anzulegenden Spannungen und zeitlichen Abläufe der durchgeführten Messungen. Durch Probemessungen wird der Einfluss der einzelnen Parameter auf die Messergebnisse ermittelt und anschließend unter Berücksichtigung der zu erwartenden Messdauer ein Optimum gewählt. Der Messablauf eines einzelnen OTFT ist wie folgt definiert:

1. 5 s Relaxationsmessung
2. Transferkennlinien bei Drainspannungen von 0V, -5V, -15V und -40V mit Gatespannungen von +5V bis -60V
3. 5 s Relaxationsmessung
4. Ausgangskennlinien bei Gatespannungen von 0V, -10V, -20V, -30V und -40V mit Drainspannungen von +5V bis -60V

Um Hystereseeffekte zu erkennen, werden die Transfer- und Ausgangskennlinien jeweils vor- und rückwärts durchlaufen. Zur Ermittlung der Bauteilparameter wird jeweils die erste Messung verwendet.

4.3.5. Integrationszeit

Präzise Messungen kleiner und niederfrequenter Ströme werden üblicherweise über einen Zeitraum von 20ms integriert. Das entspricht einer kompletten Schwingung der 50Hz Netzfrequenz. Durch die Netzspannung induzierte Wechselanteile werden hierdurch unterdrückt. Testmessungen weisen jedoch auch 16,7Hz Wechselanteile auf, als Ursache wird das nahegelegene Bahnnetz vermutet. Abbildung 4.8 zeigt einen Vergleich der verschiedenen Integrationszeiten von 0,2ms bis 120ms. Die Integrationszeit wird für die Messungen auf 60ms gesetzt, wodurch sowohl Störungen aus

dem Licht- als auch dem Bahnnetz unterdrückt werden. 120ms Integrationszeit zeigen gegenüber 60ms nur eine geringe Verbesserung, führen jedoch zu einer Verdoppelung der Messdauer.

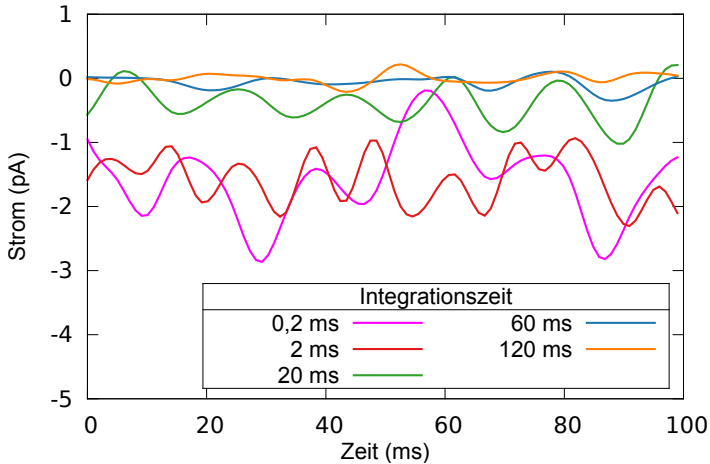


Bild 4.8.: Vergleich verschiedener Integrationszeiten bei der Strommessung, gemessen wird ein Keramik Kondensator mit 100 pF bei einer konstanten Spannung von -1 V .

4.3.6. Schrittweite

Für das Aufnehmen der Kennlinien müssen die angelegten Spannungen variiert werden, dies wird in äquidistanten Schritten durchgeführt. Zur Ermittlung des Einflusses der Schrittgröße auf die Messwerte wird in Abb. 4.9 an einem OTFT die Gatespannung sprunghaft verändert. Der Endwert beträgt jeweils $U_G = -10\text{ V}$ der Ausgangswert wird so gewählt, dass die Endspannung nach dem Schritt immer -10 V beträgt. Eine große Änderung deutet auf ein großes Überschwingen und langes Abklingen hin, wie es z. B. bei der $\Delta U = 10\text{ V}$ Kurve zu sehen ist. Zur quantitativen Beurteilung des Zeit-

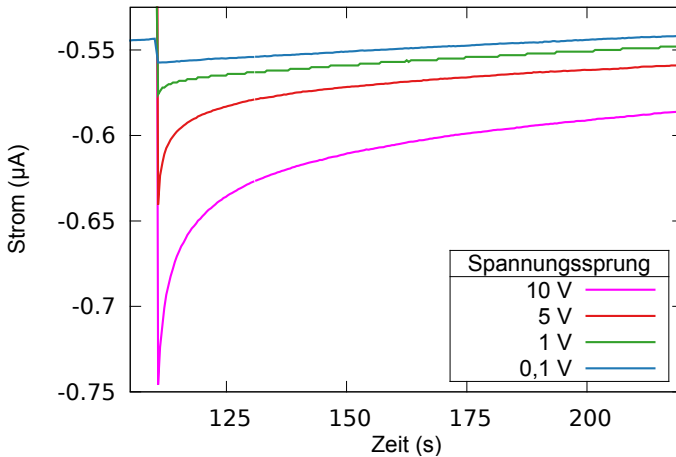


Bild 4.9.: Auswirkung unterschiedlicher Spannungssprünge auf den gemessenen Stromverlauf. Die Kurven zeigen eine RC-Sprungantwort, jedoch ist der Endwert nicht konstant. Der Herstellungsprozess der untersuchten OTFTs ist noch nicht optimal eingestellt, daher sind die OTFTs unter Umständen nicht stabil und können ihre Parameter während der Messung ändern.

verhaltens werden die Ströme nach $\Delta t = 0\text{ s}$, $0,25\text{ s}$ und 110 s verglichen, und die relative Abweichung vom Messwert bei $\Delta t = 0\text{ s}$ untersucht, die Ergebnisse sind in Tabelle 4.1 dargestellt. Für die weiteren Messungen wird eine Schrittweite von $\Delta U = 1\text{ V}$ gewählt. Eine weitere Verkleinerung der Schrittweite bringt nur ein etwas geringeres Überschwingen, verzehnfacht jedoch der Messdauer. Für präzise Untersuchungen an einzelnen Transistoren ist dennoch eine Schrittweite von $\Delta U = 0,1\text{ V}$ empfehlenswert, da dann für eine Auswertung der Kennlinie mehr Datenpunkte zur Verfügung stehen.

Schrittweite	$\Delta t = 0,25\text{ s}$	$\Delta t = 100\text{ s}$
10V	1,01 %	18,77 %
5V	0,69 %	10,21 %
1V	0,14 %	4,27 %
0,1V	0,004 %	2,66 %

Tabelle 4.1.: Vergleich verschiedener Spannungssprünge, aufgeführt ist die Höhe der relativen Änderung zwischen Initialwert und 0,25 s bzw. 100 s nach dem Spannungssprung. Die relativen Änderungen geben eine quantitative Angabe über das Überschwingen (vgl. Abb. 4.9).

4.4. Parameter Extraktion

Die gewonnenen Messdaten werden mit eigens entwickelter Software ausgewertet. Aus den einzelnen Messpunkten werden die Transfer- und Ausgangskennlinien dargestellt und erste Simulationsparameter ermittelt. Für die Parameterextraktion und die spätere Simulation, werden im weiteren folgende Werte als bekannt vorausgesetzt:

- W und L – Weite und Länge des Kanals werden im Layout definiert, die tatsächlich wirksamen Werte können jedoch durch Fertigungstoleranzen und Randeffekte abweichen, diese Abweichungen werden bei der Parameterextraktion zunächst vernachlässigt. Es ist jedoch zweckmäßig die Parameterextraktion bei großen L durchzuführen um Randeffekte und den Einfluss von R_C zu minimieren.
- C_{Ox} – Der Gateoxidkapazitäts-Flächenbelag gibt die Gate-Kapazität pro Flächeneinheit an. Berechnet wird C_{Ox} aus dem Quotienten von $\epsilon_r \epsilon_0^2$ und Dicke des Dielektrikums. Der Wert für ϵ_r ist als Materialparameter bekannt, die Schichtdicke des Dielektrikums wird während der Herstellung stichprobenartig gemessen.

² ϵ_0 = Permittivität des Vakuums $\approx 8,854 \cdot 10^{-12} \text{ AsV}^{-1} \text{ m}^{-1}$

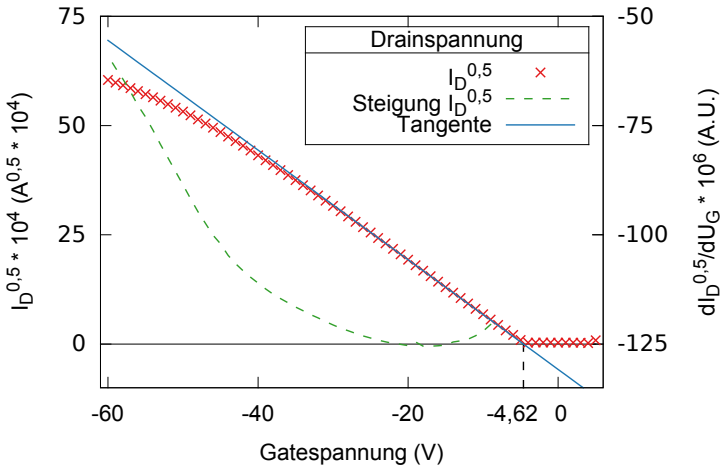


Bild 4.10.: Beispielhafte Bestimmung der Schwellspannung nach der ESR-Methode. Aus der Transferkennlinie wird im Sättigungsbereich die Wurzel des Stromes aufgetragen. Am Punkt maximaler (negativer) Steigung (hier -18V) wird eine Tangente angelegt und der Schnittpunkt mit $0\text{A}^{0,5}$ bestimmt. Der ermittelte Wert ist die Schwellspannung, in diesem Beispiel $-4,62\text{V}$.

4.4.1. Schwellspannung

Die Schwellspannung U_{Th} ist bei selbstsperrenden Silizium-Transistoren, bei denen der Halbleiter im Kanalgebiet invertiert wird, genau definiert. Es ist die Spannung, bei der im Kanal die Minoritätsladungsträgerdichte genau doppelt so groß ist, wie die Majoritätsladungsträgerdichte ohne angelegte Gatespannung [1]. Bei den untersuchten OTFTs ist diese Definition jedoch nicht verwendbar, da das Kanalgebiet nicht invertiert, sondern die Majoritätsladungsträger akkumuliert werden. Da jedoch die resultierende Kurvenform für beide Funktionsweisen gleich ist und für die Simulation die gleichen Modelle verwendet werden wie für Siliziumtransistoren, werden die Methoden zur Parameterextraktion übernommen. Prinzipiell kann U_{Th} in Sättigung oder im linearen Bereich ermittelt werden, wobei in jedem

der beiden Bereiche wiederum mehrere verschiedene Verfahren verwendet werden können [59]. Einen breiten Überblick gibt Ortiz-Conde et al. [62]. Für die in dieser Arbeit ausgewerteten Daten, wird ein Verfahren gewählt welches gut automatisierbar ist und für die Simulation hinreichend gute Ergebnisse liefert.

Aus einer Transferkennlinie in Sättigung wird U_{Th} mittels der ESR³-Methode bestimmt. Hierzu wird zunächst die Wurzel von I_D über U_{GS} aufgetragen. Als Messdaten wird die Transferkennlinie bei $U_D = -40V$ verwendet. Da es sich bei den untersuchten Transistoren um selbstsperrende p-Kanal Transistoren handelt befindet sich der Transistor zwischen $0V$ und $-40V$ sicher in Sättigung, erst bei $U_G \leq -40V + U_{Th}$ wird der lineare Bereich erreicht. Aus der Wurzel des Stromes wird die Steigung über Differenzbildung errechnet und der Punkt stärkster Steigung ermittelt. An diesem Punkt wird eine Tangente angelegt und der Schnittpunkt mit der X-Achse ermittelt. Abbildung 4.10 zeigt exemplarisch die U_{Th} Bestimmung nach der ESR-Methode. Bei parasitären Effekten, wie z. B. großen R_C , muss der Bereich, in dem die maximale Steigung ermittelt wird, eingeschränkt werden. Bei den in dieser Arbeit ermittelten Parametern wird der Bereich auf Werte zwischen $-3V$ und $-25V$ eingeschränkt.

4.4.2. Ladungsträgerbeweglichkeit

Aus der ermittelten Schwellspannung wird an einem Messpunkt im linearen Bereich die Ladungsträgerbeweglichkeit ermittelt. Hierzu werden ein gemessenes $I - U$ -Wertepaar, die zuvor ermittelte U_{Th} und die bekannten Parameter W , L und C_{Ox} in die Formel des einfachen MOS-Modells (Gleichung (2.2)) eingesetzt, welche zuvor nach μ umgestellt wird (Gleichung (4.1)).

$$\mu = \frac{I_D}{\frac{W}{L} C_{Ox} (U_{GS} - U_{Th} - \frac{U_{DS}}{2}) U_{DS}} \quad (4.1)$$

³Extrapolation in Saturation Regime = Extrapolation im Sättigungsbereich

Die Einheit für die Ladungsträger-Beweglichkeit ist $(m/s)/(V/m)$. Was sich zu $m^2V^{-1}s^{-1}$ kürzt. Aus praktischen Gründen wird üblicherweise $cm^2V^{-1}s^{-1}$ angegeben.

4.4.3. Ausgangswiderstand

Aus der Steigung der Ausgangskennlinie in Sättigung lässt sich der differentielle Ausgangswiderstand r_{DS} bestimmen. Im Sättigungsbereich wird der Transistor als eine Stromquelle angenähert, der Ausgangswiderstand ist in diesem Fall der Innenwiderstand der Stromquelle. Da der Ausgangswiderstand von der angelegten Drainspannung U_{DS} abhängig ist, wird als Modellparameter die Early-Spannung U_E verwendet [63]. Zur Ermittlung der Early-Spannung wird eine Tangente an die Ausgangskennlinie in Sättigung angelegt und zu $I_D = 0A$ extrapoliert. Die Spannung an diesem Schnittpunkt ist die Early-Spannung (λ^{-1}). Da die Ausgangswiderstände der untersuchten OTFTs sehr groß sind ergeben sich Early-Spannungen von mehreren hundert Volt.

4.4.4. Kontaktwiderstand

Der Kontaktwiderstand (vgl: Kapitel 2.8) wird aus den Messdaten mehrerer Transistoren mit gleichen Kanalweiten und unterschiedlichen Kanallängen extrahiert. Hierfür wird die Transfer-Line-Methode (TLM) verwendet. Bei diesem Verfahren wird der Kanalwiderstand der einzelnen Transistoren ermittelt und über der Kanalweite aufgetragen. Anschließend wird eine Gerade durch die Punkte gefittet, welche zur Länge $L = 0m$ extrapoliert wird. Der so ermittelte Widerstand ist der Kontaktwiderstand. Abbildung 4.11 zeigt ein Beispiel, die Kanallängen betragen hierbei 25, 50 und 75 μm , der ermittelte Kontaktwiderstand beträgt 1 $M\Omega$. Hintergrund dieser Methode ist die Annahme, dass der Kanalwiderstand linear mit der Länge skaliert wogegen der Kontaktwiderstand konstant bleibt [64].

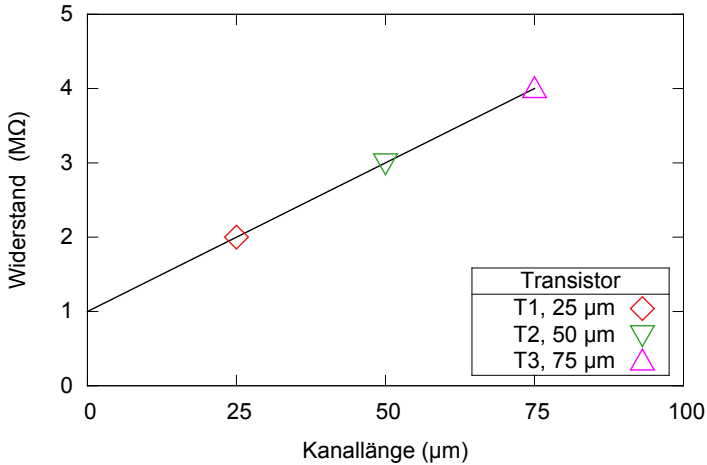


Bild 4.11.: Bestimmung des Kontaktwiderstandes nach der Transfer Line Methode. In diesem simulierten Beispiel wird R_C aus drei verschiedenen Kanallängen zu $1 M\Omega$ bestimmt.

Durch die TLM wird R_C nur an einem diskreten Punkt bestimmt. Da jedoch der Wert von den angelegten Spannungen U_{GS} und U_{DS} abhängt, ist es wichtig für vergleichende Messungen immer den gleichen Arbeitspunkt zu wählen. In dieser Arbeit werden diskret angegebene Werte von R_C immer bei $U_{DS} = -15 V$ und $U_{GS} = -59 V$ ermittelt. An diesem Wert arbeiten die untersuchten Transistoren mit großer Sicherheit im linearen Bereich, zudem ist der Einfluss eventueller Leckströme deutlich kleiner als bei der $U_{DS} = -5 V$ Kennlinie.

4.4.5. Sub-Threshold Slope

Ein einfacher Widerstand beschreibt das Verhalten des Transistors im Sperrbereich nicht genau genug für komplexere Simulationen. Eine bessere Simulation ist die Annäherung über einen exponentiellen Verlauf. Der Mo-

Parameter n wird Sub-Threshold Slope genannt. Die Berechnung des Stromes erfolgt nach Gleichung 4.2.

$$I_D = I_{D0} * \left(e^{\frac{U_{GS} - U_{Th}}{nkT}} \right) \quad (4.2)$$

n = Sub-Threshold Slope, I_{D0} = Drainstrom bei $U_{GS} = U_{Th}$

k = Boltzmann Konstante $\approx 8,617 \cdot 10^{-5} \text{ eVK}^{-1}$

T = Absolute Temperatur

4.4.6. Gate-Leckstrom

Für Transistoren, welche vollständig gedruckt werden sollen, muss auch das Dielektrikum flüssig prozessiert werden. Wie auch beim Halbleiter sind die resultierenden Schichten nicht perfekt und können eine hohe Dichte von Defekten aufweisen. Daher muss bei der Charakterisierung auch das Dielektrikum untersucht werden. Hierzu wird während der Messung der Transfer- und Ausgangskennlinien auch der Gatestrom gemessen. Defekte zeigen sich in Gleichströmen, diese Ströme durch das Dielektrikum werden mit zwei neuen Parametern beschrieben. Diese werden K_{GS} und K_{GD} genannt und beschreiben den Stromfluss von Gate zu Source bzw. Drain. In Abschnitt 6 werden die Parameter und die Extraktion genau beschrieben.

4.4.7. Überlappkapazitäten

Die zu untersuchenden Transistoren werden im Laborprozess händisch hergestellt. Hierbei müssen relativ große Toleranzen vorgesehen werden um den Versatz der einzelnen Schichten untereinander zu kompensieren. Um das Kanalgebiet vollständig zu bedecken muss das Gate 1–2mm größer als die Transistorstrukturen sein. Hieraus resultiert im Transistor ein Plattenkondensator mit ungleichen Elektroden. Eine Elektrode bildet das aufgedampfte Gate, die anderen werden von den Drain- und Source-Strukturen gebildet. Diese Kapazitäten verschlechtern das AC-Verhalten der Bauteile,

die Effekte können jedoch unter Umständen, auch bei den durchgeführten elektrischen Messungen beobachtet werden.

Die wirksamen Kapazitäten werden üblicherweise durch Messung der Impedanz ermittelt. An einem Parameter-Messplatz (Agilent 4294A) wird exemplarisch an einigen Substraten die Überlapp-Kapazität gemessen und mit errechneten Werten verglichen. Hierbei zeigt sich, dass die Kapazitäten unter Vernachlässigung von Randeffekten nicht zufriedenstellend angenähert werden.

5. Modellierung und Simulation

Dieses Kapitel beschreibt die durchgeführten Simulationen. Hierzu wird zunächst das SPICE Simulationsprogramm und die verwendeten Modelle vorgestellt. Anschließend wird das Modell schrittweise um parasitäre Elemente erweitert und deren Einfluss auf die Simulationsergebnisse erläutert.

5.1. SPICE

Für die Simulation elektrischer Schaltungen hat sich das Programm SPICE¹ als Standard etabliert. SPICE wurde 1973 an der Universität Berkeley entwickelt und bildet die Basis für verschiedene Programme. Diese reichen von kostenlos verfügbaren Varianten wie z. B. ngspice (Open Source) oder LTspice (© Linear Technology), bis zu professionellen Werkzeugen welche für den Entwurf von integrierten Schaltkreisen verwendet werden, z. B. ELDO (© Mentor Graphics) oder PSpice (© Cadence). Das besondere an SPICE ist die Vorgehensweise mit der die Schaltungen berechnet werden. Alle Bauteile und deren Anschlüsse werden in einer Netzliste aufgelistet und in eine Matrix eingetragen, welche zur Berechnung vereinfacht wird. Diese Vorgehensweise ermöglicht es auch komplexe Schaltungen in relativ kurzer Zeit zu simulieren [65]. Je nach verwendeter SPICE-Software werden unterschiedliche Analysearten angeboten. Für diese Arbeit sind die drei grundlegenden Analysen von Interesse.

¹SPICE = Simulation Programm with Integrated Circuit Emphasis = Simulationsprogramm für Integrierte Schaltkreise

1. DC-Analyse – eine oder mehrere Quellen werden quasistatisch verändert, hierbei wird kein Zeitverhalten untersucht.
2. AC-Analyse – an einem definierten Arbeitspunkt wird ein Wechselsignal erzeugt und die Auswirkung auf die Schaltung untersucht. Hierbei wird das Frequenzverhalten der Schaltung untersucht.
3. Transiente Analyse – Untersuchung des Einschwingverhaltens.

5.2. OTFT-Modellierung

SPICE beinhaltet vordefinierte Modelle für gebräuchliche Bauelemente wie z. B. Widerstände, Dioden und Transistoren, kann jedoch auch um externe Modelle erweitert werden. Für die Umsetzung des in Kapitel 5.3 vorgestellten Modells wird eine programmierbare Stromquelle (BI-Quelle) verwendet. Abb. 5.1 zeigt ein einfaches Ersatzschaltbild (ESB) für einen Feldeffekttransistor. Der Gate Anschluss ist offen, zwischen Drain und Source liegt eine Stromquelle, der Strom I_{DS} wird nach dem verwendeten Modell in Abhängigkeit von U_{GS} und U_{DS} errechnet.

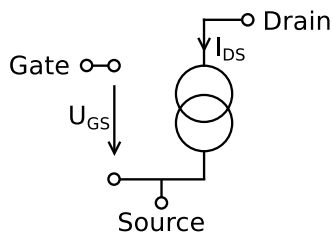


Bild 5.1.: Einfaches Ersatzschaltbild eines Feldeffekttransistors.

5.3. Verwendetes Modell

Das einfache MOS-Modell (vgl. Kapitel 2.4) kann OTFTs prinzipiell beschreiben, jedoch ist der physikalische Hintergrund nicht korrekt. Das MOS-Modell geht von Ladungsträgertransport in Bändern (vgl. Kapitel 2.5) aus, welcher nur in hochgradig geordneten Halbleitern stattfinden kann. Flüssig prozessierte organische Halbleiter sind jedoch meist amorph und der Ladungsträgertransport wird von anderen Effekten beeinflusst. Daher werden für die Simulation von OTFTs meistens Modelle verwendet, die solche Systeme besser beschreiben können. Diese Modelle sind zum Teil sehr komplex und haben viele Parameter, um die Kurven einzelner OTFTs sehr präzise beschreiben zu können. Diese Präzision bringt jedoch den Nachteil, dass das Modell nur schwer zu verstehen ist und die Parameterextraktion sehr aufwendig wird.

Problematisch bei der Modellierung von OTFTs ist der Umstand, dass der Ladungstransport in organischen Halbleitern nicht komplett verstanden ist [66]. Es gibt Ansätze der Beschreibung, jedoch keine umfassende Theorie welche die Systeme komplett beschreibt. Eines der Probleme hierbei ist die Vielzahl der organischen Halbleiter und der Dielektrika.

Das hier verwendete Modell basiert auf dem VRH²-Modell [67]. Dieses beschreibt den Stromtransport in ungeordneten Halbleitern, wie z. B. organischen Halbleitern und amorphem Silizium. In seiner Form in [68] ähnelt es den Gleichungen des einfachen MOS-Modells (vgl. Kapitel 2.4), jedoch werden weitere Simulationsparameter eingeführt, die spezielle Eigenschaften der ungeordneten Halbleiter beschreiben. So wird z. B. die Ladungsträgerbeweglichkeit μ nicht mehr als konstant angenommen, sondern der Wert ist abhängig von der angelegten Gatespannung [69, 70]. Das VRH-Modell in [68] wird stufenweise aufgebaut. Für die hier verwendeten Transistoren hat sich jedoch schon die erste Stufe, $I_D^{acc,1}$ genannt, als hinreichend ge-

²VRH = variable range hopping

nau herausgestellt. Gleichung (5.1) zeigt die verwendete Formel für den p-Kanal OTFT.

$$I'_D = -\frac{1}{(2+\gamma)} \frac{W}{L} \mu C_{Ox} ([[-U_{GS} + U_{Th}]]^{(2+\gamma)} - [[-U_{GS} + U_{Th} + U_{DS}]]^{(2+\gamma)})$$

Mit: $[[x]] = 0, 5x + |0, 5x|$
(5.1)

Von dem VRH-Modell wird nur der Teil des Sättigungsbereiches implementiert, welcher jedoch auch den linearen Bereich annähern kann. Der Vorteil einer solchen Implementierung ist, dass keine Fallunterscheidung und kein Bereichswchsel in SPICE implementiert werden müssen. Fallunterscheidungen und das Umschalten zwischen verschiedenen Formeln führen bei Simulationen unter Umständen zu Problemen. So kann es vorkommen, dass die simulierten Kennlinien nicht stetig und daher auch nicht differenzierbar sind.

Der Parameter γ , beschreibt die Abhängigkeit der Ladungsträgerbeweglichkeit von der angelegten Gatespannung. Abbildung 5.2 zeigt exemplarisch eine Transferkennlinie und die Transkonduktanz ($gm = \delta I_D / \delta U_D$), welche proportional zur Ladungsträgerbeweglichkeit ist. Nach Erreichen des linearen Bereiches bleibt der Wert annähernd konstant. Das zeigt, dass die Ladungsträgerbeweglichkeit nicht von der Gatespannung beeinflusst wird [71]. Diese Abhängigkeit ist bei allen untersuchten Transistoren sehr gering und wird daher vernachlässigt.

Abbildung 5.3 zeigt den Vergleich von Messwerten und Simulation mit dem vereinfachten VRH-Modell unter Vernachlässigung von γ . Die Simulation beschreibt die gemessenen Werte insgesamt relativ gut. Daher wird für die weitere Modellierung auf den Parameter γ verzichtet, was auch die Extraktion der Parameter vereinfacht. Das Modell vereinfacht sich hierdurch von Gleichung (5.1) zu (5.2).

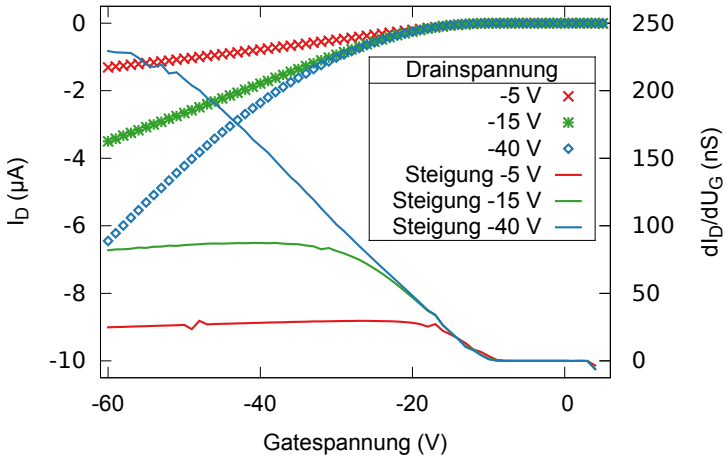


Bild 5.2.: Exemplarisch gemessene Transferkennlinie eines OFET. Zusätzlich ist die Transkonduktanz abgebildet, dieser Wert ist proportional der Ladungsträgerbeweglichkeit μ . Es ist zu erkennen, dass die Transkonduktanz zwischen $U_G = -9,9\text{V} = U_{Th}$ und dem jeweiligen linearen Bereich bei $U_G \leq U_{Th} + U_D$ ansteigt. Anschließend bleibt der Wert etwa konstant.

$$I'_D = -\frac{1}{2} \frac{W}{L} \mu C_{Ox} ([[-U_{GS} + U_{Th}]]^2 - [[-U_{GS} + U_{Th} + U_{DS}]]^2) \quad (5.2)$$

Formel (5.2) wird um die Kanallängenmodulation nach Gleichung (5.3) erweitert. Dieser Zusatz beschreibt das Verhalten realer FET im Sättigungsbereich, wobei ein endlicher Ausgangswiderstand simuliert wird, was auch der Realität entspricht. Gleichung (5.3) errechnet aus einem idealisierten I'_D unter Berücksichtigung der Early-Spannung (λ^{-1}) (vgl. Kapitel 4.4.3) den korrigierten Wert für I_D .

$$I_D = I'_D(1 + \lambda U_{DS}) \quad (5.3)$$

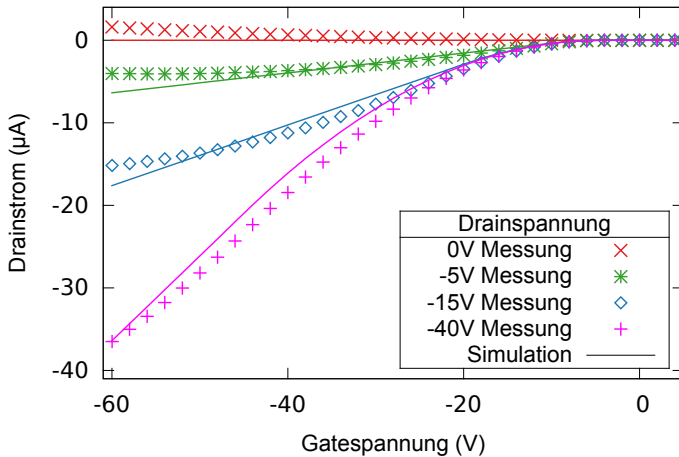


Bild 5.3.: Vergleich von Messwerten und Simulation der Transferkennlinie eines OTFT mit dem vereinfachten VRH-Modell. Die Simulationsparameter sind im Anhang A.1 aufgelistet.

5.4. Modell-Erweiterungen

Da das VRH-Modell aus Abschnitt 5.3 nur das idealisierte Verhalten beschreibt, wird das SPICE-Modell um weitere Elemente erweitert. Diese Elemente dienen dazu, unerwünschte Effekte abzubilden, welche das Verhalten realer Bauteile beeinflussen. Hier sind insbesondere der Metall-Halbleiter Übergang (Kapitel 2.8) und die Gate-Leckströme (Kapitel 6) zu nennen. In den folgenden Abschnitten werden verschiedene Modellerweiterungen schrittweise vorgestellt und die Wirkung auf die Kennlinien einzeln gezeigt. Hierzu werden jeweils die gleichen Messdaten verwendet, um den Einfluss der Modellerweiterungen schrittweise zu verdeutlichen.

5.4.1. Kontaktwiderstand

Die Potentialbarriere des Metall-Halbleiter Übergangs verursacht einen Spannungsabfall, hierdurch wird die wirksame Drainspannung U_D verringert (vgl. Kapitel 2.8). Dabei werden die Kennlinien insbesondere bei höheren Strömen deutlich verformt. Zur Simulation der Kontaktwiderstände (R_C) werden diese als einfache Widerstände angenähert. Von beiden Kontakten ist der sourceseitige dominierend, für die Modellierung wird der drainseitige Widerstand daher zunächst vernachlässigt [72]. Die Simulation des Metall-Halbleiter-Übergangs durch einen einfachen Widerstand ist nicht realistisch, verbessert jedoch die Simulation insbesondere bei höheren Drainströmen deutlich. Abbildung 5.4a zeigt den Vergleich von Messwerten und Simulation mit und ohne R_C . Bei der $U_{DS} = -40V$ Kennlinie ist die Verbesserung der Simulation deutlich zu sehen. Abbildung 5.4b zeigt das Ersatzschaltbild, welches um R_C an der Source erweitert ist. Bei der Extraktion der Parameter muss die ermittelte Ladungsträgerbeweglichkeit korrigiert werden, da die außen angelegte U_{DS} um den Spannungsabfall an der Potentialbarriere reduziert wird. Für die Simulation wird $R_C = 139 k\Omega$ und $mu = 0,0398 cm^2V^{-1}s^{-1}$ ermittelt.

5.4.2. Gate-Leckströme

Dieser Parameter, das zugehörige Modell und die Parameterextraktion sind in Kapitel 6 ausführlich erläutert. Die Simulation erfolgt prinzipiell ebenfalls durch Gleichung (5.2), wobei jedoch $\frac{W}{L}$ durch K_{GD} bzw. K_{GS} ersetzt wird. Abbildung 5.5 zeigt den Vergleich von Messwerten und Simulation mit bzw. ohne Gate-Leckströme. Die Simulationsparameter werden zu $K_{GS} = 0,9$ und $K_{GD} = 9,3$ ermittelt.

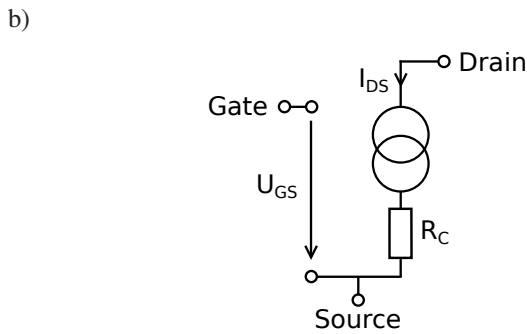
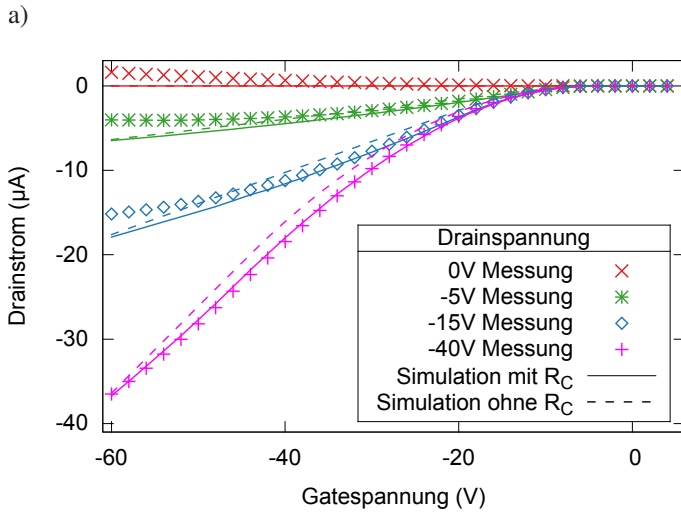


Bild 5.4.: a) Messwerte und Simulation eines OTFT. Vergleich von Simulation mit und ohne Kontaktwiderstand. b) Ersatzschaltbild mit Kontaktwiderstand an der Source Elektrode.

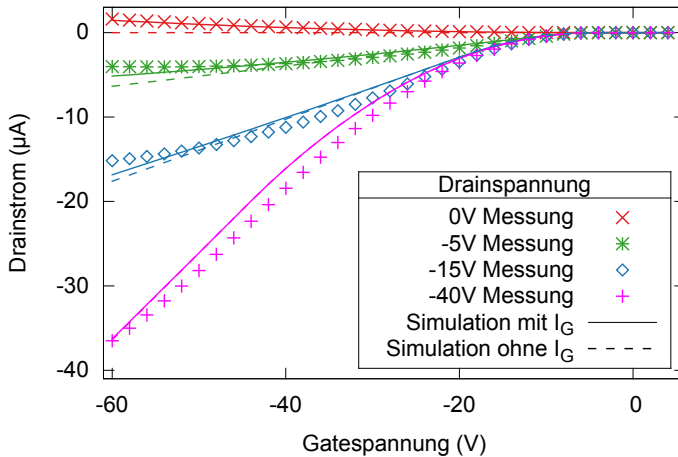


Bild 5.5.: Messwerte und Simulation eines OTFT. Vergleich von Simulationen mit und ohne Gate-Leckströme.

5.4.3. Off-Widerstand

Im idealen Modell fließt bei $U_G < U_{Th}$ kein Drainstrom, in der Realität stellen sich jedoch kleine Ströme ein. Diese lassen sich zum Teil durch Umladeströme der Gatekapazität erklären. Jedoch ist es für DC-Simulationen von Vorteil einen Widerstand zwischen Drain und Source vorzusehen, welcher das Off-Verhalten annähert. Abbildung 5.6 zeigt den Vergleich von Messwerten und Simulationsergebnissen. Im Bereich um $U_D = 0V$ ist der Einfluss des Off-Widerstandes (R_{Off}) zu sehen. Ohne diesen Widerstand beträgt der Strom $0A$. Der Wert des Widerstandes wird aus der $U_D = -15V$ Transferkennlinie, bei $U_G = 0V$ errechnet und beträgt $R_{Off} = 14,15 G\Omega$. Abbildung 5.7 zeigt das ESB mit OFF-Widerstand.

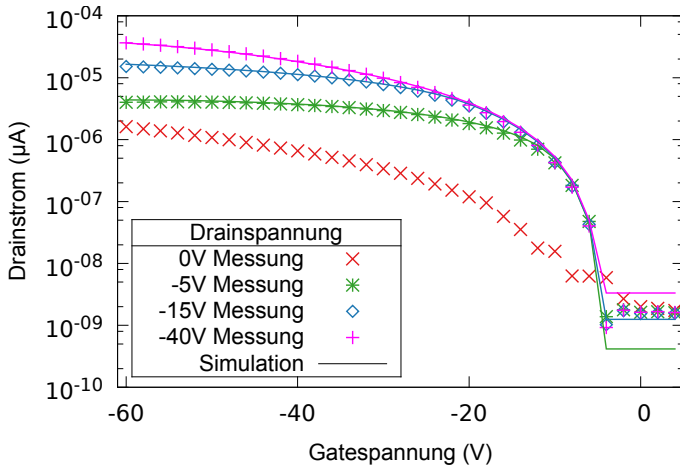


Bild 5.6.: Simulation eines OTFT mit Off-Widerstand.

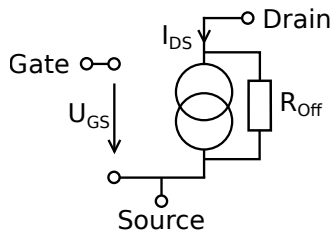


Bild 5.7.: Ersatzschaltbild mit Off-Widerstand zwischen Drain und Source.

5.4.4. Überlapp-Kapazitäten

Die in Kapitel 4.4.7 vorgestellten und extrahierten Überlapp-Kapazitäten zwischen Gate und Source bzw. Drain werden durch Kondensatoren dem Modell hinzugefügt. Diese Kondensatoren liegen zwischen Gate und Drain bzw. Source. Abb. 5.8 zeigt die Position der Kondensatoren. Die Kapazität zwischen Gate und Kanal wird zunächst vernachlässigt, da der Überlapp zwischen der Drain- bzw. Source-Elektrode und dem Gate deutlich größer ist, als zwischen Gate und Kanal. Die Kapazitäten werden für den gewählten Transistor zu $C_{GD} = 9,45 \text{ pF}$ und $C_{GS} = 12,1 \text{ pF}$ ermittelt.

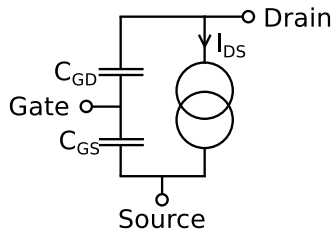


Bild 5.8.: Ersatzschaltbild mit Überlapp-Kapazitäten.

5.4.5. Erweitertes Ersatzschaltbild

Abbildung 5.9 zeigt das ESB des simulierten OTFT mit den vorgestellten Erweiterungen für R_C , R_{Off} und Überlapp-Kapazitäten. Die Erweiterung für den Gate-Leckstrom wird in Kapitel 6 detailliert vorgestellt und ist daher nicht eingezeichnet. Die simulierten Werte beinhalten jedoch auch Gate-Leckströme. Die Abbildung 5.10 zeigt den Vergleich von Messdaten und Simulation mit erweitertem Modell. Sowohl in der Transferkennlinie (Abb. 5.10a) und der Ausgangskennlinie (Abb. 5.10b) werden die Messwerte über den gesamten Messbereich für alle untersuchten Spannungen sehr gut angenähert. Die Simulationsparameter sind im Anhang A.2 aufgelistet.

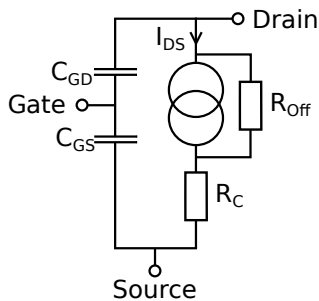
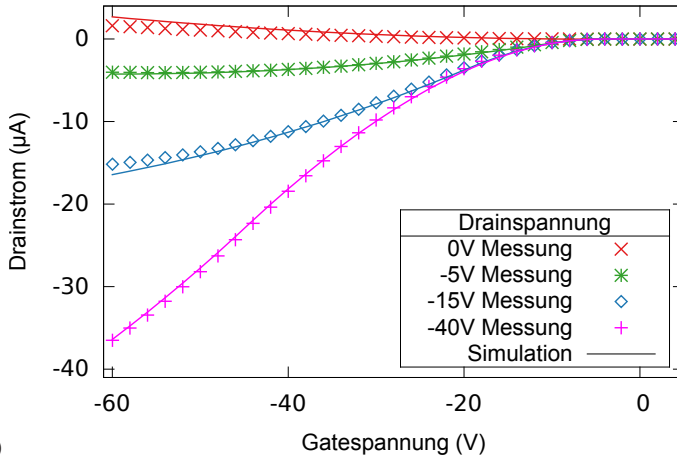
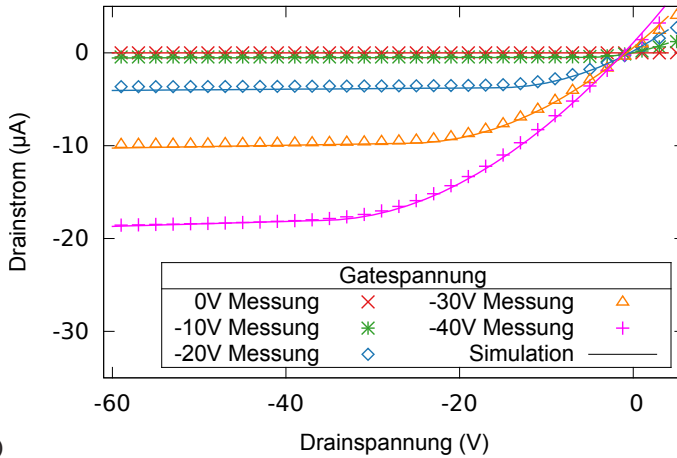


Bild 5.9.: Ersatzschaltbild des OTFT, um die parasitären Elemente R_C , R_{Off} und C_{Ovl} erweitert.



a)



b)

Bild 5.10.: Vergleich von Messdaten und Simulation mit dem erweiterten Modell.
 a) Transferekennlinie, b) Ausgangskennlinie. Die Simulationsparameter sind im Anhang A.2 aufgelistet.

6. Gate-Leckströme

In diesem Kapitel wird ein Modell entwickelt, mit dem Gate-Leckströme in organischen Transistoren beschrieben werden können. Die Simulation dieser parasitären Ströme verbessert die Genauigkeit und ermöglicht präzisere Schaltungssimulationen. Hierzu wird zunächst die Entwicklung des Modells und die Extraktion der Simulationsparameter beschrieben. Im Vergleich mit Messwerten wird die Verbesserung der Simulationsergebnisse gezeigt.

*Dieses Kapitel wurde annähernd komplett in der Fachzeitschrift *Organic Electronics* (Ausgabe März 2014) veröffentlicht [73].*

6.1. Erläuterungen

Der Begriff Gate-Leckströme bezeichnet Gleichströme (DC-Ströme), welche zwischen Gate und Drain bzw. Source eines Transistors fließen. Da das Gate über einem Isolator angebracht ist, sollten keine DC-Ströme fließen. Nur Umladeströme (AC-Ströme), welche durch das Umladen der Gate-Kapazität entstehen, werden erwartet. Gate-Leckströme waren in konventionellen Silizium-Bauelementen meistens vernachlässigbar klein. Dies wird unter anderem dadurch deutlich, dass Gate-Ströme erst ab sehr aufwendigen Modellen (z. B. BSIM4, vorgestellt 2000) implementiert sind [74]. Bis einschließlich des BSIM3-Modells, welches bis etwa hinab zur 100 nm Technologie industriell verwendet wurde, konnten Gate-Leckströme in Silizium-Transistoren im Chipdesign praktisch vernachlässigt werden [75]. Bei zukünftigen Generationen von integrierten Schaltungen wird der Gate-Leckstrom eine zunehmende Rolle spielen [76, 77]. Der Grund

hierfür ist das immer dünner werdende Dielektrikum, hierdurch steigen die Feldstärken im Dielektrikum stark an, was höhere Gate-Leckströme zur Folge hat. In der Literatur werden Gate-Leckströme an OTFTs bisher nur wenig untersucht, so wird z. B. ihre Wirkung auf die Kennlinien teilweise in [78] und [79] beschrieben. Es existiert jedoch bis dato noch kein SPICE-Modell um diese Effekte zu simulieren. Der IEEE Standard 1620 schreibt jedoch vor, dass beim Charakterisieren von OTFTs auch der Gate-Strom gemessen werden soll. Dieser sollte unter 0,1 % des On-Stromes des Transistors liegen [61]. Bei den untersuchten flüssig prozessierten OTFTs lagen die Leckströme meistens deutlich über den geforderten 0,1 %, teilweise auch in der Größenordnung der Kanalströme, wobei die untersuchten Transistoren jedoch akzeptables Verhalten aufwiesen. Die Gate-Leckströme verschlechtern also nicht notwendigerweise das Verhalten des einzelnen Transistors kritisch. Werden jedoch mehrere Transistoren zu einer Schaltung verschaltet, so wirken die Gate-Leckströme als Last, welche die Signalpegel innerhalb der Schaltung beeinflusst. Um zu untersuchen welche Gate-Ströme noch akzeptabel sind, wird eine Simulation an einer Schaltung durchgeführt.

Abbildung 6.1 zeigt eine Simulation von fünf Invertern, welche in Reihe geschaltet sind. Das gezeigte Signal liegt am Eingang der fünften Stufe, es wird mit Leckströmen simuliert, welche zwischen 0 % und 100 % des Kanalstromes betragen. Beträgt der Gate-Leckstrom z. B. 2 % des Kanalstromes, so sinkt der Pegel des Ausgangssignals um ca. 20 %. Wenn diese Änderung simuliert werden kann, so können Schaltungen angepasst werden, damit diese trotz des hohen Leckstromes zuverlässig funktionieren.

Die gezeigten Messungen und Modelle werden an OTFTs aus PIF8-TAA und Lisicon D320 entwickelt und anschließend an OTFTs aus P3HT und PMMA verifiziert. Die Ergebnisse sind vergleichbar und eindeutig, die hier gezeigten Messwerte und Diagramme beziehen sich auf die OTFTs aus P3HT und PMMA.

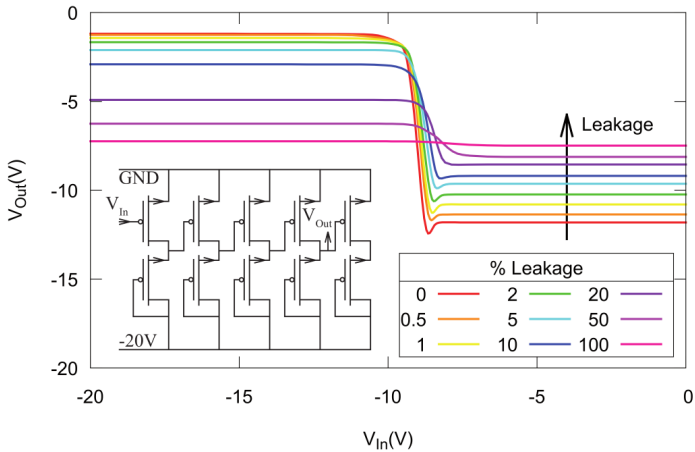


Bild 6.1.: Auswirkung von Gate-Leckströmen auf die Signalpegel innerhalb einer simulierten Schaltung, hier am Beispiel von fünf hintereinander geschalteten Inverters. Das gezeigte Signal liegt am Eingang des fünften Inverters.

6.2. Analyse der Gate-Leckströme

Die Auswertung von Messdaten hat ergeben, dass Gate-Leckströme mit quadratischen Funktionen beschrieben werden können. Der Gate-Leckstrom eines OTFT kann als Addition zweier quadratischer Kurven beschrieben werden. Abbildung 6.2 zeigt den exemplarischen Vergleich von Messdaten und quadratischen Funktionen der Art: $y = a(U_{GS} - U_{DS} - U_{Th})^2$, wobei $U_{Th} = -2,5V$ ist. Der Simulationsparameter a wird durch Curve-Fitting¹ ermittelt. Die lineare Darstellung zeigt, dass der Gate-Strom sowohl von der Gate-, als auch von der Drainspannung abhängt. Die grundlegende Form der Kurven ist jedoch immer gleich, und lässt sich durch eine quadratische Funktion sehr gut beschreiben. Die logarithmische Darstellung zeigt eine Grundlinie, hier Source-Fit genannt, und mehrere hiervon ausgehende qua-

¹Curve-Fitting, engl. = Ausgleichsrechnung, voll numerische Bestimmung von Variablen

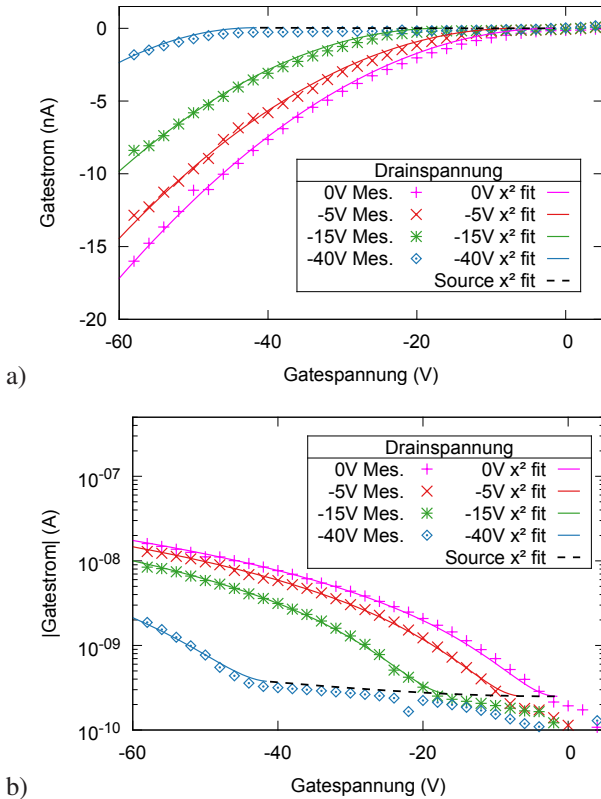


Bild 6.2.: Gate-Leckströme an einem PTAA / PMMA Transistor, Messung und Simulation mittels quadratischer Funktionen. Die Simulationsparameter werden durch Curve-Fitting ermittelt.

drastische Funktionen, welche abhängig von U_{DS} sind. Auffällig ist, dass die U_{DS} -fit genannten Kurven jeweils bei $U_{GS} = U_{DS} - U_{Th}$ beginnen, auch der Source-fit beginnt nicht bei $0V$ sondern bei U_{Th} .

Dieser Verlauf wird auf folgende Weise interpretiert: Innerhalb eines Transistors gibt es zwei verschiedene Pfade auf denen der Gate-Leckstrom fließen kann. Sobald $U_{GS} U_{Th}$ überschritten hat, fließt Strom auf dem ersten

(sourceseitigen) Pfad. Übersteigt U_{GS} auch $(U_{DS} - U_{Th})$ beginnt auch auf dem zweiten (drainseitigen) Pfad der Strom quadratisch anzusteigen.

6.3. Wirkung des Leckstromes auf die Kennlinien

Je nach Konstellation kann der Leckstrom in den Transistorkennlinien direkt erkannt werden. Dies gilt jedoch nur für den drainseitigen Anteil, fließt der Leckstrom vom Gate zur Source, so ist in den Transfer- und Ausgangskennlinien hiervon nichts zu sehen. Der maximale Leckstrom fließt bei $V_{DS} = 0V$, wobei der Leckstrom mit steigender Drainspannung quadratisch abnimmt. In Abb. 6.3 ist bei der $V_{DS} = 0$ und $V_{DS} = -5V$ Kennlinie der Einfluss des Leckstromes deutlich sichtbar. Idealerweise sollte die $V_{DS} = 0$ Kennlinie horizontal verlaufen und die $V_{DS} = -5V$ Kennlinie am Ende einen linearen Anstieg aufweisen. Durch den Leckstrom steigt jedoch die $V_{DS} = 0V$ Kennlinie deutlich in den positiven Bereich. Auch die $V_{DS} = -5V$ Kennlinie steigt nicht wie erwartet linear an, das Ansteigen wird gedämpft und die Kennlinie sogar ebenfalls in den positiven Bereich gebogen. In den Ausgangskennlinien ist der Einfluss besonders bei $V_{DS} = 0V$ zu sehen, idealerweise sollten alle Kurven die Stelle $V_{DS} = 0V | I_D = 0A$ schneiden. Dies ist in Abb. 6.4 jedoch nicht der Fall – je höher V_{GS} , desto höher ist der Drainstrom, welcher an der Stelle $V_{DS} = 0V$ fließt [78].

6.4. Modellierung von Gate-Leckströmen

Das im vorherigen Abschnitt 6.2 beschriebene Verhalten lässt sich mit folgender Modellvorstellung beschreiben: Im Dielektrikum des OTFT gibt es leitfähige Defekte, welche eine Verbindung zwischen der Gate-Elektrode und dem Kanal herstellen. Eine schematische Darstellung dieser Defekte ist in Abb. 6.5 gezeigt. Jeder dieser Defekte führt zu zwei parasitären Elementen innerhalb des eigentlichen Transistors; diese parasitären Elemente sind wiederum Transistoren, bei denen das Gate und eine der Elektroden di-

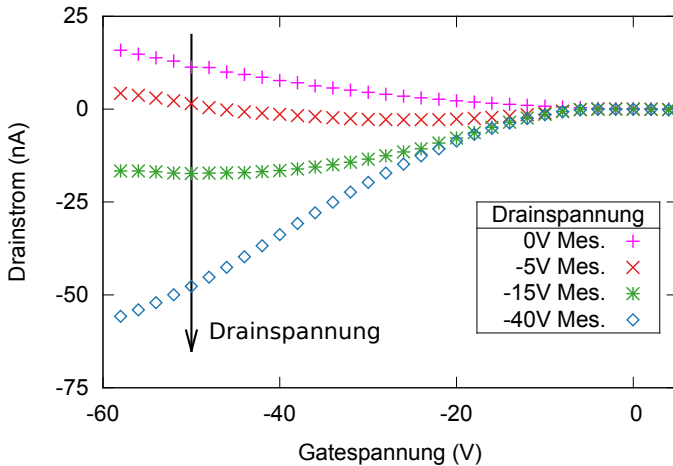


Bild 6.3.: Einfluss des Gate-Leckstromes auf die Transferkennlinien eines OTFT. Gut sichtbar ist die Verformung der $V_{DS} = 0V$ und $V_{DS} = -5V$ Kennlinien in den positiven Bereich, auch die $V_{DS} = -15V$ Kennlinie ist deutlich verformt. Die $V_{DS} = -40V$ Kennlinie erscheint ebenfalls nicht ideal, der Grund dieses Effekts ist jedoch der Kontaktwiderstand (vgl. 2.8).

rekt verbunden ist. In den untersuchten Transistoren sind Drain und Source gleich aufgebaut und daher willkürlich bezeichnet. Eine Verbindung von Gate und Source lässt bei den untersuchten selbstsperrenden Transistoren keinen Stromfluss im Kanal zu, daher wird im weiteren angenommen, dass der Drain Anschluss des Haupttransistors die Source des drainseitigen parasitären Transistors ist. Für die Simulation ist der Defekt zwischen Gate und Kanal somit die Drainelektrode beider parasitärer Transistoren.

Ein Transistor mit verbundenem Gate und Drain wird als MOS-Diode bezeichnet [80]. Eine MOS-Diode hat eine IV-Kurve mit quadratischem Verlauf, da $U_{GS} = U_{DS}$ und $U_{Th} < 0V$, gilt $U_{DS} > U_{GS} - U_{Th}$. Der Transistor befindet sich daher immer im Sättigungsbereich. Nach Gleichung 2.1 steigt I_D quadratisch mit steigendem U_{GS} , solch ein quadratischer Anstieg ist auch in Abb. 6.2 zu sehen. Die Höhe des Stromes hängt von den Ma-

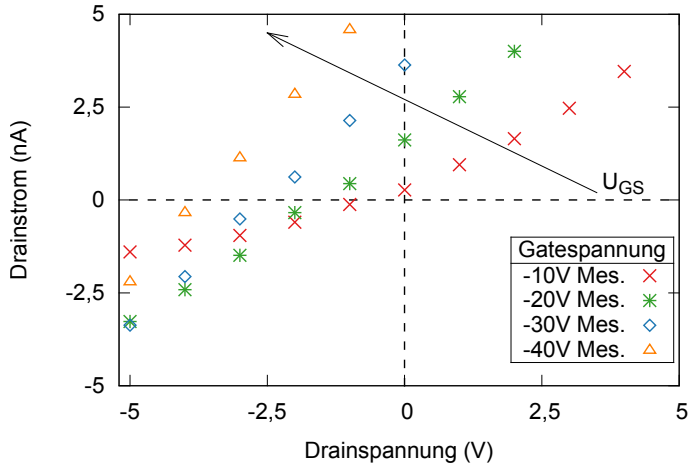


Bild 6.4.: Einfluss des Gate-Leckstromes auf die Ausgangskennlinie eines OTFT. Die Kennlinie ist im Bereich um $V_{DS} = 0V$ vergrößert dargestellt. Die gemessenen Leckströme steigen mit der Gatespannung an.

terialparametern sowie der gesamten Fläche und Position aller Defekte ab. Während der elektrischen Charakterisierung kann nur der wirksame Effekt untersucht werden, es können daher keine direkten Rückschlüsse auf die Anzahl der Defekte gezogen werden.

Durch die Abhängigkeit der gemessenen Gate-Ströme von der Schwellspannung des Haupttransistors wird angenommen, dass die gemessenen Ströme nicht durch eine intrinsische Leitfähigkeit des Dielektrikums begründet sind. Um diese Möglichkeit zu untersuchen, werden Proben hergestellt, welche den gleichen Aufbau wie die untersuchten Transistoren haben, jedoch wird keine Halbleiterschicht appliziert. Es ergibt sich ein Plattenkondensator, bei dem das Gate eine, und Drain bzw. Source die gegenüberliegende Platte bilden. Die Messergebnisse in Abb. 6.6 zeigen die gemessenen I_G für verschiedene U_{DS} . Die gemessenen Ströme sind nicht von den angelegten Spannungen U_{DS} und U_{GS} abhängig. Es ergeben sich

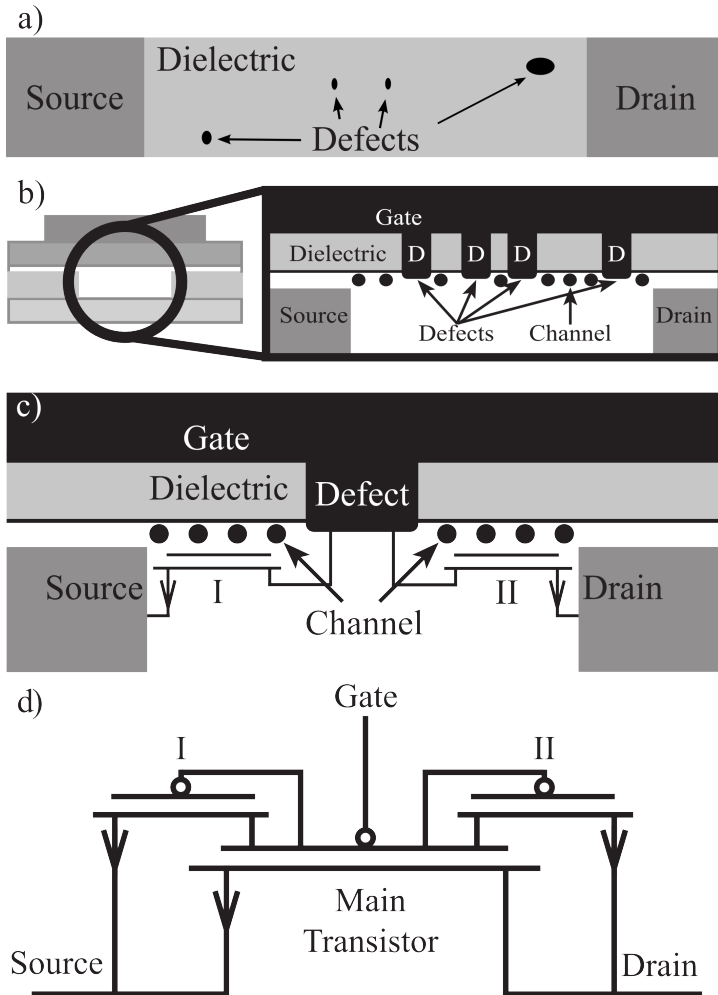


Bild 6.5.: a) Schematische Darstellung von Defekten in der Dielektrikumsschicht, von oben, durch das Gate gesehen. b) Darstellung der Defekte im Querschnitt des Transistors. c) Entstehung von parasitären Transistoren durch einen einzelnen leitfähigen Defekt. d) Schematische Darstellung des Transistors, erweitert um die parasitären Transistoren.

konstante Ströme, welche nur von der Richtung der Spannungsrampe beeinflusst werden. Somit wird bestätigt, dass es sich bei den gemessenen Gate-Leckströmen nicht um eine reine Leitfähigkeit z. B. durch raumladungsbegrenzten Strom des Dielektrikums handelt. Es kann jedoch nicht geklärt werden ob der Halbleiter die Injektion von den Kontakten in das Dielektrikum ermöglicht und so wie ein SAM wirkt, oder ob z. B. das Lösemittel des Halbleiters das Dielektrikum beeinflusst und so die Leitfähigkeit herbeiführt.

Die gemessenen Ströme in Abb. 6.6 lassen sich durch die Überlappkapazitäten (vgl. 5.4.4) erklären. Durch die stetige Veränderung der Gatespannung mit $8,16 \text{ V s}^{-1}$ entsteht ein konstanter Strom von ca. 150 pA . Die wirksame Kapazität wird nach Gleichung (6.1) zu $C = 18,2 \text{ pF}$ berechnet. Dies entspricht in etwa der erwarteten Summe der Überlapp-Kapazitäten, die sich zwischen Gate und Drain bzw. Source ergeben.

$$C = i(t) \left(\frac{\Delta u}{\Delta t} \right)^{-1} \quad (6.1)$$

6.5. Extraktion der Simulationsparameter

Es wird angenommen, dass die parasitären Transistoren die gleichen Materialeigenschaften haben wie der Haupttransistor. Die Messungen bestätigen, dass dies für U_{Th} der Fall ist, sonst würden die gemessenen Ströme in Abb. 6.2 nicht jeweils bei $U_{GS} = U_{DS} - U_{Th}$ ansteigen. Im weiteren werden μ , C_{Ox} und U_{Th} daher als bekannt angenommen. Das W/L der parasitären Transistoren ist durch die Fläche und Position der Defekte bestimmt, welche zunächst unbekannt ist. Dieser Parameter wird im Weiteren als K bezeichnet. So bezeichnen K_{GS} und K_{GD} die wirksamen W/L-Verhältnisse für die Gate-Source bzw. Gate-Drain MOS-Diode. Diese Werte werden aus den Messdaten des Transistors extrahiert. Für die Extraktion der Parameter wird der Haupttransistor als MOS-Diode betrieben und das Verhältnis zwi-

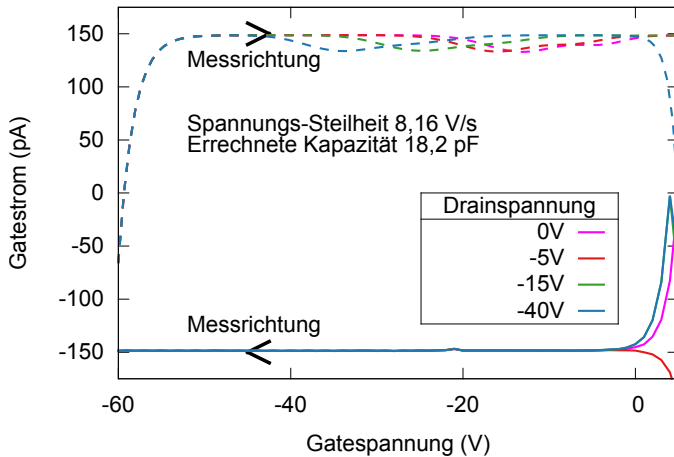


Bild 6.6.: An einem Bauteil ohne Halbleiter gemessene Gate-Ströme. Das Dielektrikum besteht aus 900nm PMMA. Die Höhe des Stromes ist von den angelegten Spannungen unabhängig und wird nur durch die Richtung der Spannungsänderung beeinflusst.

schen gemessenem Kanal- und Leckstrom ermittelt. Es gilt $U_G = U_D = U_1$, $U_1 > U_{Th}$. Es ist zweckmäßig U_1 groß zu wählen, um Messfehler zu reduzieren. Gemessen wird $I_{G(U_1)}$ und $I_{D(U_1)}$, da die Spannung zwischen Gate und Drain (U_{GD}) 0V beträgt, beträgt auch der Strom $I_{GD} = 0\text{A}$. Daher ist der am Gate gemessene Strom I_G gleich dem Strom zwischen Gate und Source (I_{GS}). In Abb. 6.7 sind die einzelnen Strompfade im Transistor dargestellt.

Bei der beschriebenen Extraktion werden zwei Vereinfachungen angenommen:

1) Der Strom zwischen zwei Punkten gleichen Potentials beträgt 0A . Es kann jedoch im OTFT, z. B. durch das Abbauen von Traps oder Kontaktspannungen bei Kontaktierung mit unterschiedlichen Metallen trotzdem zu einem Stromfluss kommen. Ein solcher Effekt konnte während der Untersuchungen nicht festgestellt werden. Es wird jedoch vermutet, dass die hierbei

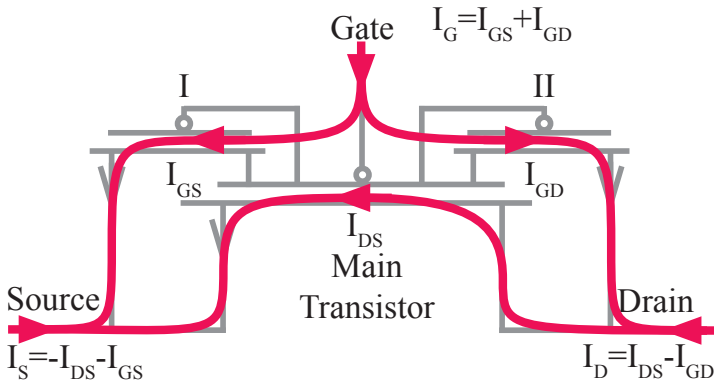


Bild 6.7.: Schematische Darstellung der Zusammensetzung der Ströme, welche an den drei Anschlüssen des Transistors gemessen werden.

auftretenden Ströme sehr gering sind und keinen nennenswerten Einfluss auf die Kennlinien haben.

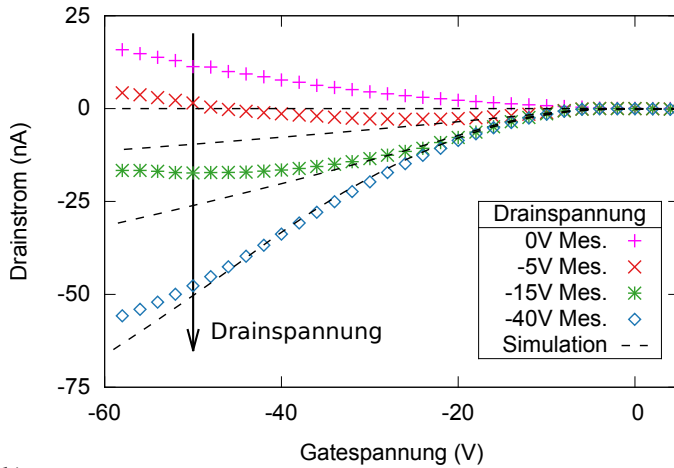
2) Es werden nur zwei Ströme gemessen, I_G und I_D , für die Auswertung wird gemäß der Knotenregel nach Kirchhoff angenommen: $I_S = I_G + I_D$. Hier können jedoch die Fehler des Messgerätes einen großen Einfluss haben, insbesondere wenn die beiden gemessenen Ströme in unterschiedlichen Messbereichen gemessen werden. Es kann vorkommen, dass der Fehler des höheren Messbereichs größer ist als der kleinere Messwert. Daher ist es zu empfehlen separat an allen drei Anschlüssen den Strom zu messen.

6.6. Wirkung auf die Kennlinien

Die Leckströme können so groß werden, dass sie die Transferkennlinien, insbesondere bei kleinen U_{DS} , deutlich sichtbar verformen können (siehe Bild 6.8a). Die Kennlinien für $U_{DS} = 0V$ und $-5V$ sind stark verformt, was durch den Vergleich mit der idealen Simulation deutlich wird. Der Gate-Leckstrom fließt dem Drainstrom entgegen und vermindert diesen,

bei der $-5V$ Kennlinie kommt es hierdurch zur Vorzeichenumkehr. Auch in den Ausgangskennlinien ist der Einfluss sichtbar, Abb. 6.9 zeigt Messwerte sowie ideale und nicht-ideale Simulationen. Die Kennlinienschar der Messwerte verläuft nicht, wie erwartet, durch den Ursprung des Koordinatensystems. Für $U_{DS} = 0V$ ergibt sich dann deutlich sichtbar ein Strom, welcher dem eigentlichen Kanalstrom entgegengesetzt ist. Dieser Effekt, und die Verbesserung der Simulation durch Berücksichtigung der Gate-Leckströme, sind in Abbildung 6.9 sichtbar.

a)



b)

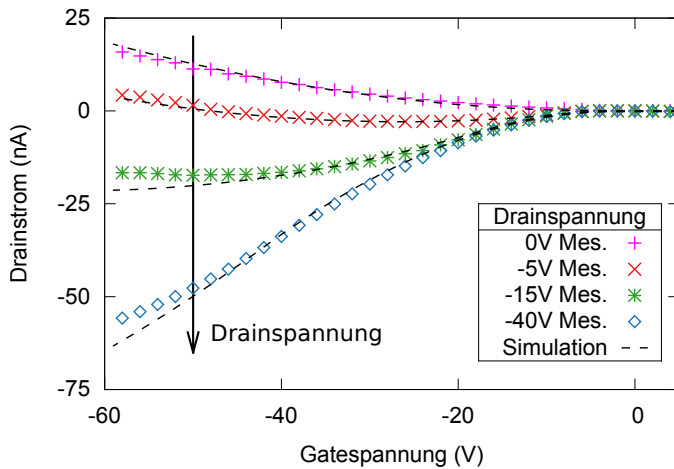


Bild 6.8.: Transferkennlinien mit Gate-Leckströmen, Vergleich mit simulierten Werten. a) Ideale Simulation, ohne Gate-Leckströme. b) Realistische Simulation unter Berücksichtigung der Gate-Leckströme.

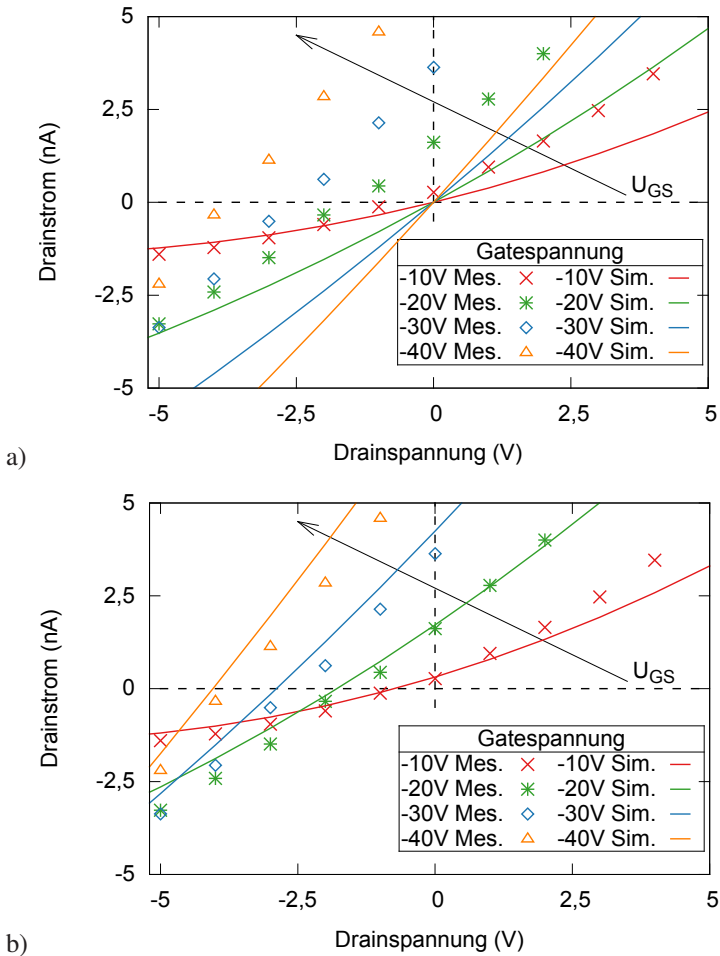


Bild 6.9.: Einfluss von Gate-Leckströmen auf die Ausgangskennlinie:
 a) Ideale Simulation. b) Simulation mit Gate-Leckströmen.

7. Variation der Schichtdicken

In diesem Kapitel wird der Einfluss der Schichtdicken von Halbleiter und Dielektrikum auf das Verhalten von OTFTs untersucht. Hierbei wird der Halbleiter in Schichtdicken zwischen 62nm und 220nm und das Dielektrikum in Schichtdicken zwischen 539nm und 1365nm prozessiert. Durch statistische Auswertung der Messdaten werden die optimalen Schichtdicken ermittelt. Am Beispiel einer Inverterschaltung wird der Einfluss der Ausbeute des einzelnen Transistors auf die Schaltungsausbeute deutlich. Durch Optimierung der Schichtdicke des Dielektrikums wird die Ausbeute der Schaltung von ca. 25% auf nahezu 100% gesteigert.

7.1. Erläuterungen

Zur Optimierung des Herstellungsprozesses werden die Schichtdicken des Halbleiters und des Dielektrikums variiert. Bei der Variation der Schichtdicken werden nur die Prozess-Parameter verändert und die Konzentration der Lösemittel jeweils konstant gehalten. Hierbei werden Reihenmessungen durchgeführt um die Einflüsse der jeweils variierten Schichtdicke auf das Verhalten des Transistors zu untersuchen. Untersucht werden die folgenden Parameter:

- U_{Th} (Schwellspannung)
- μ (Ladungsträgerbeweglichkeit)
- $\frac{I_G}{I_D}$ (Gate-/Drainstrom)
- R_C (Kontaktwiderstand)

Die einzelnen Parameter werden wie in Kapitel 4 bzw. 6 beschrieben aus den Daten der Transfer- und Ausgangskennlinien ermittelt. Bei den gezeigten Diagrammen werden die statistischen Daten mit Vertrauensbereichen angegeben, diese umfassen 95%. Das bedeutet, dass der wahre Wert mit einer Wahrscheinlichkeit von 95% innerhalb des gezeigten Vertrauensbereiches liegt.

Zur Berechnung der Vertrauensbereiche wird angenommen die Daten seien normalverteilt. Die Vertrauensbereiche werden nach Gleichung (7.1) berechnet [81].

$$\begin{aligned} \text{Vertrauensintervall} &= \hat{\mu} \pm c\sigma \frac{1}{\sqrt{n}} \\ \sigma^2 &= \frac{1}{n-1} \sum_{i=1}^n (x_i - \hat{\mu})^2 \\ \hat{\mu} &= \text{Mittelwert, } n = \text{Anzahl Proben} \\ c &= \text{Vertrauensniveau z.B. } c_{95\%} = 1,960 \quad (7.1) \end{aligned}$$

7.2. Halbleiterdicke

Zur Bestimmung der optimalen Schichtdicke des Halbleiters wird dieser in Schichtdicken zwischen 62nm, und 220nm prozessiert und die hergestellten Transistoren charakterisiert. Tabelle 7.1 zeigt die Prozessparameter und resultierenden Schichtdicken. Die Messung der Dicken erfolgt auf Glassubstraten mit einem DEKTAK Profilometer. Als Dielektrikum wird lisicon® D320 (vgl. Kapitel 3.4) verwendet, welches in einer Dicke von 928nm aufgeschleudert wird. Je Dicke werden zwei bis vier Substrate vom Layout Nr. 2 (vgl. Kapitel 3.2.2) hergestellt, auf jedem Substrat befinden sich 27 Transistoren. Die untersuchten Kanallängen betragen 50µm, und 100µm, die Kanalweiten 1mm und 10mm. Insgesamt werden 378 Transistoren charakterisiert, von denen 303 als funktionierend eingestuft werden.

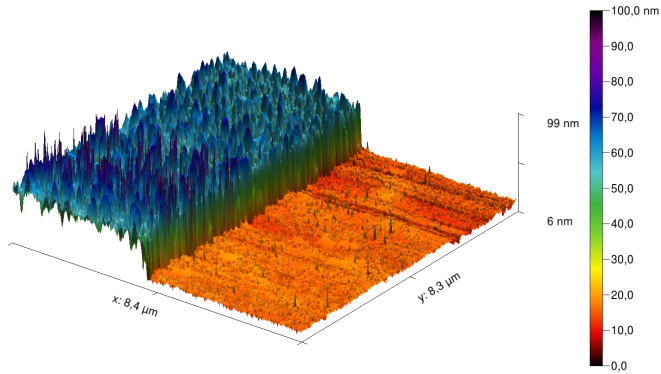


Bild 7.1.: Höhenprofil der Kante an einer Drain- bzw. Source Elektrode. (Messung mit Rasterkraftmikroskop, Messwerte mit freundlicher Unterstützung von Jens Trollmann, Kirchhoff-Institut für Physik der Universität Heidelberg.)

Es wird angenommen, dass die Bedeckung der Drain- und Sourceelektroden mit dem Halbleiter eine wichtige Rolle bei Ausbildung des Kanals hat. Es wird hierbei angenommen, dass die Schwellspannung von der Bedeckung der Elektrodenkanten beeinflusst wird. Da an diesen Stellen eine Feldüberhöhung stattfindet, wird vermutet U_{Th} sinkt zunächst mit dicker werdender Halbleiterschichtdicke. Bei zu dünnen Schichten könnten die Elektrodenkanten nicht oder nur teilweise bedeckt sein, was die Injektion der Ladungsträger und die Kanalausbildung behindern würde [82, 83, 84]. Ist jedoch die Halbleiterschicht zu dick, müssen die Ladungsträger zwischen Elektrode und ausgebildetem Kanal eine längere Wegstrecke im verarmten Halbleiter zurücklegen. Ein solches Verhalten zeigen z.B. Boudinet et al. an einem vergleichbaren Transistoraufbau, für dickere Schichten steigt der Kontaktwiderstand und die Ladungsträgerbeweglichkeit sinkt [85].

Es wird ebenfalls angenommen, dass U_{Th} bei dickeren Schichten mit steigender Halbleiterschichtdicke ansteigt, da der Abstand zwischen Gate-

und Sourceelektrode steigt und daher die resultierende Feldstärke abnimmt. Ähnliche Effekte werden z. B. auch von Verilhac et al. gezeigt [86].

Die Höhe der Drain- und Source-Elektroden wird zu ca. 40 nm bestimmt. Abbildung 7.1 zeigt das Höhenprofil des untersuchten Bereiches. Es wird daher angenommen, dass auch die dünnste Schicht mit 62 nm die Elektroden bereits komplett bedeckt.

$\frac{U}{\text{min}}$	Rampe ($\frac{U}{\text{min}}\text{ s}^{-1}$)	Dauer	Dicke
400	500	30 s	220 nm
800	500	30 s	128 nm
1200	500	30 s	85 nm
4000	500	30 s	62 nm

Tabelle 7.1.: Parameter und resultierende Schichtdicken für das Aufschleudern des Halbleiters

7.2.1. Schwellspannung

Die Schwellspannung (dargestellt in Abb. 7.2) verringert sich mit steigender Halbleiterschichtdicke. Der niedrigste Wert von $-5,1\text{ V}$ wird bei einer Dicke von 220 nm ermittelt. Wobei die Unterschiede zwischen den Werten für 128 nm und 220 nm innerhalb der Vertrauensbereiche liegen. Die ermittelten Werte sind mit $U_{Th} = -5,3\text{ V}$ bei 128 nm und $U_{Th} = -5,1\text{ V}$ bei 220 nm nahezu gleich. Die Verringerung von U_{Th} lässt vermuten, dass die Drain- und Sourceelektroden für Halbleiterschichtdicken unter 128 nm nicht sicher bedeckt sind. Die Ergebnisse lassen auch darauf schließen, dass 220 nm nicht dick genug sind um die Kanalausbildung negativ zu beeinflussen.

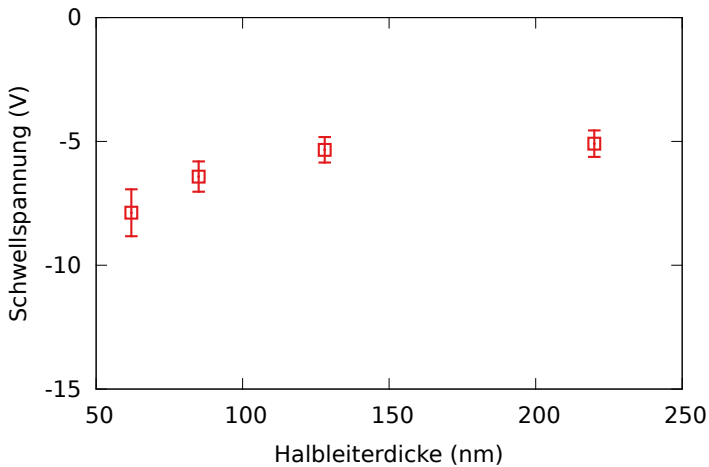


Bild 7.2.: Einfluss der Schichtdicke des Halbleiters auf die Schwellspannung der Transistoren. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von 928 nm .

7.2.2. Ladungsträgerbeweglichkeit

Abbildung 7.3 zeigt die effektive Ladungsträgerbeweglichkeit für verschiedene Halbleiterdicken. Generell werden hohe Werte erreicht, welche etwas über den Literaturangaben von $0,04 \text{ cm}^2 \text{Vs}^{-1}$ liegen [55]. Die höchsten Werte werden mit $0,047 \text{ cm}^2 \text{Vs}^{-1}$ bei 85 nm Schichtdicke gemessen. Der Verlauf der Messpunkte kann folgendermaßen interpretiert werden: Bei 62 nm ist die Bedeckung der Elektroden, insbesondere deren Kanten, noch nicht optimal, ab 85 nm sind die Elektrodenkanten sicher bedeckt, bei 128 nm und 220 nm müssen die Ladungsträger eine Wegstrecke im verarmten Halbleiter zurücklegen, was die gemessenen Ströme und damit auch die ermittelten Beweglichkeiten reduziert. Diese Interpretation ist jedoch nicht gesichert, da die Vertrauensbereiche der einzelnen Punkte teilweise deutlich überlappen.

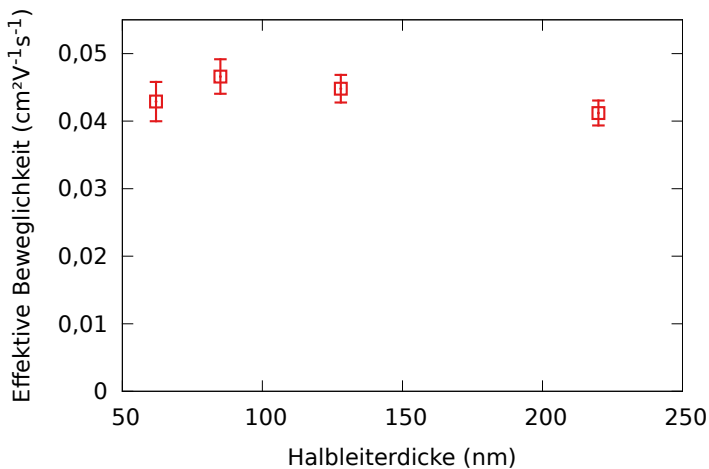


Bild 7.3.: Einfluss der Schichtdicke des Halbleiters auf die effektive Ladungsträgerbeweglichkeit der Transistoren. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von 928 nm .

7.2.3. Gate-Leckströme

Abbildung 7.4 zeigt das Verhältnis von Gate- zu Kanalstrom (vgl. Kapitel 6). Dieses verbessert sich zunächst zwischen 62nm und 128nm , wird jedoch bei 220nm wieder deutlich schlechter. Es ist unwahrscheinlich dass es sich hierbei um ein Artefakt handelt, da die Werte für eine Halbleiterschichtdicke von 220nm aus 89 funktionierenden Transistoren gemittelt sind.

Der niedrigste Wert von $3,6\%$ wird bei 128nm ermittelt. Es ist unklar weshalb der Wert bei 220nm schlechter ist als bei dünneren Schichten. Möglich ist, dass ein höherer Kontaktwiderstand (vgl. Abschnitt 7.2.4) I_D stärker beeinflusst als I_G und dadurch das Verhältnis I_G/I_D schlechter wird.

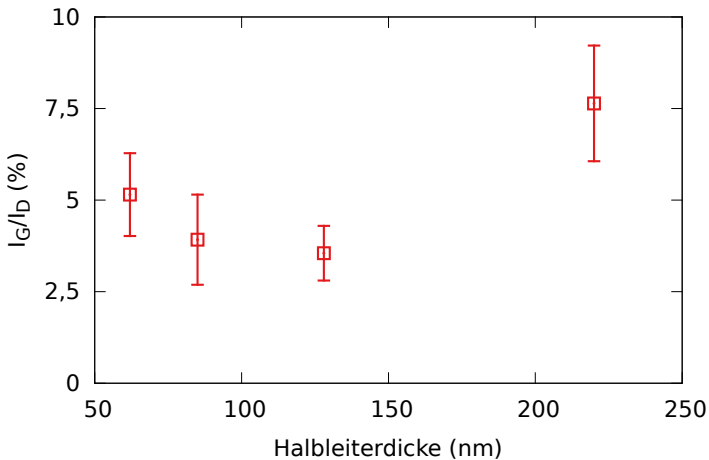


Bild 7.4.: Einfluss der Schichtdicke des Halbleiters auf das Verhältnis von Gate- zu Drainstrom. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von 928nm .

7.2.4. Kontaktwiderstand

Der Kontaktwiderstand (Abbildung 7.5) wird per TLM (vgl. Kapitel 4.4.4) aus Messwerten bei $U_G = -40V$ ermittelt und ist für Weiten von 1 mm und 10 mm aufgetragen. Die Werte sind auf eine Weite von 10 mm normiert und haben zwischen 62 nm und 128 nm minimale Werte von ca. $0,5\text{ M}\Omega\text{ cm}$, wobei sich die Vertrauensbereiche der einzelnen Werte überlappen. Für 220 nm Halbleiterschichtdicke werden deutlich höhere Werte ermittelt was, wie die Ladungsträgerbeweglichkeit (vgl. Abschnitt 7.2.2), darauf hinweist, dass die Ladungsträger eine Wegstrecke in verarmten Halbleiter zurücklegen müssen.

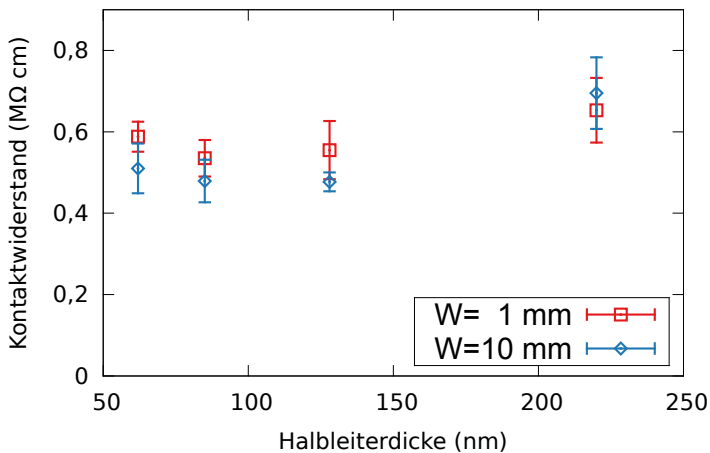


Bild 7.5.: Einfluss der Schichtdicke des Halbleiters auf den Kontaktwiderstand. Der Kontaktwiderstand wird per TLM aus Kanallängen von $50\text{ }\mu\text{m}$ und $100\text{ }\mu\text{m}$ sowie einer Gatespannung von $U_G = -40V$ bestimmt. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von 928 nm . Aufgetragen sind Werte für Kanalweiten von 1 mm und 10 mm , wobei die Werte auf eine Weite von 10 mm normiert sind.

7.3. Halbleiterdicke des Einzeltransistors

Aus den Messwerten der Abschnitte 7.2.1 bis 7.2.4, wird eine Halbleiter-schichtdicke von 128 nm für weitere Untersuchungen ermittelt. Dünnere Schichten zeigen höhere Schwellspannungen und dickere Schichten höhere Kontaktwiderstände und Leckströme.

7.4. Dielektrikumsdicke

In Kapitel 7.2 wird die Variation der Halbleiterdicke beschrieben und im Abschnitt 7.3 eine Dicke von 128 nm als Wert für weitere Untersuchungen festgelegt. Die hier untersuchte Dielektrikumsdicke beträgt zwischen 539 nm und 1365 nm . Tabelle 7.2 zeigt die Prozessparameter und resultierenden Schichtdicken. Je Dicke werden 2 bis 4 Substrate vom Layout Nr. 2 hergestellt und charakterisiert. Insgesamt werden 504 Transistoren charakterisiert, von denen 403 als funktionierend eingestuft werden.

Durch ein dünneres Dielektrikum steigt sowohl der Parameter C_{Ox} , als auch die Feldstärke innerhalb der Transistoren an. Daher wird daher vermutet, dass Transistoren mit dünnerem Dielektrikum prinzipiell bessere Parameter aufweisen, jedoch auch höhere Leckströme haben.

7.4.1. Schwellspannung

Abbildung 7.6 zeigt die Schwellspannung über der Dielektrikumsdicke. Der Wert steigt mit steigender Dicke des Dielektrikums an, von $U_{Th} = -5\text{ V}$ bei 539 nm bis auf $U_{Th} = -10,1\text{ V}$ bei 1365 nm . Dieses Verhalten lässt sich mit sinkender Feldstärke bei dicker werdendem Dielektrikum erklären. Für den MOS-Transistor lässt sich U_{Th} nach Gleichung (7.2) berechnen [1]. Die Schwellspannung ist demnach proportional zur Dicke des Dielektrikums. Durch das dicker werdende Dielektrikum ist die Feldstärke bei gleicher Gatespannung geringer, was eine höhere Schwellspannung zur Folge hat. Das

7. Variation der Schichtdicken

$\frac{U}{min}$	Rampe ($\frac{U}{min} s^{-1}$)	Dauer	Dicke
950	950	30 s	1365 nm
1000	500	30 s	1351 nm
1200	1200	30 s	1170 nm
1300	1300	30 s	1091 nm
1800	500	30 s	928 nm
2500	2500	30 s	779 nm
3800	3800	30 s	626 nm
5000	5000	30 s	539 nm

Tabelle 7.2.: Parameter für das Aufschleudern des Dielektrikums sowie resultierende Schichtdicken. Gemessen mit einem DEKTAK Profilometer auf Glassubstraten.

hier für die OTFTs gezeigte Verhalten ist mit dem des MOS-Transistors vergleichbar.

$$U_{Th} = \frac{Q_{HL}}{C_{Ox}} - 2 \cdot \psi_{HL} = \frac{Q_{HL} t_{Diel}}{\epsilon_r \epsilon_0} - 2 \cdot \psi_{HL} \quad (7.2)$$

U_{Th} = Schwellspannung

Q_{HL} = Ladungsträgerdichte im HL

ψ_{HL} = Oberflächenpotential des HL

ϵ_r = Permittivität des Dielektrikums

ϵ_0 = Permittivität des Vakuums

t_{Diel} = Dicke des Dielektrikums

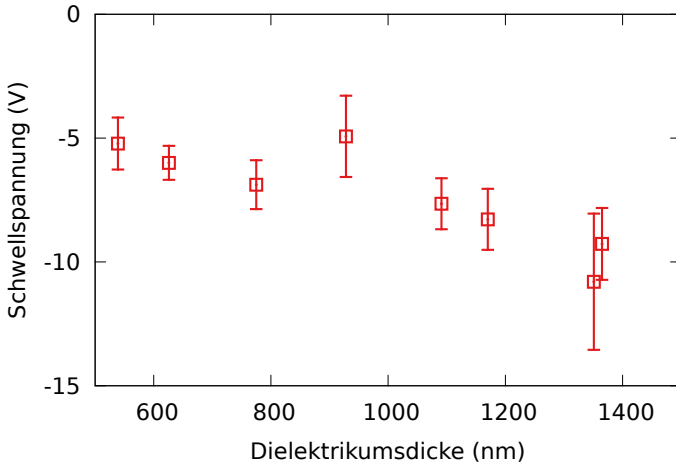


Bild 7.6.: Einfluss der Schichtdicke des Dielektrikums auf die Schwellspannung der Transistoren. Der Halbleiter hat bei den untersuchten Transistoren eine Dicke von 128 nm .

7.4.2. Ladungsträgerbeweglichkeit

Abbildung 7.7a zeigt die effektive Ladungsträgerbeweglichkeit über der Dielektrikumsdicke. Der Wert fällt mit dicker werdendem Dielektrikum ab, wobei der Verlauf nichtlinear ist. Von 539 nm bis 775 nm ist der Wert nahezu konstant bei ca. $0,045\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$. Zwischen 928 nm und 1170 nm fällt die effektive Beweglichkeit von $0,04\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ auf $0,02\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$. Die Werte bei 1170 nm , 1351 nm und 1365 nm sind annähernd gleich. Erklären lässt sich das Verhalten wie folgt: Der Wert von $0,045\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ zwischen 539 nm bis 775 nm ist der Maximalwert, welcher für das verwendete Halbleitermaterial erreicht wird [55]. Viele organische Halbleiter zeigen Ladungsträgerbeweglichkeiten, welche von der Gatespannung bzw. der Feldstärke abhängig sind [23, 56, 87, 88]. Dieses Verhalten steht jedoch im Gegensatz zu den Ergebnissen aus Kapitel 5.3. In Abb. 5.2 ist zu sehen, dass die untersuchten Transistoren diese Abhängigkeit nicht aufweisen. Es wird

daher angenommen, dass der steigende Kontaktwiderstand (vgl. Abschnitt 7.4.4) für die verringerte ermittelte Beweglichkeit verantwortlich ist. Es ist jedoch unklar, weshalb die Werte der Schichtdicken oberhalb von 1170 nm nicht weiter verringert werden.

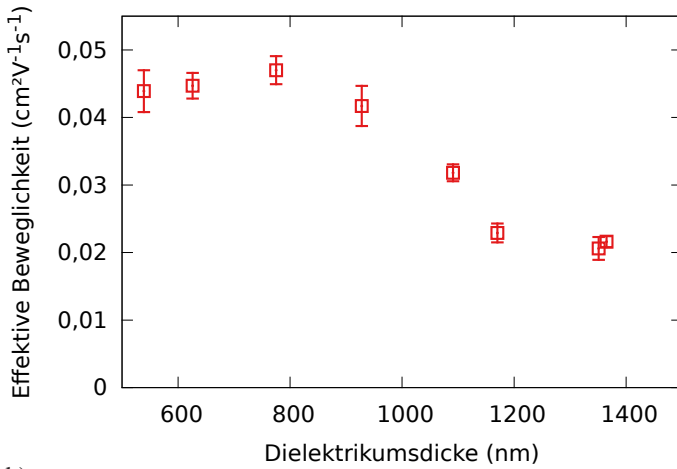
7.4.3. Gate-Leckströme

Abbildung 7.7b zeigt den Verlauf des Gate-Leckstromes über der Schichtdicke des Dielektrikums. Der dargestellte Parameter ist das Verhältnis von I_G zu I_D (vgl. Kapitel 6). Das Verhältnis wird mit dickerem Dielektrikum besser, wobei sich jedoch die Vertrauensbereiche der einzelnen Werte überlappen. Die Vertrauensbereiche werden mit zunehmender Schichtdicke deutlich kleiner, was auf eine geringere Streuung der Messwerte untereinander hinweist. Der niedrigste Wert von $1,3\%$ wird bei einer Dielektrikumsschichtdicke von 1351 nm ermittelt. Dieses Verhalten deckt sich mit der Modellvorstellung, wonach leitfähige Defekte im Dielektrikum für Gate-Leckströme verantwortlich sind. Je dicker die Schicht, desto unwahrscheinlicher sind Defekte, welche das Gate mit dem Halbleiter verbinden.

7.4.4. Kontaktwiderstand

Abbildung 7.8 zeigt den Verlauf des Kontaktwiderstandes über der Schichtdicke des Dielektrikums. Zwischen 539 nm und 928 nm ist der Wert nahezu konstant bei ca. $0,5\text{ M}\Omega\text{ cm}$, steigt jedoch für dickere Schichten deutlich an. Es wird angenommen, dass die geringer werdende Feldstärke den Metall-Halbleiter-Kontakt (vgl. 2.8) negativ beeinflusst und daher R_C mit steigender Dielektrikumsschichtdicke größer wird. Es kann angenommen werden, dass der größer werdende Kontaktwiderstand die Bestimmung der Ladungsträgerbeweglichkeit verfälscht. Daher könnte die in Abschnitt 7.4.2 gefundene Abhängigkeit ein Artefakt sein, welcher durch den steigenden Kontaktwiderstand hervorgerufen wird.

a)



b)

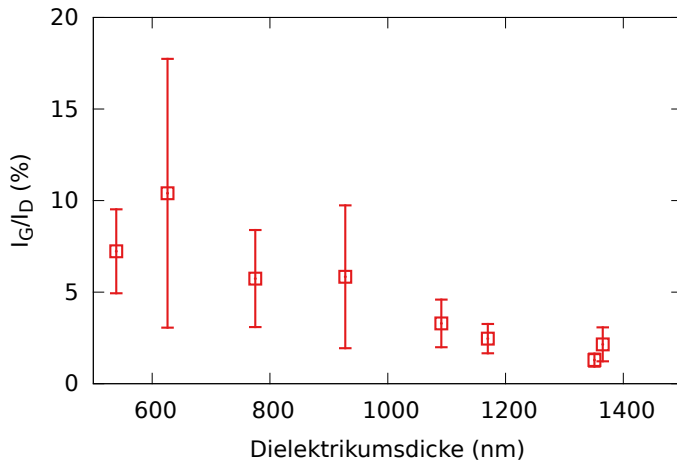


Bild 7.7.: Einfluss der Schichtdicke des Dielektrikums auf: A) Die Ladungsträgerbeweglichkeit der Transistoren. b) Das Verhältnis von Gate- zu Drainstrom. Der Halbleiter hat bei den untersuchten Transistoren eine Dicke von 128 nm .

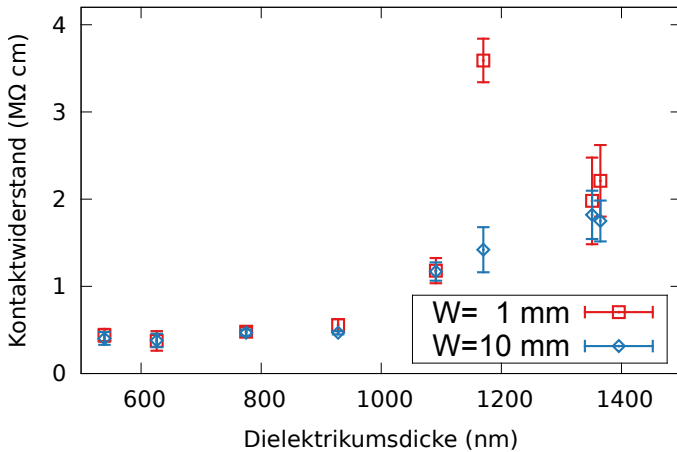


Bild 7.8.: Einfluss der Schichtdicke des Dielektrikums auf den Kontaktwiderstand. Der Kontaktwiderstand wird per TLM bei Kanallängen von $50\mu m$ und $100\mu m$ sowie einer Gatespannung von $V_G = -40V$ bestimmt und auf $M\Omega cm$ normiert. Der Halbleiter hat bei den untersuchten Transistoren eine Dicke von $128nm$.

Es ist unklar, weshalb der Wert für $W = 1mm$ bei einer Dicke von $1170nm$ vom erwarteten Kurvenverlauf abweicht. Der Wert ist ein Mittelwert aus ca. 30 Einzelwerten, hätten die einzelnen Werte große Abweichungen untereinander, so wäre auch der Vertrauensbereich vergrößert, was jedoch nicht der Fall ist.

7.4.5. Inverterverhalten

In den vorangegangenen Abschnitten wird der Einfluss der Schichtdicken von Halbleiter und Dielektrikum auf die Transistoreigenschaften untersucht. Um zu untersuchen wie sich die veränderten Parameter auf die Funktion einer Schaltung auswirken, werden neben einzelnen Transistoren auch Inverter charakterisiert. Wie in Abschnitt 3.2.3 beschrieben, befinden sich

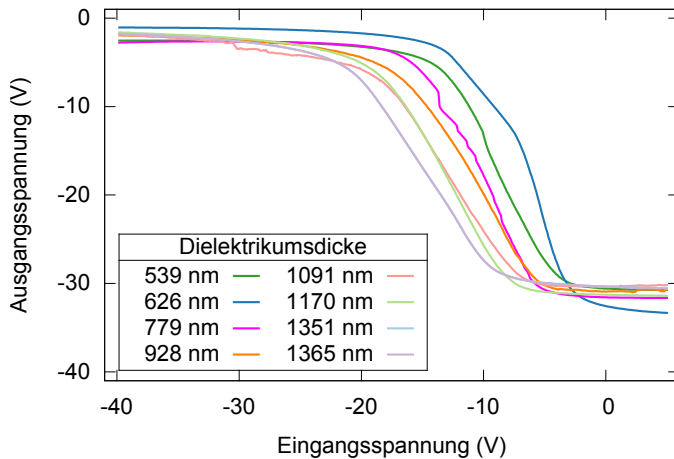


Bild 7.9.: Einfluss der Schichtdicke des Dielektrikums ($T_{HL} = 128 \text{ nm}$) auf das statische Verhalten der Inverter.

auf den Referenzlayouts Inverterschaltungen aus zwei Transistoren, welche ebenfalls direkt auf dem Substrat untersucht werden.

Abbildung 7.9 zeigt die statischen Übertragungsfunktionen für Inverter mit verschiedenen Schichtdicken des Dielektrikums. Die Kurven sind die Mittelwerte aller funktionierenden Inverter der jeweiligen Schichtdicke. Zu erkennen ist, dass die Signalpegel untereinander im LOW- bzw. HIGH-Bereich nur geringe Abweichungen haben. Der Umschaltbereich wird für dickere Schichten zu negativeren Eingangsspannungen verschoben, was durch die steigende Schwellspannung erklärt werden kann. Die Schwellspannung des Schalttransistors bestimmt bei welcher Eingangsspannung der Inverter umschaltet, dickere Schichten des Dielektrikums haben daher direkt ein späteres Umschalten zur Folge.

7.5. Ausbeute

In Abschnitt 7.2 und 7.4 wird der Einfluss der Schichtdicken auf die Bauteilparameter untersucht, hierbei wird die Ausbeute zunächst nicht berücksichtigt. Die Ausbeute ist definiert als der Quotient aus funktionierenden zu defekten Transistoren. Als defekt werden Transistoren eingestuft, wenn diese einen oder mehrere der folgenden Defekte aufweisen: Kurzschluss ($I_D > 10\text{mA}$ oder $I_G > 10\text{mA}$), keinerlei Transistorverhalten (z. B. I_D konstant) oder zu hohe Gate-Leckströme ($I_G > 0,1 \cdot I_D$).

Für die Serienfertigung ist die Ausbeute von entscheidender Wichtigkeit, da die Ausbeute der Einzeltransistoren die mögliche Komplexität einer Schaltung bestimmt.

Wenn auftretende Fehler unabhängig voneinander sind, dann kann angenommen werden, dass die Wahrscheinlichkeit für eine funktionierende Schaltung, das Produkt der Wahrscheinlichkeiten für funktionierende Einzeltransistoren ist [81]. Für den Fall, dass alle Transistoren die gleiche Ausbeute aufweisen, ergibt sich für die Wahrscheinlichkeit einer funktionierenden Schaltung Gleichung (7.3).

$$P_{\text{Schaltung}} = P_{\text{Transistor}}^n \quad (7.3)$$

$P =$ Wahrscheinlichkeit
 $n =$ Anzahl Transistoren

Neben der Untersuchung von Einzeltransistoren wird ebenfalls die Ausbeute von Invertern untersucht. Ausgewertet wird hierbei nur, ob der Inverter prinzipiell funktioniert, also ein Umschaltverhalten aufweist, es wird keine Auswahl nach Signalpegeln getroffen.

Die Inverterschaltung besteht aus zwei Transistoren, die erwartete Wahrscheinlichkeit eines funktionierenden Inverters ist nach Gleichung (7.3) das Quadrat der Einzelwahrscheinlichkeiten.

Die Berechnung der Vertrauensbereiche erfolgt nach Gleichung (7.4), welche die Berechnung des Vertrauensbereiches für umfangreiche¹ Binomialverteilungen² beschreibt. Die Vertrauensbereiche umfassen bei den gezeigten Diagrammen 95 %.

$$\begin{aligned} \text{Vertrauensintervall} &= \hat{p} \pm c \frac{\sqrt{\Delta}}{n} \\ \Delta &= n\hat{p}(1 - \hat{p}) \\ \hat{p} &= \text{Mittelwert, } n = \text{Anzahl Proben} \\ c &= \text{Vertrauensniveau z. B. } c_{95\%} = 1,960 \end{aligned} \quad (7.4)$$

7.5.1. Ausbeute in Abhängigkeit der Halbleiterdicke

Abbildung 7.10a zeigt die Ausbeute von Transistoren über der Schichtdicke des Halbleiters. Diese hat den niedrigsten Wert von 70 % bei einer Schichtdicke von 62 nm. Die Werte für 85, 128 und 220 nm liegen darüber, wobei sich jedoch die Vertrauensbereiche der einzelnen Werte überlappen. Die höchste Ausbeute beträgt 88 % bei einer Schichtdicke von 128 nm.

7.5.2. Ausbeute in Abhängigkeit der Dielektrikumsschichtdicke

Die Ausbeute von Einzeltransistoren in Abhängigkeit von der Dicke des Dielektrikums ist in Abb. 7.11a dargestellt. Untersucht werden 504 Transistoren, von denen in Summe 403 als funktionierend eingestuft werden. Zwar überlappen die Vertrauensbereiche der einzelnen Datenpunkte, es ist jedoch ein klarer Trend erkennbar: Mit dickeren Dielektrikumsschichten steigt die Ausbeute.

Abbildung 7.11b zeigt die Ausbeute von Inverterschaltungen über der Schichtdicke des Dielektrikums. Es ist eine sehr starke Abhängigkeit zu erkennen, beträgt die Ausbeute bei 539 nm nur 25 %, so sind es oberhalb von

¹Die Stichprobe gilt als umfangreich wenn: $n\hat{p}(1 - \hat{p}) > 9$

²Binomialverteilungen beschreiben Ja/Nein Verteilungen, z. B. die Ausbeute

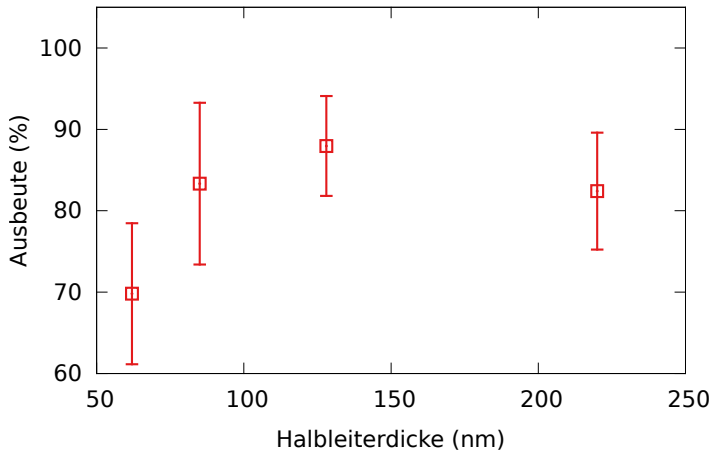
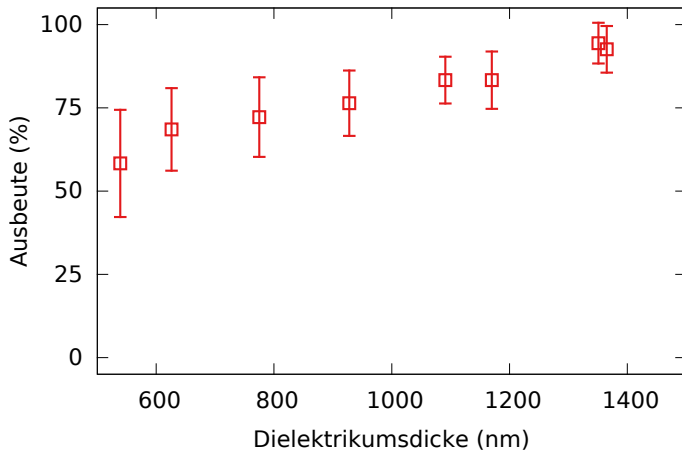


Bild 7.10.: Einfluss der Schichtdicke des Halbleiters auf die Ausbeute der Transistoren. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von 928 nm .

1091 nm ca. 85% . Zum Vergleich ist die theoretische Ausbeute aufgetragen, nach Gleichung (7.3) ist diese das Quadrat der Funktionswahrscheinlichkeit des Einzeltransistors. Die theoretischen Werte weichen etwas von den Messwerten ab, es ist jedoch der gleiche Trend zu erkennen.

a)



b)

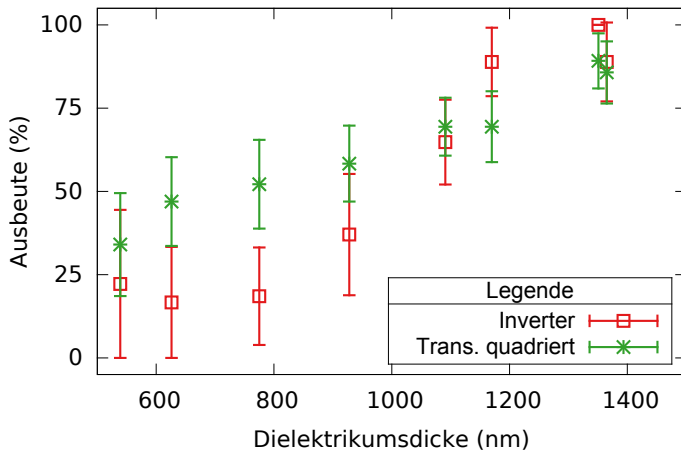


Bild 7.11.: Einfluss der Schichtdicke des Dielektrikums auf die Ausbeute von a) Transistoren und b) Inverterschaltungen. Der Halbleiter hat bei den untersuchten Transistoren eine Dicke von 128 nm . Zum Vergleich ist in b) das Quadrat der Ausbeute der Einzeltransistoren aufgetragen, welches die theoretische Schaltungsausbeute beschreibt.

7.6. Auswahl der optimalen Halbleiterdicke

Bereits in Abschnitt 7.3 wurde eine Halbleiterschichtdicke von 128nm als Basis für weitere Untersuchungen gewählt. Die Analyse der Transistorausbeute bestätigt diesen Wert.

Anhand der Ergebnisse wird angenommen, dass 62nm Schichtdicke zu gering sind um die 40nm hohen Elektroden auch an den Kanten sicher zu bedecken. Die Daten bei 85nm zeigen deutliche Verbesserungen von Ausbeute und U_{Th} . Bei 128nm gibt es eine weitere Verbesserung von Ausbeute und U_{Th} , bei den anderen Parametern liegt die Verbesserung innerhalb der Vertrauensbereiche. Eine weitere Erhöhung der Dicke auf 220nm bringt keine höhere Ausbeute sondern eine Verschlechterung der Bauteilparameter. Besonders I_G/I_D und R_C verschlechtern sich, auch μ wird geringfügig verringert. Deshalb wird 128nm als Schichtdicke für weitere Versuche gewählt.

7.7. Auswahl der optimalen Dielektrikumsdicke

Prinzipiell wird angestrebt das Dielektrikum möglichst dünn zu produzieren, da hierdurch die Feldstärke über dem Dielektrikum steigt, was direkt einen höheren On-Strom zur Folge hat. Durch die höhere resultierende Feldstärke sinkt auch die Schwellspannung, was insgesamt zu niedrigeren Betriebsspannungen führt. Dem gegenüber stehen mit dünner werdenden Schichten zunehmende Leckströme und höhere Fehlerwahrscheinlichkeiten. Bei gleichen Betriebsspannungen wird die Feldstärke über dem Dielektrikum erhöht, was zusätzlichen Stress, Defekte und Leckströme zur Folge haben kann.

Die Untersuchung der Parameter von Einzeltransistoren (Abschnitt 7.4) liefert für die Auswahl der optimalen Schichtdicke des Dielektrikums keine klaren Anhaltspunkte. Die Leckströme (Abb. 7.7b) werden zwar tendenziell mit dickeren Schichten besser, jedoch verschlechtern sich sowohl U_{Th} , μ

als auch R_C (Abb. 7.6, 7.7a und 7.8), was die allgemeine Leistungsfähigkeit der Transistoren deutlich reduziert. Das Verschlechtern der Parameter lässt sich durch die abnehmende Feldstärke erklären. Ein vergleichbares Verhalten ist aus der Literatur bekannt, wird hier jedoch als Abhängigkeit der Ladungsträgerbeweglichkeit von der Gatespannung beschrieben [89, 21]. Zwar kann diese Abhängigkeit am Einzeltransistor nicht direkt nachvollzogen werden (vgl. Kapitel 5.3), jedoch zeigen die Messwerte deutlich, dass Transistoren mit dickerem Dielektrikum schlechtere Parameter zeigen. Die Schwellspannung und der Kontaktwiderstand steigen mit der Dicke an. Die Auswertung der Ausbeute (Abb. 7.11a und b) zeigt jedoch ebenfalls sehr deutlich, dass Transistoren und Schaltungen mit zu dünnem Dielektrikum eine wesentlich geringere Ausbeute aufweisen. Trotz der schlechter werdenden Parameter zeigt Abb. 7.9, dass sich Signalpegel und Umschaltverhalten des Inverters mit dickeren Schichten nicht verschlechtern. Daher werden für weitere Untersuchungen mindestens 1300nm Dielektrikumschichtdicke verwendet.

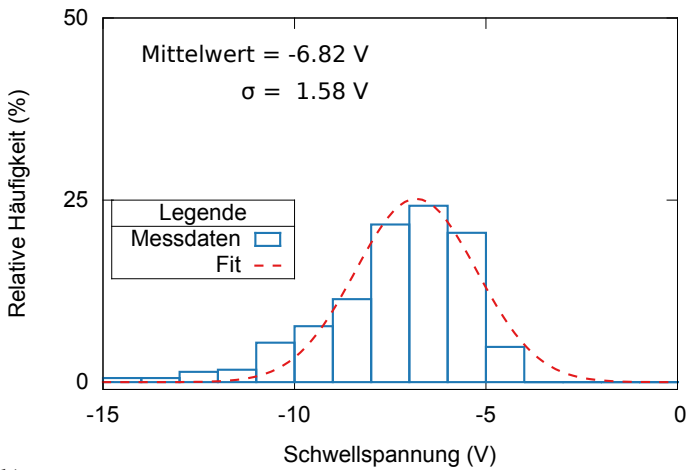
8. Prozessvariation

Zur Steigerung der Ausbeute bei der Schaltungsherstellung ist es notwendig die auftretenden Schwankungen der einzelnen Parameter zu ermitteln und zu simulieren. So können Schaltungen an die auftretenden Schwankungen angepasst und die Ausbeute optimiert werden. In Reihenmessungen werden die Schwankungen für die Schwellspannung und die Ladungsträgerbeweglichkeit untersucht und hieraus ein Modell entwickelt.

8.1. Prozessstatistik Transistor

Zur Analyse der Prozessstatistik wird ein Los aus 14 Substraten mit Layout Nr. 2 untersucht. Der Halbleiter hat eine Schichtdicke von ca. 60nm , das Dielektrikum ca. 928nm . Von den 378 vorhandenen Transistoren funktionieren 351, was einer Ausbeute von 92,9% entspricht. Die mittlere Schwellspannung beträgt $-6,82\text{V}$ und die mittlere Ladungsträgerbeweglichkeit $3,28 \cdot 10^{-2} \text{cm}^2\text{V}^{-1}\text{s}^{-1}$. Histogramme von μ und U_{Th} sind in Abb. 8.1 dargestellt. Zu den Messwerten sind angefittete Normalverteilungen dargestellt. Diese zeigen, dass die Werte näherungsweise normalverteilt sind. Daher werden sowohl μ als auch U_{Th} für die Simulationen als normalverteilt angenommen.

a)



b)

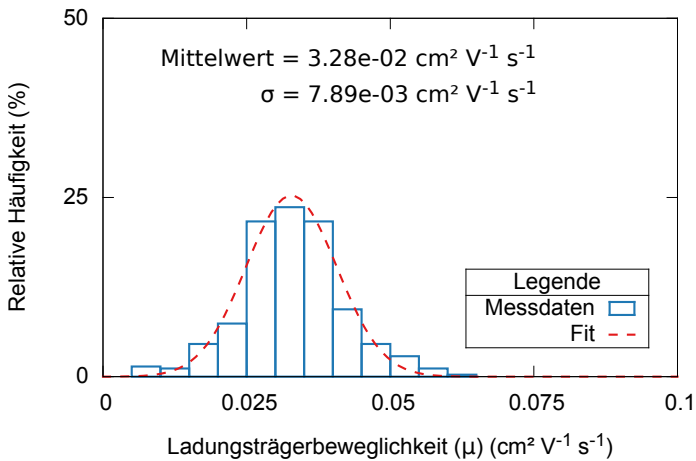


Bild 8.1.: Verteilungen von Schwellspannung und Ladungsträgerbeweglichkeit an 351 untersuchten Transistoren. Zum Vergleich sind Normalverteilungen mit den angegebenen Mittelwerten und Standardabweichungen dargestellt. Die Histogramme zeigen gute Übereinstimmung mit den dargestellten Normalverteilungen.

8.2. Prozessstatistik Inverter

Neben den Einzeltransistoren wird die Prozessstatistik für Inverterschaltungen untersucht. Die Inverter bestehen wie in Kapitel 3.2.3 beschrieben aus zwei Transistoren gleicher Länge, mit dem Weitenverhältnis 1:10. Der Lasttransistor ist als MOS-Diode geschaltet, die Versorgungsspannung beträgt -40V . Insgesamt werden 126 Inverter vermessen, von denen 56 als funktionierend eingestuft werden, was einer Ausbeute von 44,4% entspricht. In Abb. 8.2 sind die Messkurven der funktionierenden Inverter dargestellt.

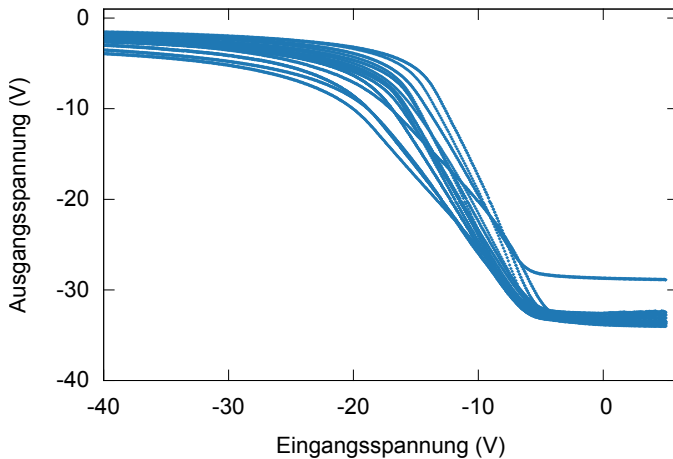


Bild 8.2.: Messkurven von 56 als funktionierend eingestuften Invertern. Alle Schaltungen haben nominell die gleichen technischen Daten.

8.3. Modellierung

Für die Simulation wird ein Modell implementiert, welches aus Mittelwert und Standardabweichung zufällige, normalverteilte Parameter generiert. In der Funktion *normal* wird aus den übergebenen Parametern *nom* (Nominalwert) und *tol* (Toleranz, hier Standardabweichung) ein zufälliger Wert errechnet. Hierbei wird die Funktion *gauss* verwendet, welche normalverteilte Zufallswerte erzeugt. Analog hierzu könnte die Funktion *flat* verwendet werden, welche gleichverteilte Zufallswerte generiert [90]. Die Anweisungen für LTspice sind im Anhang dargestellt.

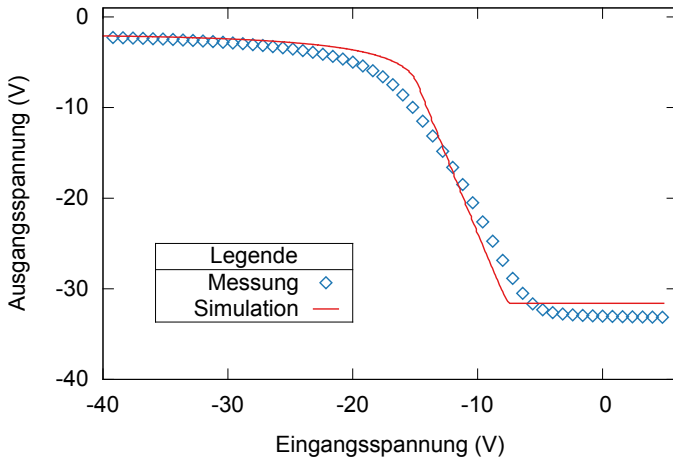


Bild 8.3.: Vergleich von gemittelten Messkurven und einer Simulation mit gemittelten Parametern.

8.4. Schaltungssimulation

Mit den erfassten Werten aus 8.1 wird der aufgebaute Inverterschaltkreis simuliert und mit dem Mittelwert aller in Abschnitt 8.2 untersuchten Inverter

verglichen. Abbildung 8.3 zeigt den Vergleich von gemittelter Messung und Simulation mit Mittelwerten für U_{Th} und μ . Die Abbildung zeigt, dass die Simulation die Messwerte prinzipiell gut beschreibt. Es sind jedoch, insbesondere bei der Steigung im Umschaltbereich, Abweichungen zu erkennen. Diese Abweichungen lassen sich durch das vereinfachte Modell erklären.

Mit dem Modell aus 8.3 und den gemessenen Werten aus 8.1 wird in LTspice eine Monte-Carlo Simulation durchgeführt. Die Parameter U_{Th} und μ werden hierbei als normalverteilt angenommen und 30 Simulationsläufe durchgeführt. Für die Simulationsparameter (R_C , K_{GD} , K_{GS}) werden die ermittelten Mittelwerte, ohne Berücksichtigung der Prozessvariation angenommen. Der Vergleich von Simulation und Messwerten in Abb. 8.4 zeigt eine gute Übereinstimmung der Werte. Die auftretenden Abweichungen sind vergleichbar mit denen aus Abb. 8.3.

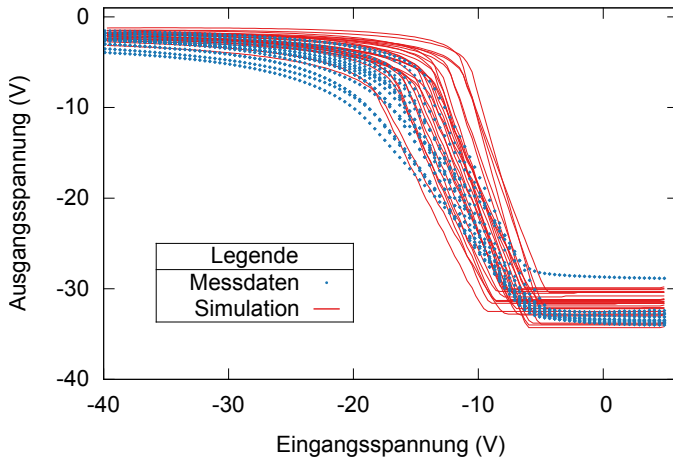


Bild 8.4.: Vergleich von den 56 Messkurven aus Abb. 8.2 und Monte-Carlo Simulation mit 30 Durchläufen.

8.5. Fazit Prozessvariation

Durch Simulationen mit zufällig variierten Parametern U_{Th} und μ ist es möglich die auftretenden Prozessschwankungen bereits im Entwurf der Schaltung zu berücksichtigen. Die Simulationen zeigen sehr gute Übereinstimmung mit den Messwerten realer Schaltungen, was die Qualität der Simulation bestätigt.

Trotz des vereinfachten Modells werden die Signalpegel und der Punkt des Umschaltens mit geringen Abweichungen simuliert. Die Steigung wird vom Modell etwas überschätzt, dennoch würden sich auch einfache analoge Schaltungen simulieren lassen. Digitale Schaltungen können zuverlässiger simuliert werden, da die Signalpegel und das Umschalten korrekt simuliert werden.

9. Temperatureffekte

In diesem Kapitel wird der Einfluss von Temperaturänderungen auf OTFTs untersucht. Aus den Messdaten wird ein Modell entwickelt, mit dem das Temperaturverhalten präzise simuliert werden kann. Hierbei wird gezeigt, dass die Temperaturabhängigkeit der Ladungsträgerbeweglichkeit zwischen 10°C und 100°C sehr gut als lineare Funktion angenähert werden kann. Die temperaturabhängige Simulation wird am Beispiel eines Ringoszillators bei Temperaturen zwischen 15°C und 75°C vorgestellt, wobei die simulierten Kurven die gemessenen sehr gut annähern.

9.1. Erläuterungen

Zur Simulation von Temperatureffekten werden Messreihen durchgeführt um den Einfluss von Temperaturänderungen zu untersuchen. Mit den gewonnenen Daten wird ein Modell entwickelt, das es erlaubt Schaltungen bei verschiedenen Temperaturen zu simulieren.

Die Messungen werden bei aufsteigender Temperatur durchgeführt, nach der letzten Messung wird erneut bei der Starttemperatur gemessen, um reine Temperatureffekte von längerfristigen oder irreversiblen Effekten zu unterscheiden. Messungen unterhalb von ca. 15°C sind aufgrund möglicher Kondenswasserbildung ohne besondere Atmosphäre (z. B. getrocknete Umgebungsluft oder Argon) nicht problemlos durchführbar. Nur in Ausnahmefällen, bei besonders kalter und trockener Außenluft, konnten Messungen bei Temperaturen bis hinab zu -10°C durchgeführt werden. Bei Temperaturen über 80°C kann es zur Degradation des Halbleiters und zu mechanischen Spannungen im Laminat aus Substrat, Klebstoff und Träger-

folie kommen, wodurch sich das Substrat verformt. Exemplarisch wurde bis zu 100 °C gemessen, wobei das Substrat sich jedoch trotz Fixierung dauerhaft mechanisch verformte. Aus diesen Gründen wird für die weiteren Untersuchungen der Temperaturbereich auf 15 °C bis 75 °C eingeschränkt, welcher einen Großteil der späteren Anwendungsfälle abdeckt.

Generell lassen sich Temperaturverläufe oftmals nach Gleichung (9.1) annähern [25]. In begrenzten Temperaturbereichen sind die Parameter höherer Ordnung meist sehr klein und können vernachlässigt werden. In diesen Fällen reicht eine lineare Annäherung mit einem Parameter $\alpha = \alpha_1$ aus. Die ermittelten Parameter für das jeweilige α werden mit dem Faktor 100 multipliziert und in $\%K^{-1}$ angegeben.

$$P_T = P_{nom}(1 + \alpha_1 \Delta T + \alpha_2 \Delta T^2 \dots + \alpha_n \Delta T^n) \quad \text{mit } \Delta T = T - T_{Ref} \quad (9.1)$$

9.2. Ladungsträgerbeweglichkeit

Für die Temperaturabhängigkeit kristalliner Halbleiter sind hauptsächlich zwei gegenläufige Effekte verantwortlich. Bei tiefen Temperaturen dominiert die Coulombstreuung, bei hohen Temperaturen die Phononenstreuung. Für die genaue Abhängigkeit spielen zusätzlich noch die Dotierungsdichte und die Feldstärke eine große Rolle. Üblicherweise kann für dotiertes Silizium bei Raumtemperatur ein negativer Temperaturkoeffizient in der Art $\mu \propto T^{\frac{2}{3}}$ angenommen werden [1]. Alle organischen Halbleiter verfügen über Traps¹, aus denen Ladungsträger thermisch angeregt werden können, was die Temperaturabhängigkeit dominieren kann. Die thermische Anregung von Ladungsträgern wird in der Form $\mu \propto e^{\frac{\Delta E}{kT}}$ beschrieben.

Abbildung 9.1 zeigt die Transkonduktanz für Temperaturen zwischen 10 °C und 100 °C, es ist zu erkennen, dass die Werte sich proportional zur Temperatur verhalten wobei die Kurvenform unabhängig von der Tempe-

¹Traps = Ladungsträgerfallen

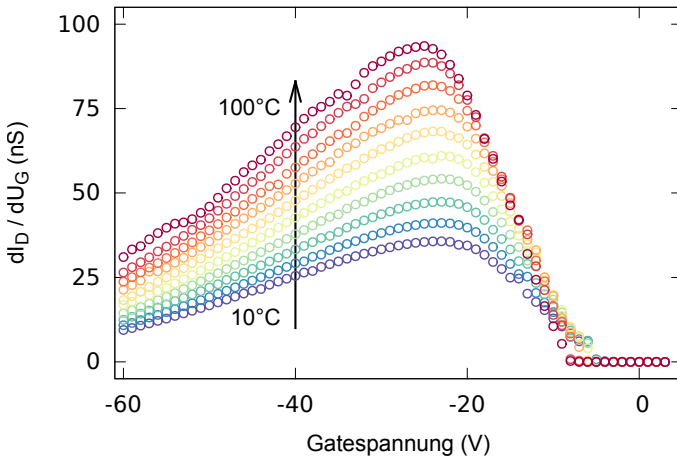


Bild 9.1.: Darstellung der Transkonduktanz in einem Temperaturbereich von 10 °C bis 100 °C. Es ist zu erkennen, dass die Temperatur keinen Einfluss auf die Kurvenform, sondern nur auf die Höhe der jeweiligen Werte hat.

ratur ist. Es gibt organische Halbleiter, deren Ladungsträgerbeweglichkeit von der äußeren Feldstärke abhängt, jedoch kann diese Abhängigkeit wiederum temperaturabhängig sein [91]. Abbildung 9.1 zeigt, dass die Temperaturabhängigkeit von μ über den untersuchten Temperaturbereich unabhängig von der Feldstärke ist. Daher ist die Extraktion der Ladungsträgerbeweglichkeit an einem festen Punkt auch für vergleichende Messungen bei verschiedenen Temperaturen verwendbar. Die Ladungsträgerbeweglichkeit wird im Weiteren jeweils wie in Kap. 4.4.1 beschrieben, aus den gemessenen Transferkennlinien extrahiert.

Zur Analyse des Temperaturverhaltens wird die Ladungsträgerbeweglichkeit in Abb. 9.2 logarithmisch über T^{-1} aufgetragen. Zum Vergleich mit dem erwarteten Verlauf bei thermisch aus Traps aktivierten Ladungsträgern, wird eine Funktion der Art $\mu = \mu_0 * e^{\frac{E_A}{kT}}$ angefitet. Es ist zu erkennen, dass der Fit die Messwerte sehr gut beschreibt. Aus dem Fit wird die

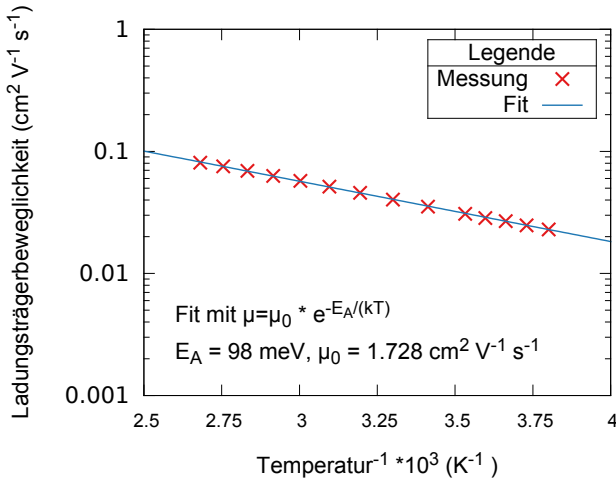


Bild 9.2.: Arrheniusgraph der Ladungsträgerbeweglichkeit in einem Temperaturbereich von -10°C bis 100°C . Zur Ermittlung der Aktivierungsenergie ist eine Exponentialfunktion angefitet. (k = Boltzmannkonstante)

Aktivierungsenergie E_A zu 98 meV bestimmt, dieser Wert ist vergleichbar mit Literaturangaben für ähnliche Materialien [92]. An amorphem Silizium ist eine Temperaturabhängigkeit zu sehen, die der hier gezeigten sehr ähnlich ist, daher wird angenommen, die gefundene Abhängigkeit ist plausibel [93].

Abbildung 9.3 zeigt die Messwerte aus in Abb. 9.2 in linearer Darstellung über einem Temperaturbereich zwischen -10°C und 100°C . In Abb. 9.2 werden die Werte durch eine Exponentialfunktion angenähert, Abb. 9.3 zeigt jedoch, dass die Werte auch durch eine einfache lineare Funktion beschrieben werden können. Der Grund hierfür liegt an der niedrigen Aktivierungsenergie von nur 98 meV .

Da die Messwerte annähernd linear verlaufen, wird Gleichung (9.1) zu Gleichung (9.2) vereinfacht. Nach Gleichung (9.3) wird zwischen 20°C und 60°C α zu $1,57\%K^{-1}$ bestimmt und als lineare Funktion über den ge-

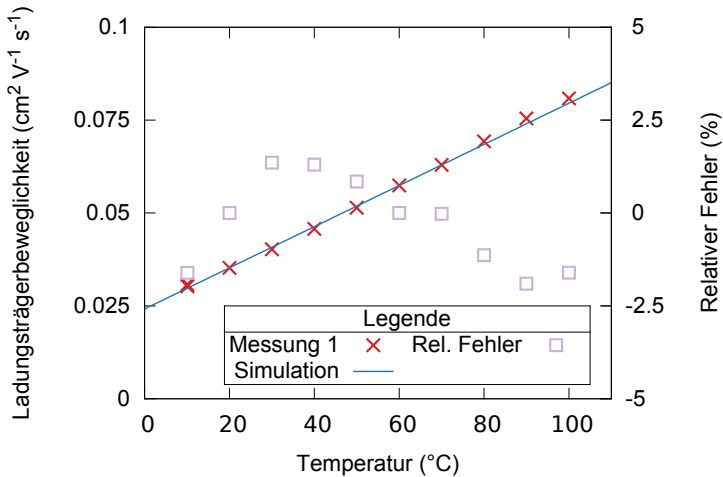


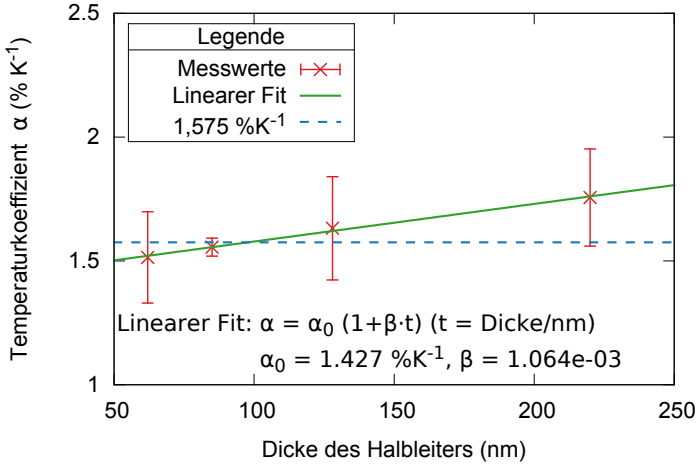
Bild 9.3.: Messungen und Simulation von μ in einem Temperaturbereich von 10 °C bis 100 °C.

samten Temperaturbereich aufgetragen. Es ist zu erkennen, dass der relative Fehler (violette Quadrate) zwischen 20 °C und 60 °C kleiner als 1,5% ist, zwischen 10 °C und 100 °C ist der Fehler kleiner als $\pm 2,5\%$. Hierdurch wird gezeigt, dass μ im untersuchten Temperaturbereich sehr gut als lineare Funktion angenähert werden kann. Erwähnenswert ist, dass die abschließende wiederholte Messung der Starttemperatur von 10 °C nur $-1,75\%$ vom ersten Wert abweicht – die gezeigten Effekte sind also eindeutig reversible Temperatureffekte.

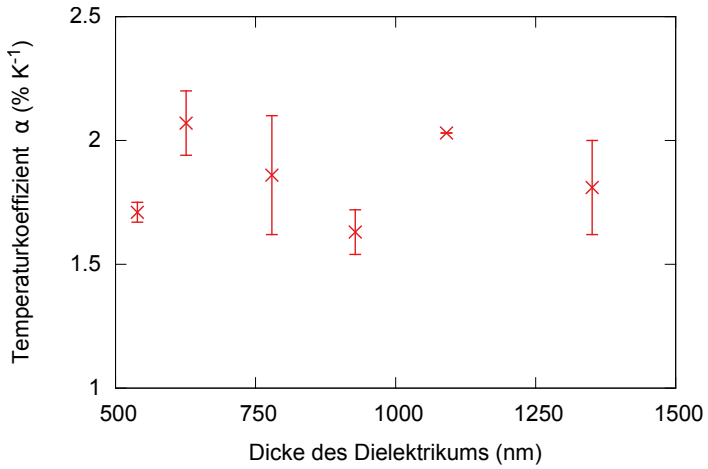
$$\mu_T = \mu_{Ref}(1 + \alpha(T - T_{Ref})) \quad (9.2)$$

$$\alpha = \frac{\mu_{60^\circ C} - \mu_{20^\circ C}}{\mu_{20^\circ C}(60^\circ C - 20^\circ C)} \quad (9.3)$$

Abbildung 9.4a zeigt gemittelte Temperaturkoeffizienten für verschiedene Halbleiter-Schichtdicken. Insgesamt werden 17 Transistoren untersucht, der Mittelwert der Temperaturkoeffizienten liegt bei $\alpha = 1,620\% \pm$



a)



b)

Bild 9.4.: Temperaturkoeffizienten der Ladungsträgerbeweglichkeit über der Schichtdicke: a) Halbleiter ($t_{Diel} = 928 \text{ nm}$) – Die gepunktete Linie zeigt einen linearen Fit, die gestrichelte Linie einen konstanten Wert welcher innerhalb aller Vertrauensbereiche liegt. b) Dielektrikum ($t_{HL} = 128 \text{ nm}$) – Hier ist keine klare Abhängigkeit von der Dicke zu erkennen.

$0,087\%K^{-1}$. Es scheint eine lineare Abhängigkeit (dargestellt durch die grüne Linie) von der Schichtdicke zu geben, jedoch liegen alle Werte eng beieinander und die Vertrauensbereiche überlappen sich, daher könnte der Wert auch konstant bei z. B. $\alpha = 1,575\%K^{-1}$ (dargestellt durch die blaue gestrichelte Linie) liegen. Abbildung 9.4b zeigt gemittelte Temperaturkoeffizienten für verschiedene Schichtdicken des Dielektrikums, hierbei werden die Daten von insgesamt 23 Transistoren verwendet. Es ist auch hier keine klare Abhängigkeit von der Schichtdicke zu erkennen, die Vertrauensbereiche überlappen zwar nicht, jedoch ist keine klare Tendenz zu erkennen. Der Mittelwert über alle Schichtdicken beträgt $\alpha = 1,777\% \pm 0,091\%K^{-1}$.

Da kein klarer Zusammenhang zwischen den Schichtdicken von Halbleiter bzw. Dielektrikum und dem Temperaturkoeffizienten nachgewiesen werden kann und auch nicht vermutet wird, wird für die Simulationen angenommen, dass α keine Abhängigkeit von den jeweiligen Schichtdicken hat.

9.3. Schwellspannung

Der Einfluss der Temperatur auf die Schwellspannung ist in Abb. 9.5 dargestellt, hierbei werden die gleichen Messdaten verwendet, wie in Abschnitt 9.2. Die extrahierten Schwellspannungen zeigen scheinbar eine starke Abhängigkeit von der Temperatur, die abschließende Kontrollmessung bei 10°C zeigt jedoch, dass die Änderungen zunächst nicht reversibel sind. Der zuerst gemessene Wert beträgt $-3,51\text{V}$, die abschließende Messung liefert $-7,85\text{V}$, was einer relativen Änderung von 124% entspricht. In Stresstests mit 250 wiederholten Transferkennlinien bei ca. 30°C (Abb. 9.6) zeigt sich ein vergleichbares Verhalten. Die Veränderung von U_{Th} ist daher kein reiner Temperatureffekt. Die Änderungen sind für verschieden dicke Dielektrika aufgetragen, es scheint jedoch keinen Zusammenhang zwischen Verschiebung von U_{Th} und der Schichtdicke zu geben. Erneute

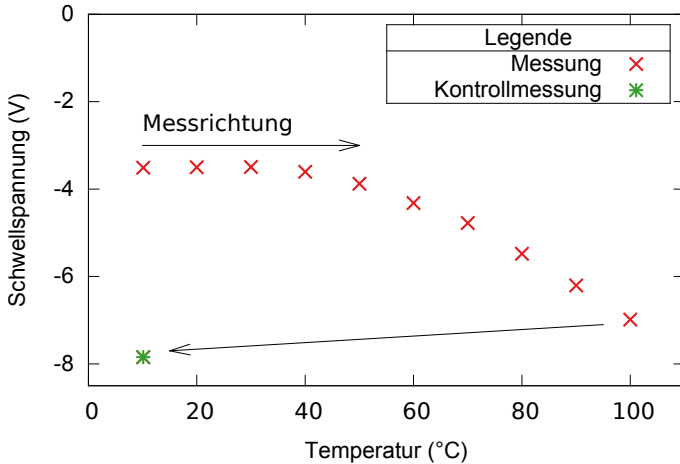


Bild 9.5.: Messungen von U_{Th} in einem Temperaturbereich von 10 °C bis 100 °C. Die wiederholte Messung bei der Starttemperatur von 10 °C zeigt, dass die Veränderung nicht reversibel ist.

Messungen nach Tagen bis Wochen zeigen, dass die Änderung der Schwellspannung zumindest teilweise reversibel ist. Bei wiederholten Messungen ist jedoch wieder ein ähnlicher Verlauf wie in Abb. 9.6) zu erkennen.

Es wird angenommen, dass der Bias-Stress Effekt die Verschiebung von U_{Th} verursacht [94, 95, 96]. Die Verschiebung von U_{Th} wird demnach durch Füllen von Traps² an der Grenzfläche von Halbleiter und Dielektrikum verursacht. Zu dieser Annahme passt, dass die Dicke des Dielektrikums scheinbar keinen Einfluss auf die Höhe der Verschiebung hat und das μ nicht beeinflusst wird. Letzteres wird in Abb. 9.3 gezeigt, da die Werte für U_{Th} und μ nach jeder Messung neu bestimmt werden. Der Kontrollwert für μ hat vom Startwert nur eine Abweichung von 1,75%, wogegen diese Differenz bei U_{Th} 124% beträgt.

²Traps = Ortsfeste Störstellen, welche den Ladungsträgertransport behindern

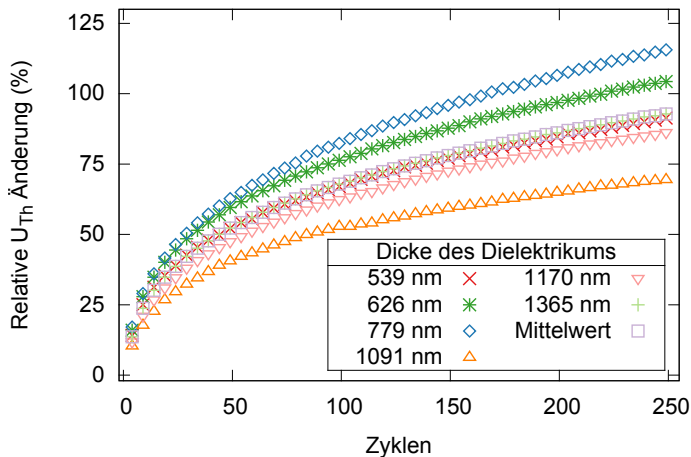


Bild 9.6.: Relativer Verlauf der Schwellspannung über 250 Transferkennlinienmessungen bei konstanter Temperatur von ca. 30 °C, die gesamte Messdauer beträgt ca. 8 Stunden.

Die Messwerte deuten darauf hin, dass höhere Temperaturen den Effekt verstärken, bereits nach zehn Messungen bei ansteigenden Temperaturen bis 75 °C, ist U_{Th} ca. 100 % größer als der Ausgangswert. Abbildung 9.6 zeigt, dass bei konstanter Temperatur von ca. 30 °C 100 % Veränderung nach frühestens 150 Zyklen erreicht werden. Mathijssen et al. zeigen, dass der Bias-Stress an OTFTs auf Siliziumsubstraten ebenfalls von der Temperatur abhängt [97].

Zwar ist der Einfluss eines kombinierten Effekts von Temperatur und wiederholten Messungen sehr deutlich, jedoch kann das Verhalten nicht mit einer einfachen Temperaturabhängigkeit beschrieben werden. Ein solches Verhalten in dem gezeigten Ausmaß ist für die Serienfertigung komplexerer Schaltungen problematisch, deshalb muss der Effekt wesentlich verringert oder beseitigt werden. Dass das möglich ist wird z. B. von Hausermann

et al. gezeigt [96]. Deshalb wird U_{Th} für die Modellierung zunächst als temperaturunabhängig angenommen.

9.4. Simulation eines Einzeltransistors

Zum Test der linearen Temperaturmodellierung von μ werden an einzelnen Transistoren Simulationen und Messungen verglichen. Hierzu werden Bauteile ausgewählt, deren U_{Th} möglichst konstant ist. Abbildung 9.7 zeigt den Vergleich von Messung und Simulation über den untersuchten Temperaturbereich, zwischen 10°C und 100°C funktioniert die lineare Annäherung des Temperaturverhaltens sehr gut. Kleinere Abweichungen der Kurvenform im linearen Bereich lassen sich zum Teil durch den Kontaktwiderstand erklären, dieser wird in der Simulation als konstant angenommen.

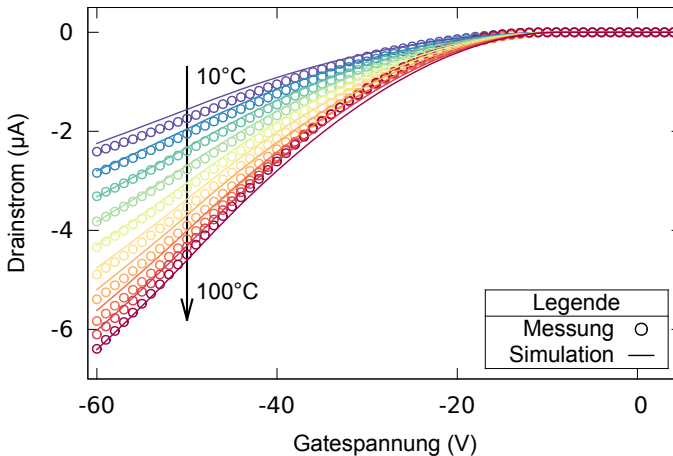


Bild 9.7.: Vergleich von Messung und Simulation der $U_D = -40\text{V}$ Transferkennlinie eines einzelnen Transistors über den Temperaturbereich von 10°C bis 100°C . ($W = 1000\mu\text{m}$, $L = 50\mu\text{m}$, $t_{Ox} = 626\text{nm}$, $U_{Th} = -8,69\text{V}$, $\mu = 3,92\text{cm}^2\text{V}^{-1}\text{s}^{-1}$, $\alpha = 2,18\%K^{-1}$, $R_C = 2\text{M}\Omega$)

9.5. Simulation eines Ringoszillators

Zum weiteren Test der temperaturabhängigen Simulation wird ein fünfstufiger Ringoszillator simuliert und die Simulation mit gemessenen Werten verglichen. Ein Ringoszillator ist eine in Reihe geschaltete Kette von Invertoren ungerade Anzahl. Durch Rückführung des Ausgangssignals auf den Eingang ergibt sich eine instabile Schaltung, welche meist durch thermische Anregung selbstständig schwingt.

Die Schaltung wird auf einem Substrat mit dem Layout Nr. 3 aufgebaut, die Dicke des Dielektrikums beträgt ca. 1410nm . Für den Aufbau des Ringoszillators wird ein Substrat mit dickem Dielektrikum ausgewählt

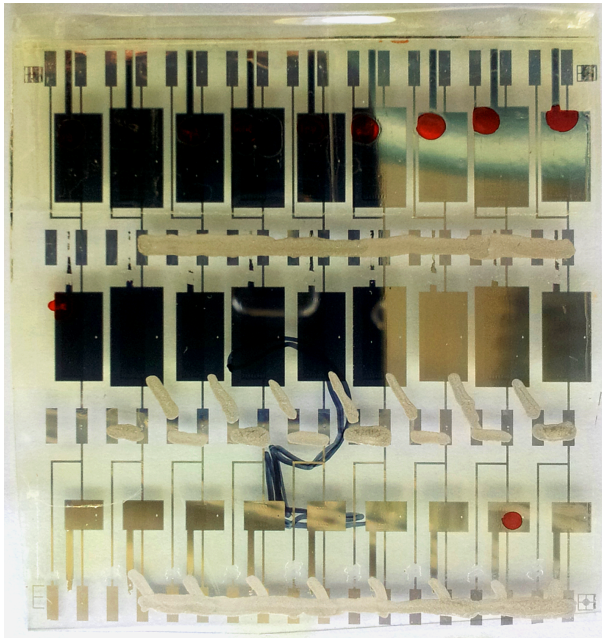


Bild 9.8.: Ringoszillator auf einem Referenzsubstrat mit Layout Nr. 3. Zwischen den Transistoren der mittleren und unteren Reihe sind Verbindungen hergestellt.

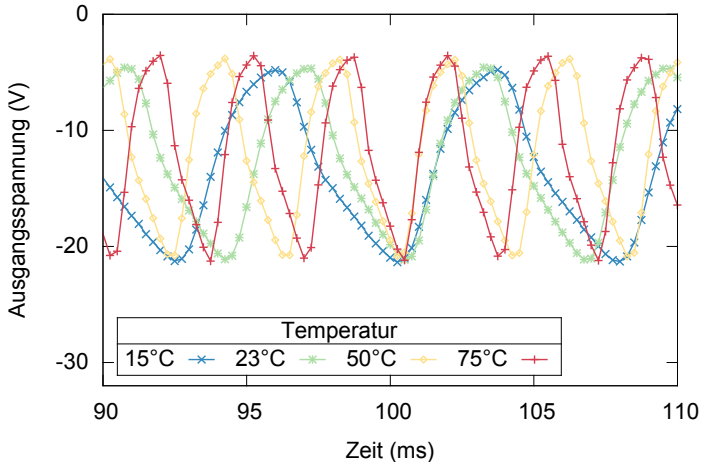


Bild 9.9.: Gemessene Ausgangsspannungen des Ringoszillators. Es ist zu erkennen, dass bei höheren Temperaturen die Frequenz zunimmt, während die Amplituden näherungsweise konstant bleiben.

um die auftretenden Gate-Leckströme gering zu halten. Bei früheren Versuchen mit dünnerem Dielektrikum konnte kein funktionierender Ringoszillator aufgebaut werden. Erst nach Optimierung der Schichtdicken (vgl. Kapitel 7) war der Aufbau der einer funktionierenden Schaltung möglich.

Halbleiter und Dielektrikum werden mit Toluol von den Kontaktflächen entfernt und die Verdrahtung händisch mit Silberleitlack hergestellt (siehe Abb. 9.8). Nach fünf Inverterstufen erfolgt die Rückführung auf die erste Stufe, diese Verbindung wird mittels Kontaktnadeln am Einzelmessplatz hergestellt. Zusätzlich wird ein sechster Inverter als Ausgangsverstärker angeschlossen, welcher die Schaltung zusätzlich belastet. Die ausgewerteten und gezeigten Signale sind alle an der Rückführung gemessen.

Die Messung des Ringoszillators wird bei 15 °C, 23 °C, 50 °C und 75 °C durchgeführt. Abbildung 9.9 zeigt Messwerte der aufgebauten Schaltung für alle untersuchten Temperaturen. Es ist zu erkennen, dass die Frequenz

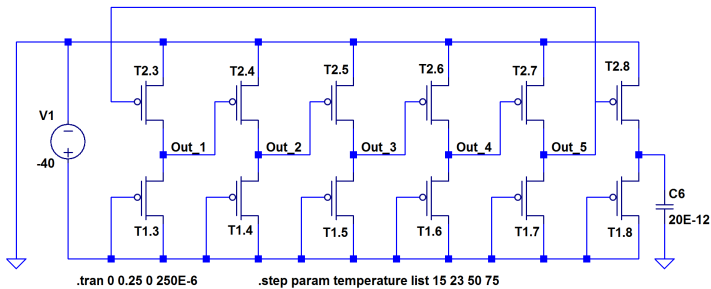


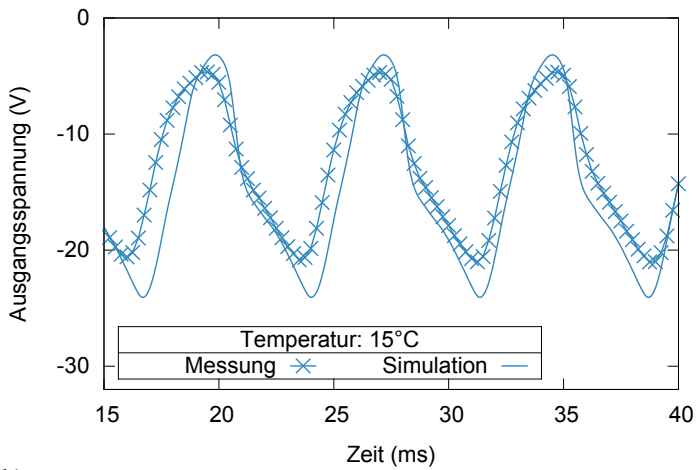
Bild 9.10.: SPICE Schaltplan zur temperaturabhängigen Simulation eines Ringoszillators mit fünf Stufen.

mit der Temperatur steigt, wogegen die Amplituden annähernd konstant sind.

Der Schaltplan für die Simulation ist in Abb. 9.10 dargestellt. Die Simulation wird mit dem vorgestellten Modell und Erweiterungen aus Kapitel 5.4 durchgeführt. Für μ wird ein Temperaturkoeffizient von $\alpha = 2,5\%K^{-1}$ ermittelt. Die Überlappkapazitäten werden zu $C_{Ovl_1} = 25\text{ pF}$ für Reihe 1 und $C_{Ovl_2} = 65\text{ pF}$ für Reihe 2 bestimmt. Die Simulationsparameter sind im Anhang in Tabelle A.3 zusammengefasst.

Die Abbildungen 9.11 und 9.12 zeigen die simulierten Kurven im Vergleich mit gemessenen Werten. Für eine bessere Übersicht sind die Diagramme getrennt gezeichnet und auf der Zeitachse unterschiedlich skaliert. Zudem werden Bereiche dargestellt, in denen die Signale phasengleich sind. Die Simulation nähert bei allen vier untersuchten Temperaturen die Messwerte gut an. Der Signalverlauf und dessen Abweichungen vom idealen Sinus werden sehr gut beschrieben, jedoch ist die simulierte Amplitude stets größer, als die gemessenen Werte. Zwischen 15°C und

a)



b)

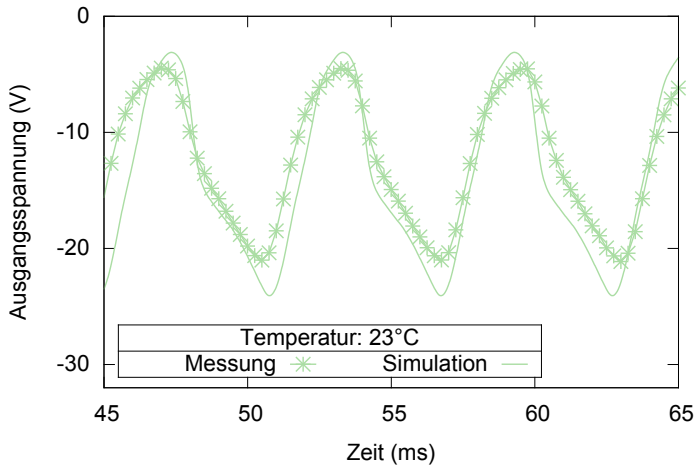
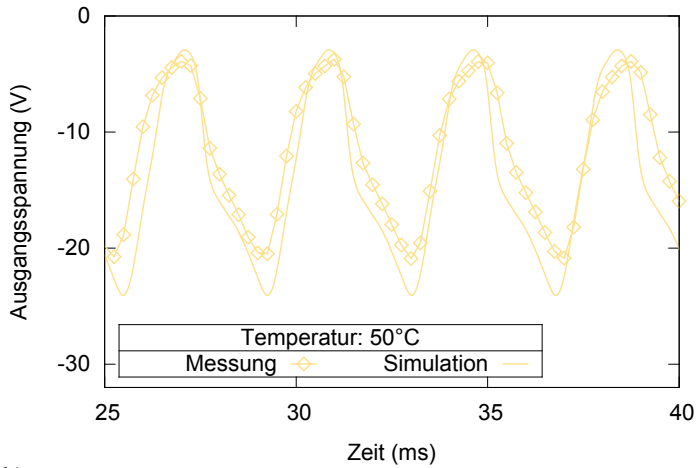


Bild 9.11.: Vergleich von Messung und Simulation des Ringoszillators.
a) 15°C. b) 23°C.

a)



b)

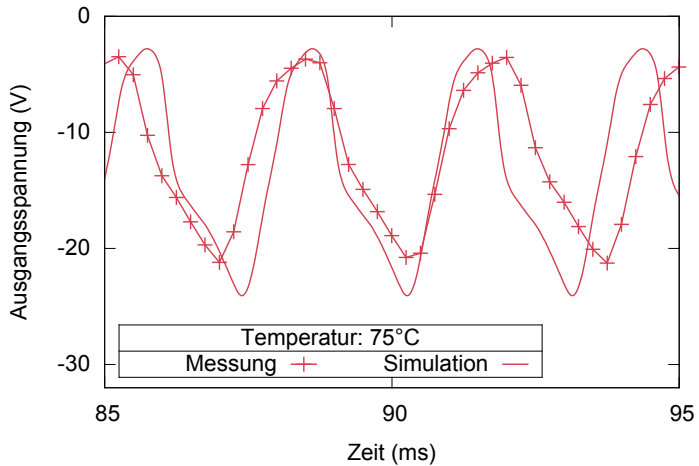


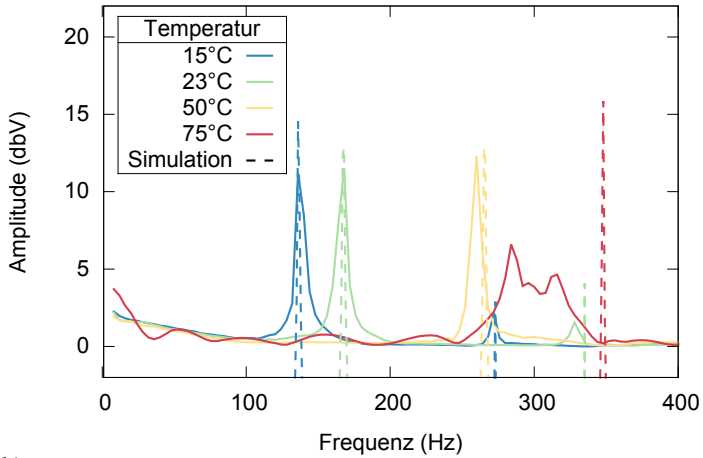
Bild 9.12.: Vergleich von Messung und Simulation des Ringoszillators.
a) 50°C. b) 75°C.

50 °C wird die Frequenz annähernd korrekt simuliert. Jedoch weicht das Simulationsergebnis bei 75 °C deutlich von den gemessenen Werten ab.

Zur Analyse der Simulationsqualität werden die Signalpegel und Frequenz von Simulation und Messung bei den untersuchten Temperaturen verglichen. Die Frequenz der Messdaten der jeweiligen Temperatur wird durch eine FFT³ ermittelt. Abbildung 9.13a zeigt die verschiedenen Spektren, es ist deutlich zu erkennen, dass die Frequenz mit der Temperatur ansteigt. Bis 50 °C ist die jeweilige Frequenz als klare Spitze zu erkennen, bei 75 °C verbreitert sich das Spektrum und es ist keine einzelne Spitze zu erkennen. Die Simulation ergibt zwischen 15 °C und 50 °C annähernd die gleichen Frequenzen, bei 75 °C liegt der simulierte Wert jedoch deutlich höher als der gemessene. Das verbreiterte Spektrum deutet hier darauf hin, dass die Schaltung nicht mehr ordentlich funktioniert. Dies erklärt auch die relativ niedrige Frequenz, wogegen die Simulation einen kontinuierlichen Anstieg beschreibt. Die gemessenen und simulierten Werte von Amplituden und Frequenzen sind im Anhang in Tabelle A.4 zusammengefasst. Abbildung 9.13b zeigt die Frequenz über der Temperatur. Die Messwerte zwischen 15 °C und 50 °C lassen sich durch eine Gerade sehr gut annähern. Es wird dadurch gezeigt, dass die lineare Annäherung des Temperaturverhaltens, mindestens im Bereich von 15 °C bis 50 °C sehr gut funktioniert.

³FFT = Fast Fourier Transformation

a)



b)

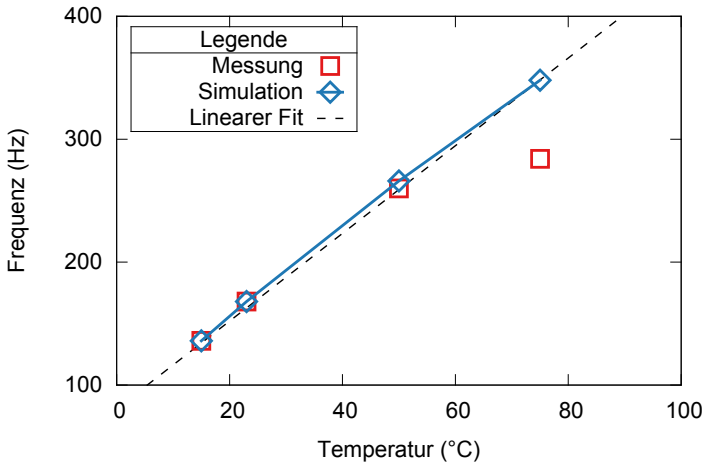


Bild 9.13.: Vergleich von gemessener und simulierter Frequenz bei verschiedenen Temperaturen. a) FFT von gemessenen und simulierten Frequenzen. b) Darstellung der Frequenz über der Temperatur. Die gestrichelte Linie zeigt eine Extrapolation der Geraden zwischen den Werten bei 15 °C und 50 °C. Sie zeigt deutlich, dass der Frequenzverlauf in diesem Bereich annähernd linear ist.

9.6. Fazit Temperatursimulation

Die Ladungsträgerbeweglichkeit kann über den untersuchten Temperaturbereich zwischen als lineare Funktion angenähert werden. Dem Verhalten der Schwellspannung kann nicht eindeutig ein Temperatureffekt zugeordnet werden, da sich in Messungen bei konstanter Temperatur ein vergleichbares Verhalten zeigt. Auch bei konstanter U_{Th} zeigt die Simulation des einzelnen Transistors eine sehr gute Übereinstimmung mit den gemessenen Werten. Die Simulation des Ringoszillators funktioniert über einen breiten Temperaturbereich sehr gut, wobei jedoch die Schaltung oberhalb von 50°C nicht mehr wie erwartet funktioniert. Die Verbreiterung des Spektrums und die Verringerung der Frequenz deuten darauf hin, dass die Schaltung nicht mehr fehlerfrei arbeitet. Es ist jedoch unklar welcher Effekt die Funktion der Schaltung so stark beeinträchtigt, da Einzeltransistoren bis zu 100°C charakterisiert und auch simuliert werden können (vgl. Abschnitt 9.4).

Der Signalverlauf kann mit dem verwendeten einfachen Modell sehr gut angenähert werden, wobei es jedoch ca. 25 % Fehler in der Höhe der Amplitude gibt. Es kann angenommen werden, dass eine Verbesserung des verwendeten OTFT Modells die Simulation weiter verbessern würde.

Es wird vermutet dass ein einzelnes Bauteil durch die hohen Temperaturen beschädigt wurde und die Schaltung daher nicht mehr zuverlässig funktioniert. Um dies zu überprüfen sollte eine größere Anzahl Ringoszillatoren hergestellt und untersucht werden.

10. Zusammenfassung

Die vorliegende Arbeit befasst sich mit der Herstellung, systematischen elektrischen Charakterisierung, Prozessoptimierung und Entwicklung von Modellen für die elektrische Simulation von flüssig prozessierten organischen Transistoren (OTFTs). Hierzu wurden Referenzstrukturen und ein Messstandard entwickelt, um in Reihenmessungen statistische Daten zu gewinnen. An zwei eigens aufgebauten Messplätzen wurden Reihen- und temperaturabhängige Messungen durchgeführt und mit eigens entwickelter Software ausgewertet. Die Referenzstrukturen wurden auf $50\mu\text{m}$ dicken PET Foliensubstraten gefertigt und anschließend per Spincoating mit Halbleiter und Dielektrikum beschichtet. Das Gate wurde durch eine Schattenmaske aufgedampft. Zur Optimierung der Referenztransistoren wurden die Schichtdicken von Halbleiter und Dielektrikum variiert, hierbei zeigte sich, dass die Ausbeute stark von der Schichtdicke des Dielektrikums abhängt. Durch Optimierung dieser Schicht lies sich die Ausbeute von Inverterschaltungen von ca. 25 % bei ca. 540nm bis nahezu 100 % bei Dicken über 1100nm steigern.

Durch die Analyse der gemessenen Gate-Leckströme wurde ein Modell entwickelt, welches es erlaubt diese Ströme präzise zu simulieren. Das Modell basiert auf der Annahme, dass im Dielektrikum leitfähige Defekte vorhanden sind, welche für eine direkte Verbindung zwischen dem Gate und dem Kanal sorgen. Die Modellierung erfolgt durch zwei OFETs, welche als MOS-Dioden geschaltet zwischen Gate und Drain bzw. Source liegen. Durch Messung des Gatestromes während der normalen Charakterisierung können die notwendigen Simulationsparameter bestimmt werden. Insbesondere bei kleinen U_{DS} wird die Simulation des OTFT wesentlich verbes-

sert. Hiermit ist es möglich den Einfluss dieser parasitären Ströme auch in komplexen Schaltungen zu simulieren und die Schaltungen anzupassen, so dass diese mit hoher Ausbeute produziert werden können.

Für die Analyse der Dickenabhängigkeit wurden mehrere Tausend Transistoren gemessen. Zur Analyse der Schwankungen der Bauteilparameter wurde ein kleineres Los gleich prozessierter Transistoren untersucht. Es wurde exemplarisch gezeigt, dass die Verteilung von Schwellspannung (U_{Th}) und Ladungsträgerbeweglichkeit (μ), innerhalb eines Loses von 378 Transistoren, als normalverteilt angesehen werden kann. Aus den Transistoren dieses Loses wurden 59 funktionierende Inverter charakterisiert und deren Kurven mit einer Monte-Carlo-Simulation mit 30 Durchläufen verglichen. Hierbei zeigt sich, dass die Monte-Carlo-Simulation die Schwankung der Messdaten sehr gut annähert. Hierdurch lassen sich die zu erwartenden Schwankungen der Parameter und die Auswirkungen auf Schaltungen simulieren. Dadurch kann die Ausbeute der und die Funktion von Schaltungen optimiert werden.

An einzelnen Transistoren wurde das Temperaturverhalten von Schwellspannung und Ladungsträgerbeweglichkeit untersucht. Es wurde gezeigt, dass die Ladungsträgerbeweglichkeit des verwendeten Halbleiters im Temperaturbereich zwischen 10°C und 100°C einen linearen Verlauf aufweist. Hieraus wurde ein Modell entwickelt, welches Simulationen bei variabler Temperatur erlaubt. Die Qualität wurde durch den Vergleich von Messwerten und Simulation am Einzeltransistor zwischen 10°C und 100°C gezeigt. Ebenfalls wurde ein Ringoszillator mit fünf Stufen über einen Temperaturbereich von 15°C bis 75°C charakterisiert und simuliert. Hierbei steigt die Frequenz linear mit der Temperatur an. Dieses Verhalten konnte zwischen 15°C und 50°C sehr gut simuliert werden, der Fehler lag bei unter 2,5%.

11. Ausblick

Eine Fortsetzung dieser Tätigkeiten könnte z. B. die Optimierung der Bauteile und des Herstellungsprozesses sein. Anschließend kann das Grundmodell weiter optimiert und die Simulation insgesamt verbessert werden. Somit könnten komplexere Schaltungen hergestellt werden. Hierbei könnte auch eine leistungsfähigere Architektur mit anderem Halbleiter und Dielektrikum untersucht werden. Um eine neue Technologie zu evaluieren, können die Teststrukturen aus Kapitel 3.2.2 und die Ergebnisse aus Kapitel 7 als Grundlage herangezogen werden. Zusammen mit den Werkzeugen zur Massencharakterisierung (Reihenmessplatz und Auswertesoftware) lassen sich Änderungen an den Herstellungsprozessen schnell auswerten.

Weiter untersucht werden sollte der Übergang zwischen Metall und organischem Halbleiter, insbesondere mit SAM. Die Ergebnisse der Schichtdickenauswertung des Halbleiters deuten darauf hin, dass U_{Th} erst ab einer gewissen Dicke konstant bleibt. Eine mögliche Interpretation ist, dass der Effekt der mit der unvollständigen Benetzung der Elektroden, insbesondere der Kanten erklärbar wäre. Das Temperaturverhalten von R_C könnte bei detaillierter Untersuchung ebenfalls Aufschluss über die wirksame Barrierehöhe liefern. Hierzu könnten die Ergebnisse der Temperaturuntersuchungen mit erweiterten Temperaturbereichen Rückschlüsse auf die physikalischen Vorgänge innerhalb der Bauteile geben.

A. Anhang

SPICE-Modell

```
*OTFT SPICE Modell
**V 1.1 S. Hengen, B.Vettermann 06.05.2014
** Ersatzschaltbild
** -----D
** |                |
** |                -
** ---            | | R_C_Drain
** ---C_GD        | |
** |                -
** |                |
** |                ----- Knoten 4
** | | | O        | |
** |RGD | | O IGD | |
** G-----|----| O I_DS | |R_Off
** |RGS | | O IGS O   | |
** | | | O        | |
** |                ----- Knoten 5
** |                |
** |                -
** |                | |
** ---            | | R_C_Source
** ---C_GS        -
```

```

**      |                |
**-----S
**Verwendete Parameter

**W, L = Kanalweite –Laenge /(m)
**mu = Ladungstr. Beweglichkeit @27°C/(m^2/Vs)
**vth = Schwellspannung /(V)
**Cox = Gatekapazitaet pro Flaeche /(F/m^2)
**rcontact = Kontaktwiderstand /(Ohm)
**lambda = Early Spannung^-1 /(V^-1)
**gamma = VRH Parameter
**Roff = Offwiderstand @lmm Weite /(Ohm)
**KGD / KGS = Parameter fuer Gate–Leckstroeme
**ST_Slope = Parameter für Sub–Threshold Slope
**ID_0 = Drainstrom bei V_GS = V_Th
**temp_koeff = Temperatur Koeffizient von mu
**ags, agd = Ueberlapp von G–D bzw. G–S /(m^2)

***** Technologieparameter: *****
**HL: PIF8–TAA 125nm, Diel: lisiconD320 1410nm
**Substrat Nr.3 W 10mm / 100mm, L = 10um / 25um
**Covl: @W = 10mm ~22.5pF, @W=100mm ~95.3pF
**Rcontact: 400E3 @W = 10mm (40E3 @W = 100mm)
**Bsp. KGD: 0.13 @W = 10, 1.98 @W=100
**Bsp. KGS: 0.03 @W = 10, 0.53 @W=100

.param mu = 3.46E–6
.param vth = –8.5
.param tox = 1E–6
.param Cox = 8.854E–12 * 2.3 / (tox)
.param rcontact = 1

```

```

.param lambda = 0.0011
.param gamma = 0.0
.param Covl = 1E-13
.param Roff = 40E10
.param Kgs = 1E-6
.param Kgd = 1E-6
.param ST_slope = 15
.param Id_0 = -11.707E-9
.param temp_koeff = 0.0238
.param vt = 0.002109
**boltz
*.param K = 1.38e-23
**echarge
*.param q = 1.602e-19
*.param T = 300
.param ags = 0
.param agd = 0

.subckt PTFT D G S

***** Monte Carlo Simulation
** Streuparameter
.param mu_tol = 2.16E-7
.param vth_tol = 0.50

** Normalverteilt **
.func normal(nom,tol)
{ if (run==1,nom,nom*(1+gauss(tol))) }

** Gleichverteilt **
.func gleich(nom,tol)

```

```

{ if (run==1,nom,nom*(1+flat(tol)))}

** worst case **
.func wc(nom, tol) {if(run==1,nom,
if(flat(0.5)>0,nom*(1+tol), nom*(1-tol))}

*Fuer MC Simulation einkomentieren
*Simulationsart setzen: normal/gleich/wc
*.param mu_mc = {wc(mu, mu_tol)}
*.param vth_mc = {wc(vth, vth_tol)}
** ohne MC
.param mu_mc = mu
.param vth_mc = vth

** Temperaturabhaengigkeit von mu
.param mu_temp= {mu_mc*(1+((temp-27)*temp_koeff))}

** Werte auf den positiven Bereich begrenzen
.func x1_2(vgs, vds) {0.5*(-vgs + vth_mc)+
0.5*abs(-vgs + vth_mc)}
.func x2_2(vgs, vds) {0.5*(-vgs + vth_mc+vds)+
0.5*abs(-vgs + vth_mc + vds)}

** Betriebsbereich *
**Mit Strom im ST-Bereich
*.func Id_total(vgs, vds) {Id_acc1(vgs, vds)+
Id_subt(vgs)+Id_off(vgs, vds)}
*Nur mit I_Off, ohne Berechnung im ST-Bereich
.func Id_total(vgs, vds) {Id_acc1(vgs, vds)+
Id_off(vgs, vds)}

```

```

** Akkumulationbetrieb *
.func Id_acc1(vgs, vds) {-(mu_temp*(w/l)*
Cox/(2+gamma)*((x1_2(vgs, vds)**(2+gamma))-
(x2_2(vgs, vds)**(2+gamma))))*(1+lambda*abs(vds))}

** Subthreshold
.func Id_subt(vgs) {if (vgs>vth_mc, (Id_0*0.1)*
(ST_slope*0.001)/(vth_mc-vgs), Id_0)}

**Berechnung fuer den Strom im ST-Bereich
*.func Id_subt(vgs, vds) {Id_off(vgs, vds)*
(1+lambda*abs(vds))}

**Off-Strom mit Widerstand annaehern
.func Id_off(vgs, vds) {((vds/Roff)*(W/0.001))}

** Leckstrom Simulation *
.func Igd_cal(vgd)
{-(mu_temp*(kgd)*Cox/(2+gamma)*((x1_2(vgd, vgd)
** (2+gamma))-(x2_2(vgd, vgd)**(2+gamma))))}

.func Igs_cal(vgs)
{-(mu_temp*(kgs)*Cox/(2+gamma)*((x1_2(vgs, vgs)
** (2+gamma))-(x2_2(vgs, vgs)**(2+gamma))))}

** Kanalstrom aus Einzelstroemen zusammensetzen
.func Ids_cal(vgs, vds) {Id_total(vgs, vds)}

** Kanalstrom *
BIDS 4 5 I=Ids_cal( V(G)- V(5), V(4)- V(5))

```

```
** Gate-Drain-Leckstrom **
BIGD G 4 I=Igd_cal( V(G)- V(D))
** Gate-Source-Leckstrom **
BIGS G 5 I=Igs_cal( V(G)- V(S))

RGD G 4 1E12
RGS G 5 1E12

** R1 und R2 = Kontaktwiderstaende
R1 D 4 {1}
R2 S 5 {rcontact}
R3 4 5 {5*Roff}

** CGS und CGS = ueberlappkapazitaet
CGS G S {Cov1}
CGD G D {Cov1}

.ends PTFT
```

Listing A.1: SPICE-Modell für OTFTs

```
.func normal(nom,tol) {nom * (1 + gauss(tol/nom))}
.param mume = normal(mu, mutol)
.param vthmc = normal(vth, vthtol)
```

Listing A.2: SPICE Anweisungen für normalverteilte Parameter U_{Th} und μ

Simulationsparameter

Parameter	Wert	Einheit
W	10	mm
L	50	μm
C_{Ox}	37,78	$\mu F m^{-2}$
U_{Th}	-4,62	V
$\mu_{23^\circ C}$	0,0365	$cm^2 V^{-1} s^{-1}$
V_{Early}	333	V

Tabelle A.1.: Verwendete Parameter zur idealen Simulation von OTFTs (vgl. Abschnitt 4.3).

Parameter	Wert	Einheit
W	10	mm
L	50	μm
C_{Ox}	37,78	$\mu F m^{-2}$
U_{Th}	-4,62	V
$\mu_{23^\circ C}$	0,0398	$cm^2 V^{-1} s^{-1}$
V_{Early}	333	V
R_C	1,39	$M\Omega mm$
K_{GS}	0,90	-
K_{GD}	9,30	-
R_{Off}	14,15	$G\Omega$
$C_{Ovl,GD}$	9,45	pF
$C_{Ovl,GS}$	15,1	pF

Tabelle A.2.: Verwendete Parameter zur Simulation von OTFTs mit parasitären Elementen (vgl. Abschnitt 5.4).

Parameter	Wert	Einheit
C_{Ox}	14,44	$\mu F m^{-2}$
$U_{Th,23^{\circ}C}$	-9,73	V
$\mu_{23^{\circ}C}$	0,0295	$cm^2 V^{-1} s^{-1}$
V_{Early}	833,3	V
α	2,5	$\% K^{-1}$
R_C	0,2	$M\Omega mm$
$K_{GS,1}$	0,05	-
$K_{GD,1}$	0,09	-
$K_{GS,2}$	0,05	-
$K_{GD,2}$	0,98	-
$C_{Ovl,1}$	25	pF
$C_{Ovl,2}$	65	pF

Tabelle A.3.: Verwendete Parameter zur temperaturabhängigen Simulation des Ringoszillators (vgl. Abschnitt 9.5).

Temp.	$U_{SS,Mes.}$	$F_{Mes.}$	$U_{SS,Sim.}$	$F_{Sim.}$	$Fehler_U$	$Fehler_F$
15 °C	16,8V	136Hz	20,9V	136Hz	24,7%	0%
23 °C	16,9V	168Hz	21,0V	168Hz	23,8%	0%
50 °C	17,4V	260Hz	21,1V	266Hz	21,6%	2,3%
75 °C	17,9V	284Hz	21,3V	348Hz	19,1%	22,5%

Tabelle A.4.: Vergleich von Simulation und Messung des Ringoszillators. Verglichen werden die Amplituden, die Frequenz und der jeweilige Fehler der Simulation.

B. Formelzeichen und Abkürzungsverzeichnis

e	Elementarladung	$1,602 \cdot 10^{-19} \text{As}$
ϵ_0	Permittivität des Vakuums	$8,854 \cdot 10^{-12} \text{AsV}^{-1} \text{m}^{-1}$
k	Boltzmannkonstante	$8,617 \cdot 10^{-5} \text{eVK}^{-1}$
α	Temperaturkoeffizient	$\% \text{K}^{-1}$
C_{Ovl}	Überlapp-Kapazität	pF
C_{Ox}	Gatekapazitäts-Flächenbelag	μFm^{-2}
E_A	Aktivierungsenergie	eV
γ	VRH-Parameter	/
$K_{GS/GD}$	Leckstrom-Parameter	/
L	Kanallänge	m
λ	V_{Early}^{-1}	V^{-1}
R_C	Kontaktwiderstand	$\text{M}\Omega \text{mm}$
T	Absolute Temperatur	K
t_{Ox}	Dicke des Dielektrikums	m
μ	Ladungsträgerbeweglichkeit	$\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$
U_{Th}	Schwellspannung	V
U_{DS}	Drain-Source Spannung	V
U_{GS}	Gate-Source Spannung	V
V_{Early}	Early-Spannung	V
W	Kanalweite	mm

B. Formelzeichen und Abkürzungsverzeichnis

Amorph	Ungeordnet, ohne Struktur
ESR	Extrapolation im Sättigungsbereich
FET	Feldeffekttransistor
FFT	Schnelle Fourier Transformation
HOMO	Höchstes besetztes Molekülorbital
IEEE	Institute of Electrical and Electronics Engineers
LCD	Flüssigkristallanzeige
LUMO	Niedrigstes unbesetztes Molekülorbital
MOS	Metall Oxide Semiconductor
OFET	Organischer Feldeffekttransistor
OLED	Organische Leuchtdiode
OPV	Organische Photovoltaik
OTFT	Organischer Dünnschicht Transistor
PET	Polyethylenterephthalat, Substratmaterial
Phononen	Akustische Gitterschwingungen (Quasiteilchen)
Polykristallin	Getrennte Gebiete unterschiedlicher Ordnung
PTAA	Poly(triarylamine), Halbleiter
SAM	Selbst Organisierende Monolage
SPICE	Simulationsprogramm für integrierte Schaltkreise
TFT	Thin Film Transistor - Dünnschichttransistor
TLM	Transfer Line Methode
Traps	Ladungsträgerfallen - Ortsfeste Störstellen
TRIAX	Verbindungstechnik mit zwei Abschirmungen
VRH	Variable Range Hopping

Literaturverzeichnis

- [1] SZE, S. M.; KWOK, K. N.: *Physics of Semiconductor Devices*. 3. Auflage. Wiley-Interscience, 2007
- [2] BRAUN, F.: Ueber die Stromleitung durch Schwefelmetalle. In: *Annalen der Physik und Chemie* 6 (1874), Nr. 3, S. 556–563
- [3] LILIENTHAL, J. E.: *Method and apparatus for controlling electric currents*. US Patent 1,745,175, 1930
- [4] PICKARD, GW: *Means for receiving intelligence communicated by electric waves*. US Patent 836,531, 1906
- [5] SHIRAKAWA, Hideki ; LOUIS, Edwin J. ; MACDIARMID, Alan G. ; CHIANG, Chwan K. ; HEEGER, Alan J.: Synthesis of electrically conducting organic polymers: halogen derivatives of polyacetylene, (CH)_x. In: *Journal of the Chemical Society, Chemical Communications* (1977), Nr. 16, S. 578–580. – DOI 10.1039/c39770000578
- [6] TSUMURA, A. ; KOEZUKA, H. ; ANDO, T.: Macromolecular electronic device: Field-effect transistor with a polythiophene thin film. In: *Applied Physics Letters* 49 (1986), November, Nr. 18, S. 1210–1212. – DOI 10.1063/1.97417
- [7] NOBELPRIZE.ORG: *Press Release: The 2000 Nobel Prize in Chemistry*. http://www.nobelprize.org/nobel_prizes/chemistry/laureates/2000/press.html. Version: 2000

- [8] HEEGER, Alan J.: Semiconducting and Metallic Polymers: The Fourth Generation of Polymeric Materials (Nobel Lecture). In: *Angewandte Chemie (International ed. in English)* 40 (2001), Juli, Nr. 14, S. 2591–2611
- [9] MACDIARMID, Alan G.: "Synthetic Metals": A Novel Role for Organic Polymers (Nobel Lecture). In: *Angewandte Chemie (International ed. in English)* 40 (2001), Juli, Nr. 14, S. 2581–2590
- [10] SHIRAKAWA, Hideki: The Discovery of Polyacetylene Film: The Dawning of an Era of Conducting Polymers (Nobel Lecture). In: *Angewandte Chemie (International ed. in English)* 40 (2001), Juli, Nr. 14, S. 2574–2580
- [11] XIE, Wei ; MCGARRY, KA ; LIU, Feilong ; WU, Yanfei: High Mobility Transistors Based on Single Crystals of Isotopically Substituted Rubrene-d₂₈. In: *The Journal of Physical Chemistry C* 117 (2013), S. 11522–11529. – DOI 10.1021/jp402250v
- [12] GARNIER, F ; HAJLAOUI, R ; YASSAR, A ; SRIVASTAVA, P: All-polymer field-effect transistor realized by printing techniques. In: *Science* 265 (1994), September, Nr. 15, S. 70–72. – DOI 10.1126/science.265.5179.1684
- [13] SIRRINGHAUS, H.: Device physics of solution-processed organic field-effect transistors. In: *Advanced Materials* 17 (2005), Oktober, Nr. 20, S. 2411–2425. – DOI 10.1002/adma.200501152
- [14] ZSCHIESCHANG, Ute ; YAMAMOTO, Tatsuya ; TAKIMIYA, Kazuo ; KUWABARA, Hirokazu ; IKEDA, Masaaki ; SEKITANI, Tsuyoshi ; SOMEYA, Takao ; KLAUK, Hagen: Organic electronics on banknotes. In: *Advanced Materials* 23 (2011), Februar, Nr. 5, S. 654–658. – DOI 10.1002/adma.201003374

- [15] SASABE, Hisahiro ; KIDO, Junji: Development of high performance OLEDs for general lighting. In: *Journal of Materials Chemistry C* 1 (2013), Nr. 9, S. 1699–1707. – DOI 10.1039/c2tc00584k
- [16] GELINCK, Gerwin H. ; HUITEMA, H Edzer a. ; VEENENDAAL, Erik van ; CANTATORE, Eugenio ; SCHRIJNEMAKERS, Laurens ; PUTTEN, Jan B P H. d. ; GEUNS, Tom C T. ; BEENHAKKERS, Monique ; GIESBERS, Jacobus B. ; HUISMAN, Bart-Hendrik ; MEIJER, Eduard J. ; BENITO, Estrella M. ; TOUWSLAGER, Fred J. ; MARSMAN, Albert W. ; RENS, Bas J E. ; LEEUW, Dago M.: Flexible active-matrix displays and shift registers based on solution-processed organic transistors. In: *Nature materials* 3 (2004), Februar, Nr. 2, S. 106–110. – DOI 10.1038/nmat1061
- [17] MYNY, Kris ; VEENENDAAL, Erik van ; GELINCK, Gerwin H. ; GENOE, Jan ; DEHAENE, Wim ; HEREMANS, Paul: An 8-Bit, 40-Instructions-Per-Second Organic Microprocessor on Plastic Foil. In: *IEEE Journal of Solid-State Circuits* 47 (2012), Januar, Nr. 1, S. 284–291. – DOI 10.1109/JSSC.2011.2170635
- [18] ANDERSSON ERSMAN, Peter ; NILSSON, David ; KAWAHARA, Jun ; GUSTAFSSON, Göran ; BERGGREN, Magnus: Fast-switching all-printed organic electrochemical transistors. In: *Organic Electronics* 14 (2013), Mai, Nr. 5, S. 1276–1280. – DOI 10.1016/j.orgel.2013.02.027
- [19] SØNDERGAARD, Roar R. ; HÖSEL, Markus ; KREBS, Frederik C.: Roll-to-Roll fabrication of large area functional organic materials. In: *Journal of Polymer Science Part B: Polymer Physics* 51 (2013), Januar, Nr. 1, S. 16–34. – DOI 10.1002/polb.23192
- [20] ARIAS, Ana C. ; MACKENZIE, J D. ; MCCULLOCH, Iain ; RIVNAY, Jonathan ; SALLEO, Alberto: Materials and applications for large

- area electronics: solution-based approaches. In: *Chemical reviews* 110 (2010), Januar, Nr. 1, S. 3–24. – DOI 10.1021/cr900150b
- [21] NECLIUDOV, P. V. ; SHUR, M. S. ; GUNDLACH, D. J. ; JACKSON, T. N.: Modeling of organic thin film transistors of different designs. In: *Journal of Applied Physics* 88 (2000), Dezember, Nr. 11, S. 6594–6597. – DOI 10.1063/1.1323534
- [22] MIJALKOVIC, S. ; GREEN, D. ; NEJIM, A. ; WHITING, G. ; RANKOV, A. ; SMITH, E. ; HALLS, J. ; MURPHY, C.: Modelling of organic field-effect transistors for technology and circuit design. In: *26th International Conference on Microelectronics* (2008), Mai, S. 469–476. – DOI 10.1109/ICMEL.2008.4559324
- [23] MARINOV, O. ; DEEN, M. J. ; DATARS, R.: Compact modeling of charge carrier mobility in organic thin-film transistors. In: *Journal of Applied Physics* 106 (2009), September, Nr. 6, S. 064501–01–064501–13. – DOI 10.1063/1.3212539
- [24] KIM, Chang-Hyun ; BONNASSIEUX, Yvan ; HOROWITZ, Gilles: Compact DC Modeling of Organic Field-Effect Transistors: Review and Perspectives. In: *IEEE Transactions on Electron Devices* 61 (2014), Februar, Nr. 2, S. 278–287. – DOI 10.1109/TED.2013.2281054
- [25] JAEGER, RC ; BLALOCK, TN: *Microelectronic circuit design*. 3. Auflage. Mc Graw Hill, 2011
- [26] SHICHMAN, H ; HODGES, DA A.: Modeling and simulation of insulated-gate field-effect transistor switching circuits. In: *IEEE Journal of Solid-State Circuits* 3 (1968), Nr. 3, S. 285–289. – DOI 10.1109/JSSC.1968.1049902
- [27] FEYNMAN ; LEIGHTON ; SANDS: *The Feynman Lectures on Physics Volume 3*. Narosa Publishing House PVT. LTD., 2008

-
- [28] FISCHER/HOFMAN/SPINDLER: *Werkstoffe in der Elektrotechnik*. 5. Auflage. Carl Hanser Verlag, 2003
- [29] TIPLER, Paul A.: *Physik*. 1. Auflage. Spektrum Akademischer Verlag, 2000
- [30] KLAUK, Hagen (Hrsg.): *Organic Electronics II*. Wiley-VCH Verlag GmbH & Co. KGaA, 2012
- [31] BÄSSLER, H.: Charge Transport in Disordered Organic Photoconductors a Monte Carlo Simulation Study. In: *physica status solidi (b)* 175 (1993), Januar, Nr. 1, S. 15–56. – DOI 10.1002/pssb.2221750102
- [32] ORTMANN, Frank ; BECHSTEDT, Friedhelm ; HANNEWALD, Kars-ten: Charge transport in organic crystals: Theory and modelling. In: *Physica Status Solidi (B)* 248 (2011), März, Nr. 3, S. 511–525. – DOI 10.1002/pssb.201046278
- [33] SIRRINGHAUS, Henning: 25th Anniversary Article: Organic Field-Effect Transistors: The Path Beyond Amorphous Silicon. In: *Advanced materials* 26 (2014), März, Nr. 9, S. 1319–1335. – DOI 10.1002/adma.201304346
- [34] FACCHETTI, Antonio: Semiconductors for organic transistors. In: *Materials Today* 10 (2007), März, Nr. 3, S. 28–37. – DOI 10.1016/S1369–7021(07)70017–2
- [35] BOER, R. W. I. ; GERSHENSON, M. E. ; MORPURGO, A. F. ; POD-ZOROV, V.: Organic single-crystal field-effect transistors. In: *physica status solidi (a)* 201 (2004), Mai, Nr. 6, S. 1302–1331. – DOI 10.1002/pssa.200404336
- [36] JOHN E. ANTHONY ; DENNIS E. VOGEL, SCOTT M. SCHNOBRICH, ROBERT S. CLOUGH, James C. N. ; REDINGER, David: Silylethylene-Substituted Pentacenes. In: *Material Matters* 4 (2009), Nr. 3, S. 58–63

- [37] WIGGLESWORT, Tony ; WU, Yiliang ; VONG, Cuong ; HEUFT, Matthew: High-Performance Semiconductor Polymers. In: *Material Matters* 9 (2014), Nr. 1, S. 33–36
- [38] OU-YANG, W. ; UEMURA, T. ; MIYAKE, K. ; ONISH, S. ; KATO, T. ; KATAYAMA, M. ; KANG, M. ; TAKIMIYA, K. ; IKEDA, M. ; KUWABARA, H. ; HAMADA, M. ; TAKEYA, J.: High-performance organic transistors with high-k dielectrics: A comparative study on solution-processed single crystals and vacuum-deposited polycrystalline films of 2,9-didecyl-dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene. In: *Applied Physics Letters* 101 (2012), November, Nr. 22, S. 223304. – DOI 10.1063/1.4769436
- [39] HOLLIDAY, Sarah ; DONAGHEY, J. E. J. ; MCCULLOCH, Iain: Advances in Charge Carrier Mobilities of Semiconducting Polymers Used in Organic Transistors. In: *Chemistry of Materials* 26 (2013), Januar, Nr. 1, S. 647–663. – DOI 10.1021/cm402421p
- [40] TAKEYA, J. ; YAMAGISHI, M. ; TOMINARI, Y. ; HIRAHARA, R. ; NAKAZAWA, Y. ; NISHIKAWA, T. ; KAWASE, T. ; SHIMODA, T. ; OGAWA, S.: Very high-mobility organic single-crystal transistors with in-crystal conduction channels. In: *Applied Physics Letters* 90 (2007), Nr. 10, S. 102120. – DOI 10.1063/1.2711393
- [41] WANG, Chung-Hwa ; HSIEH, Chao-Ying ; HWANG, Jenn-Chang: Flexible organic thin-film transistors with silk fibroin as the gate dielectric. In: *Advanced materials* 23 (2011), April, Nr. 14, S. 1630–1634. – DOI 10.1002/adma.201004071
- [42] PARK, Sung K. ; JACKSON, Thomas N. ; ANTHONY, John E. ; MOUREY, Devin A.: High mobility solution processed 6,13-bis(triisopropyl-silylethynyl) pentacene organic thin film transistors. In: *Applied Physics Letters* 91 (2007), August, Nr. 6, S. 063514. – DOI 10.1063/1.2768934

- [43] GIRI, Gaurav ; PARK, Steve ; VOSGUERITCHIAN, Michael ; SHULAKER, Max M. ; BAO, Zhenan: High-mobility, aligned crystalline domains of TIPS-pentacene with metastable polymorphs through lateral confinement of crystal growth. In: *Advanced materials* 26 (2014), Januar, Nr. 3, S. 487–93. – DOI 10.1002/adma.201302439
- [44] VERES, Janos ; OGIER, Simon D. ; LEEMING, Stephen W. ; CUPERTINO, Domenico C. ; KHAFFAF, Soad M.: Low-k insulators as the choice of dielectrics in organic field-effect transistors. In: *Advanced Functional Materials* 13 (2003), S. 199–204. – DOI 10.1002/adfm.200390030
- [45] BAO, Zhenan ; DODABALAPUR, Ananth ; LOVINGER, Andrew J.: Soluble and processable regioregular poly(3-hexylthiophene) for thin film field-effect transistor applications with high mobility. In: *Applied Physics Letters* 69 (1996), Nr. 26, S. 4108. – DOI 10.1063/1.117834
- [46] RUGE, Ingolf ; MADER, Hermann: *Halbleiter-Elektronik*. Bd. 4: *Halbleiter-Technologie*. 3. Auflage. Berlin, Heidelberg : Springer Berlin Heidelberg, 1991
- [47] STREET, R. a. ; SALLEO, A.: Contact effects in polymer transistors. In: *Applied Physics Letters* 81 (2002), Nr. 15, S. 2887–2889. – DOI 10.1063/1.1512950
- [48] KLAUK, Hagen ; SCHMID, Günter ; RADLIK, Wolfgang ; WEBER, Werner ; ZHOU, Lisong ; SHERAW, Chris D. ; NICHOLS, Jonathan a. ; JACKSON, Thomas N.: Contact resistance in organic thin film transistors. In: *Solid-State Electronics* 47 (2003), Februar, Nr. 2, S. 297–301. – DOI 10.1016/S0038–1101(02)00210–1
- [49] NECLIUDOV, Peter V. ; SHUR, Michael S. ; GUNDLACH, David J. ; JACKSON, Thomas N.: Contact resistance extraction in pentacene thin

- film transistors. In: *Solid-State Electronics* 47 (2003), Februar, Nr. 2, S. 259–262. – DOI 10.1016/S0038–1101(02)00204–6
- [50] BÜRGI, L ; RICHARDS, T. J. ; FRIEND, R. H. ; SIRRINGHAUS, H. ; BUERGI, L.: Close look at charge carrier injection in polymer field-effect transistors. In: *Journal of Applied Physics* 94 (2003), Nr. 9, S. 6129–6137. – DOI 10.1063/1.1613369
- [51] GUNDLACH, D. J. ; ZHOU, L. ; NICHOLS, J. a. ; JACKSON, T. N. ; NECLIUDOV, P. V. ; SHUR, M. S.: An experimental study of contact effects in organic thin film transistors. In: *Journal of Applied Physics* 100 (2006), Nr. 2, S. 024509. – DOI 10.1063/1.2215132
- [52] HAMADANI, B. H. ; NATELSON, D.: Nonlinear charge injection in organic field-effect transistors. In: *Journal of Applied Physics* 97 (2005), Nr. 6, S. 064508. – DOI 10.1063/1.1858874
- [53] BOER, B. de ; HADIPOUR, A. ; MANDOC, M. M. ; WOUDEBERGH, T. van ; BLOM, P. W. M.: Tuning of Metal Work Functions with Self-Assembled Monolayers. In: *Advanced Materials* 17 (2005), März, Nr. 5, S. 621–625. – DOI 10.1002/adma.200401216
- [54] OKAMURA, Koshi ; NIKOLOVA, Donna ; MECHAU, Norman ; HAHN, Horst: Appropriate choice of channel ratio in thin-film transistors for the exact determination of field-effect mobility. In: *Applied Physics Letters* 94 (2009), Nr. 18, S. 183503. – DOI 10.1063/1.3126956
- [55] ZHANG, Weimin ; SMITH, Jeremy ; HAMILTON, Rick ; HEENEY, Martin ; KIRKPATRICK, James ; SONG, Kigook ; WATKINS, Scott E. ; ANTHOPOULOS, Thomas ; MCCULLOCH, Iain: Systematic improvement in charge carrier mobility of air stable triarylamine copolymers. In: *Journal of the American Chemical Society* 131 (2009), August, Nr. 31, S. 10814–10815. – DOI 10.1021/ja9034818

- [56] HOROWITZ, Gilles ; HAJLAOUI, Riadh ; FICHOU, Denis ; EL KASSMI, Ahmed ; KASSMI, Ahmed E.: Gate voltage dependent mobility of oligothiophene field-effect transistors. In: *Journal of Applied Physics* 85 (1999), Nr. 6, S. 3202–3206. – DOI 10.1063/1.369661
- [57] DWEYDARI, A. W. ; MEE, C. H. B.: Work function measurements on (100) and (110) surfaces of silver. In: *Physica Status Solidi (a)* 27 (1975), Januar, Nr. 1, S. 223–230. – DOI 10.1002/pssa.2210270126
- [58] KUMATANI, Akichika ; LI, Yun ; DARMAWAN, Peter ; MINARI, Takeo ; TSUKAGOSHI, Kazuhito: On practical charge injection at the metal/organic semiconductor interface. In: *Scientific reports* 3 (2013), Januar, S. 1026. – DOI 10.1038/srep01026
- [59] KYMISSIS, Ioannis: *Organic Field Effect Transistors*. Springer, 2009
- [60] ALT, Milan ; SCHINKE, Janusz ; HILLEBRANDT, Sabina ; HÄNSEL, Marc ; HERNANDEZ-SOSA, Gerardo ; MECHAU, Norman ; GLASER, Tobias ; MANKEL, Eric ; HAMBURGER, Manuel ; DEING, Kaja ; JAEGERMANN, Wolfram ; PUCCI, Annemarie ; KOWALSKY, Wolfgang ; LEMMER, Uli ; LOVRINCIC, Robert: Processing Follows Function: Pushing the Formation of Self-Assembled Monolayers to High-Throughput Compatible Time Scales. In: *ACS applied materials & interfaces* (2014), Oktober. – DOI 10.1021/am5057689
- [61] IEEE COMPUTER SOCIETY: *IEEE Std 1620-2008, IEEE Standard for Test Methods for the Characterization of Organic Transistors and Materials*. 2008
- [62] ORTIZ-CONDE, A ; GARCÍA, F.J. ; LIU, J.J. ; CERDEIRA, A. ; ESTRADA, M. ; YUE, Y.: A review of recent MOS-FET threshold voltage extraction methods. In: *Microelectronics Reliability* 42 (2002), April, Nr. 4-5, S. 583–596. – DOI 10.1016/S0026-2714(02)00027-6

- [63] LINDHOLM, F.A. ; HAMILTON, D.J.: Incorporation of the early effect in the Ebers-Moll model. In: *Proceedings of the IEEE* 59 (1971), September, Nr. 9, S. 1377–1378. – DOI 10.1109/PROC.1971.8435
- [64] LUAN, Shengwen ; NEUDECK, Gerold W.: An experimental study of the source/drain parasitic resistance effects in amorphous silicon thin film transistors. In: *Journal of Applied Physics* 72 (1992), Nr. 2, S. 766–772. – DOI 10.1063/1.351809
- [65] HOEFER, E.E.E. ; NIELINGER, H.: *SPICE*. Springer, 1985
- [66] LIN, Yow-Jon ; LIN, Yu-Cheng: Electrical conduction mechanisms in the transfer characteristics of pentacene thin film transistors. In: *Applied Physics Letters* 105 (2014), Juli, Nr. 2, S. 023506. – DOI 10.1063/1.4890505
- [67] VISSENBERG, M. C. J. M.: Theory of the field-effect mobility in amorphous organic transistors. In: *Physical Review B* 57 (1998), Mai, Nr. 20, S. 12964–12967. – DOI 10.1103/PhysRevB.57.12964
- [68] KLAUK, Hagen (Hrsg.): *Organic Electronics: Materials, Manufacturing, and Applications*. Wiley-VCH Verlag GmbH & Co. KGaA, 2006
- [69] MARINOV, Ognian ; DEEN, M. J. ; ZSCHIESCHANG, Ute ; KLAUK, Hagen: Organic Thin-Film Transistors: Part I–Compact DC Modeling. In: *IEEE Transactions on Electron Devices* 56 (2009), Dezember, Nr. 12, S. 2952–2961. – DOI 10.1109/TED.2009.2033308
- [70] DEEN, M. J. ; MARINOV, Ognian ; ZSCHIESCHANG, Ute ; KLAUK, Hagen: Organic Thin-Film Transistors: Part II–Parameter Extraction. In: *IEEE Transactions on Electron Devices* 56 (2009), Dezember, Nr. 12, S. 2962–2968. – DOI 10.1109/TED.2009.2033309

- [71] NATALI, Dario ; FUMAGALLI, Luca ; SAMPIETRO, Marco: Modeling of organic thin film transistors: Effect of contact resistances. In: *Journal of Applied Physics* 101 (2007), Nr. 1, S. 014501. – DOI 10.1063/1.2402349
- [72] LARA BULLEJOS, P. ; JIMÉNEZ TEJADA, J. a. ; RODRÍGUEZ-BOLÍVAR, S. ; DEEN, M. J. ; MARINOV, O.: Model for the injection of charge through the contacts of organic transistors. In: *Journal of Applied Physics* 105 (2009), Nr. 8, S. 084516. – DOI 10.1063/1.3106611
- [73] HENGEN, Stefan ; ALT, Milan ; HERNANDEZ-SOSA, Gerardo ; GIEHL, Jürgen ; LEMMER, Uli ; MECHAU, Norman: Modelling and simulation of gate leakage currents of solution-processed OTFT. In: *Organic Electronics* 15 (2014), März, Nr. 3, S. 829–834. – DOI 10.1016/j.orgel.2013.12.022
- [74] CAO, K.M. ; LEE, W.-C. ; LIU, W. ; JIN, X. ; SU, P. ; FUNG, S.K.H. ; AN, J.X. ; YU, B. ; HU, C.: BSIM4 gate leakage model including source-drain partition. In: *International Electron Devices Meeting 2000. Technical Digest. IEDM (Cat. No.00CH37138)* (2000), S. 815–818. – DOI 10.1109/IEDM.2000.904442
- [75] CHENG, Yuhua ; JENG, Min-chie ; LIU, Zhihong ; HUANG, Jianhui ; CHAN, Mansun ; CHEN, Kai ; KO, Ping K. ; HU, Chenming: A physical and scalable I-V model in BSIM3v3 for analog/digital circuit simulation. In: *IEEE Transactions on Electron Devices* 44 (1997), Nr. 2, S. 277–287. – DOI 10.1109/16.557715
- [76] LEE, Wen-chin ; HU, Chenming: Modeling CMOS tunneling currents through ultrathin gate oxide due to conduction- and valence-band electron and hole tunneling. In: *IEEE Transactions on Electron Devices* 48 (2001), Juli, Nr. 7, S. 1366–1373. – DOI 10.1109/16.930653

- [77] MOHANTY, SP ; KOUGIANOS, Elias: Impact of Gate Leakage on Mixed Signal Design and Simulation of Nano-CMOS Circuits. In: *The 13th NASA Symposium on VLSI Design* (2007)
- [78] JIA, Huiping ; GOWRISANKER, Srinivas ; PANT, Gaurang K. ; WALLACE, Robert M. ; GNADE, Bruce E.: Effect of poly (3-hexylthiophene) film thickness on organic thin film transistor properties. In: *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films* 24 (2006), Juni, Nr. 4, S. 1228 – 1232. – DOI 10.1116/1.2202858
- [79] LIN, Yow-Jon: Leakage conduction mechanism of top-contact organic thin film transistors. In: *Synthetic Metals* 160 (2010), Dezember, Nr. 23-24, S. 2628–2630. – DOI 10.1016/j.synthmet.2010.10.015
- [80] ALLEN, PE ; HOLBERG, DR: *CMOS analog circuit design*. 2. Auflage. Oxford University Press, 2002
- [81] PAPULA, Lothar: *Mathematik für Ingenieure und Naturwissenschaftler Band 3*. 4. Auflage. Vieweg, 2001
- [82] RICHARDS, T. J. ; SIRRINGHAUS, H.: Analysis of the contact resistance in staggered, top-gate organic field-effect transistors. In: *Journal of Applied Physics* 102 (2007), Nr. 9, S. 094510. – DOI 10.1063/1.2804288
- [83] RESÉNDIZ, Luis ; ESTRADA, Magali ; CERDEIRA, Antonio ; CABREIRA, Víctor: Analysis of the Performance of an Inverter Circuit: Varying the Thickness of the Active Layer in Polymer Thin Film Transistors with Circuit Simulation. In: *Japanese Journal of Applied Physics* 51 (2012), April, S. 04DK04. – DOI 10.1143/JJAP.51.04DK04
- [84] MARIUCCI, L. ; SIMEONE, D. ; CIPOLLONI, S. ; MAIOLO, L. ; PECORA, A. ; FORTUNATO, G. ; BROTHERTON, S.: Effect of active layer

- thickness on electrical characteristics of pentacene TFTs with PMMA buffer layer. In: *Solid-State Electronics* 52 (2008), März, Nr. 3, S. 412–416. – DOI 10.1016/j.sse.2007.10.010
- [85] BOUDINET, D. ; BENWADIH, M. ; ALTAZIN, S. ; GWOZIECKI, R. ; VERILHAC, J.M. ; COPPARD, R. ; LE BLEVENNEC, G. ; CHARTIER, I. ; HOROWITZ, G.: Influence of the semi-conductor layer thickness on electrical performance of staggered n- and p-channel organic thin-film transistors. In: *Organic Electronics* 11 (2010), Februar, Nr. 2, S. 291–298. – DOI 10.1016/j.orgel.2009.11.008
- [86] VERILHAC, J. M. ; BENWADIH, M. ; ALTAZIN, S. ; JACOB, S. ; GWOZIECKI, R. ; COPPARD, R. ; SERBUTOVIEZ, C.: Effects of amorphous semiconductor thickness on top gate staggered organic field-effect transistors. In: *Applied Physics Letters* 94 (2009), Nr. 14, S. 143301. – DOI 10.1063/1.3111446
- [87] CHERIAN, Samir ; DONLEY, Carrie ; MATHINE, David ; LARUSSA, Lynn ; XIA, Wei ; ARMSTRONG, Neal: Effects of field dependent mobility and contact barriers on liquid crystalline phthalocyanine organic transistors. In: *Journal of Applied Physics* 96 (2004), November, Nr. 10, S. 5638–5643. – DOI 10.1063/1.1803945
- [88] KIM, Chang H. ; BONNASSIEUX, Yvan ; HOROWITZ, Gilles: Charge Distribution and Contact Resistance Model for Coplanar Organic Field-Effect Transistors. In: *IEEE Transactions on Electron Devices* 60 (2013), Januar, Nr. 1, S. 280–287. – DOI 10.1109/TED.2012.2226887
- [89] YUN, Youngjun ; PEARSON, Christopher ; PETTY, Michael C.: Pentacene thin film transistors with a poly(methyl methacrylate) gate dielectric: Optimization of device performance. In: *Journal of Applied Physics* 105 (2009), Februar, Nr. 3, S. 034508. – DOI 10.1063/1.3075616

- [90] BROCARD, Gilles: *Simulation in LTSPICE IV*. Swiridoff Verlag, 2013
- [91] MEIJER, E. J. E. ; MATTERS, M. ; HERWIG, P. T. ; LEEUW, D. M. ; Klapwijk, T. M.: The Meyer–Neldel rule in organic thin-film transistors. In: *Applied Physics Letters* 76 (2000), Juni, Nr. 23, S. 3433–3435. – DOI 10.1063/1.126669
- [92] NORIEGA, Rodrigo ; RIVNAY, Jonathan ; VANDEWAL, Koen ; KOCH, Felix P V. ; STINGELIN, Natalie ; SMITH, Paul ; TONEY, Michael F. ; SALLES, Alberto: A general relationship between disorder, aggregation and charge transport in conjugated polymers. In: *Nature materials* 12 (2013), November, Nr. 11, S. 1038–44. – DOI 10.1038/nmat3722
- [93] FJELDLY, T.A. ; INIGUEZ, B. ; SLADE, H.C. ; SHUR, M.: Self-heating and kink effects in a-Si:H thin film transistors. In: *IEEE Transactions on Electron Devices* 47 (2000), Nr. 2, S. 387–397. – DOI 10.1109/16.822285
- [94] ZSCHIESCHANG, Ute ; WEITZ, R. T. ; KERN, Klaus ; KLAUK, Hagen: Bias stress effect in low-voltage organic thin-film transistors. In: *Applied Physics A* 95 (2008), Dezember, Nr. 1, S. 139–145. – DOI 10.1007/s00339–008–5019–8
- [95] RYU, Kevin K. ; NAUSIEDA, Ivan ; HE, David D. ; AKINWANDE, Akintunde I. ; BULOVIC, Vladimir ; SODINI, Charles G.: Bias-Stress Effect in Pentacene Organic Thin-Film Transistors. In: *IEEE Transactions on Electron Devices* 57 (2010), Mai, Nr. 5, S. 1003–1008. – DOI 10.1109/TED.2010.2044282
- [96] HÄUSERMANN, R. ; BATLOGG, B.: Gate bias stress in pentacene field-effect-transistors: Charge trapping in the dielectric or semiconductor. In: *Applied Physics Letters* 99 (2011), August, Nr. 8, S. 083303. – DOI 10.1063/1.3628297

- [97] MATHIJSEN, S. G. J. ; CÖLLE, M. ; GOMES, H. ; SMITS, E. C. P. ; BOER, B. de ; MCCULLOCH, I. ; BOBBERT, P. a. ; LEEUW, D. M.: Dynamics of Threshold Voltage Shifts in Organic and Amorphous Silicon Field-Effect Transistors. In: *Advanced Materials* 19 (2007), Oktober, Nr. 19, S. 2785–2789. – DOI 10.1002/adma.200602798

Abbildungsverzeichnis

2.1	Schematische Darstellung der verschiedenen Transistortypen: a) Top-Contact, Top-Gate. b) Bottom-Contact, Top-Gate. c) Top-Contact, Bottom-Gate. d) Bottom-Contact, Bottom-Gate.	7
2.2	Ausbildung des leitfähigen Kanals in einem OTFT. a) Off-Bereich, kein Kanal gebildet. b) Linearer Bereich, der Kanal ist komplett gebildet. c) Sättigungsbereich, der Kanal ist ausgebildet, wird jedoch am drainseitigen Ende abgeschnürt, da $U_{GS} < U_{DS} - U_{Th}$	8
2.3	Darstellung von Valenzband und Leitungsband bei verschiedenen Materialien. a) Isolator, hier ist die Energiedifferenz größer als $3 eV$, b) Leiter, die Bänder liegen direkt aneinander oder überlappen sich. c) Halbleiter, die Bänder berühren sich nicht, der Abstand beträgt jedoch weniger als $3 eV$	12
2.4	Schematische Darstellung der Moleküle von a) Pentacen und b) TIPS-Pentacen. Bei TIPS-Pentacen werden zusätzliche Seitengruppen zur Erhöhung der Löslichkeit verwendet [36].	15
2.5	Schematische Darstellung der Moleküle von a) Poly(3-hexylthiophen-2,5-diyl) (P3HT) und b) Poly[bis(4-phenyl)(2,4,6-trimethylphenyl)amine] (PTAA). [37].	16

2.6	Bändermodell für den Metall-Halbleiter Übergang. a) Zeigt Metall und Halbleiter ohne leitfähige Verbindung, Φ_M bezeichnet die Austrittsarbeit des Metalls, Φ_{HL} die des Halbleiters. b) Zeigt Metall und Halbleiter im direkten Kontakt, die Fermieniveaus (E_F) haben sich angeglichen, Valenz- (E_V) und Leitungsband (E_L) werden am Kontakt verbogen. Die Barrierehöhe Φ_C ist die Differenz der Austrittsarbeiten von Metall und Halbleiter [46].	17
3.1	Prozessiertes Referenzsubstrat auf Trägerfolie.	20
3.2	Schematische Darstellung der Transistorstruktur. n = Anzahl der einzelnen Kanäle = 2x Anzahl der Drainfinger. . .	21
3.3	Drain- und Sourcestruktur für Transistoren mit einer Kanalweite von 1 mm. Die Kanallängen betragen von oben nach unten: 10, 25, 50 und 100 μm	22
3.4	Drain- und Sourcestruktur für Transistoren mit einer Kanallänge von 100 μm . Die Kanalweiten betragen von oben nach unten: 1, 10 und 100 mm.	22
3.5	Prozessiertes und charakterisiertes Referenzsubstrat mit Layout Nr. 3. Sichtbar ist das aufgedampfte Gate, darunter die Interdigitalstrukturen von Drain und Source. Ebenfalls zu erkennen sind Kratzer, welche die Messnadeln bei der Kontaktierung verursacht haben.	24
3.6	Inverter aus p-Kanal OTFTs, wie auf dem Referenzsubstrat vorgesehen. T1 ist der Transistor aus Reihe 1, T2 aus Reihe 2. Es gilt: $W_{T2} = 10xW_{T1}$	25
3.7	Verwendeter Halbleiter, Molekülstruktur und Verteilung der höchsten besetzten Orbitale [55].	26
4.1	Manuell kontaktierte Probe auf dem Einzelmessplatz. . . .	29

4.2	Reihenmessplatz vor der Installation. Zu erkennen sind der Messkopf mit gelben TRIAX-Kabeln und die Vakuum-Spannplatte zur Fixierung der Substrate.	31
4.3	Oberseite des Messkopfes mit angelöteten TRIAX-Kabeln. Zu erkennen sind die gefrästen Leiterbahnen.	32
4.4	Unterseite des Messkopfes mit drei eingesetzten Nadeln. Die Nadeln für Drain und Source sind spitz und stehen weiter heraus als die abgerundete für das Gate.	33
4.5	Kontakte nach manueller Kontaktierung, Kratzer in den Metallflächen und abgehobenes Dielektrikum sind zu sehen.	34
4.6	Simulierte Transferkennlinie eines OTFT (ideale Simulation). Die Simulationsparameter sind im Anhang A.1 aufgelistet.	35
4.7	Simulierte Ausgangskennlinie eines OTFT (ideale Simulation). Die Simulationsparameter sind im Anhang A.1 aufgelistet.	36
4.8	Vergleich verschiedener Integrationszeiten bei der Strommessung, gemessen wird ein Keramik Kondensator mit 100 pF bei einer konstanten Spannung von -1 V	38
4.9	Auswirkung unterschiedlicher Spannungssprünge auf den gemessenen Stromverlauf. Die Kurven zeigen eine RC-Sprungantwort, jedoch ist der Endwert nicht konstant. Der Herstellungsprozess der untersuchten OTFTs ist noch nicht optimal eingestellt, daher sind die OTFTs unter Umständen nicht stabil und können ihre Parameter während der Messung ändern.	39

4.10	Beispielhafte Bestimmung der Schwellspannung nach der ESR-Methode. Aus der Transferkennlinie wird im Sättigungsbereich die Wurzel des Stromes aufgetragen. Am Punkt maximaler (negativer) Steigung (hier $-18V$) wird eine Tangente angelegt und der Schnittpunkt mit $0A^{0,5}$ bestimmt. Der ermittelte Wert ist die Schwellspannung, in diesem Beispiel $-4,62V$	41
4.11	Bestimmung des Kontaktwiderstandes nach der Transfer Line Methode. In diesem simulierten Beispiel wird R_C aus drei verschiedenen Kanallängen zu $1M\Omega$ bestimmt.	44
5.1	Einfaches Ersatzschaltbild eines Feldeffekttransistors.	48
5.2	Exemplarisch gemessene Transferkennlinie eines OFET. Zusätzlich ist die Transkonduktanz abgebildet, dieser Wert ist proportional der Ladungsträgerbeweglichkeit μ . Es ist zu erkennen, dass die Transkonduktanz zwischen $U_G = -9,9V = U_{Th}$ und dem jeweiligen linearen Bereich bei $U_G \leq U_{Th} + U_D$ ansteigt. Anschließend bleibt der Wert etwa konstant.	51
5.3	Vergleich von Messwerten und Simulation der Transferkennlinie eines OTFT mit dem vereinfachten VRH-Modell. Die Simulationsparameter sind im Anhang A.1 aufgelistet.	52
5.4	a) Messwerte und Simulation eines OTFT. Vergleich von Simulation mit und ohne Kontaktwiderstand. b) Ersatzschaltbild mit Kontaktwiderstand an der Source Elektrode.	54
5.5	Messwerte und Simulation eines OTFT. Vergleich von Simulationen mit und ohne Gate-Leckströme.	55
5.6	Simulation eines OTFT mit Off-Widerstand.	56
5.7	Ersatzschaltbild mit Off-Widerstand zwischen Drain und Source.	56
5.8	Ersatzschaltbild mit Überlapp-Kapazitäten.	57

5.9	Ersatzschaltbild des OTFT, um die parasitären Elemente R_C , R_{Off} und C_{Ovl} erweitert.	58
5.10	Vergleich von Messdaten und Simulation mit dem erweiterten Modell. a) Transferkennlinie, b) Ausgangskennlinie. Die Simulationsparameter sind im Anhang A.2 aufgelistet.	59
6.1	Auswirkung von Gate-Leckströmen auf die Signalpegel innerhalb einer simulierten Schaltung, hier am Beispiel von fünf hintereinander geschalteten Invertern. Das gezeigte Signal liegt am Eingang des fünften Inverters.	63
6.2	Gate-Leckströme an einem PTAA / PMMA Transistor, Messung und Simulation mittels quadratischer Funktionen. Die Simulationsparameter werden durch Curve-Fitting ermittelt.	64
6.3	Einfluss des Gate-Leckstromes auf die Transferkennlinien eines OTFT. Gut sichtbar ist die Verformung der $V_{DS} = 0V$ und $V_{DS} = -5V$ Kennlinien in den positiven Bereich, auch die $V_{DS} = -15V$ Kennlinie ist deutlich verformt. Die $V_{DS} = -40V$ Kennlinie erscheint ebenfalls nicht ideal, der Grund dieses Effekts ist jedoch der Kontaktwiderstand (vgl. 2.8).	66
6.4	Einfluss des Gate-Leckstromes auf die Ausgangskennlinie eines OTFT. Die Kennlinie ist im Bereich um $V_{DS} = 0V$ vergrößert dargestellt. Die gemessenen Leckströme steigen mit der Gatespannung an.	67
6.5	a) Schematische Darstellung von Defekten in der Dielektrikumsschicht, von oben, durch das Gate gesehen. b) Darstellung der Defekte im Querschnitt des Transistors. c) Entstehung von parasitären Transistoren durch einen einzelnen leitfähigen Defekt. d) Schematische Darstellung des Transistors, erweitert um die parasitären Transistoren.	68

6.6	An einem Bauteil ohne Halbleiter gemessene Gate-Ströme. Das Dielektrikum besteht aus 900nm PMMA. Die Höhe des Stromes ist von den angelegten Spannungen unabhängig und wird nur durch die Richtung der Spannungsänderung beeinflusst.	70
6.7	Schematische Darstellung der Zusammensetzung der Ströme, welche an den drei Anschlüssen des Transistors gemessen werden.	71
6.8	Transferkennlinien mit Gate-Leckströmen, Vergleich mit simulierten Werten. a) Ideale Simulation, ohne Gate-Leckströme. b) Realistische Simulation unter Berücksichtigung der Gate-Leckströme.	73
6.9	Einfluss von Gate-Leckströmen auf die Ausgangskennlinie: a) Ideale Simulation. b) Simulation mit Gate-Leckströmen.	74
7.1	Höhenprofil der Kante an einer Drain- bzw. Source Elektrode. (Messung mit Rasterkraftmikroskop, Messwerte mit freundlicher Unterstützung von Jens Trollmann, Kirchhoff-Institut für Physik der Universität Heidelberg.)	77
7.2	Einfluss der Schichtdicke des Halbleiters auf die Schwellspannung der Transistoren. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von 928nm	79
7.3	Einfluss der Schichtdicke des Halbleiters auf die effektive Ladungsträgerbeweglichkeit der Transistoren. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von 928nm	80
7.4	Einfluss der Schichtdicke des Halbleiters auf das Verhältnis von Gate- zu Drainstrom. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von 928nm	81

7.5	Einfluss der Schichtdicke des Halbleiters auf den Kontaktwiderstand. Der Kontaktwiderstand wird per TLM aus Kanallängen von $50\mu m$ und $100\mu m$ sowie einer Gatespannung von $U_G = -40V$ bestimmt. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von $928nm$. Aufgetragen sind Werte für Kanalweiten von $1mm$ und $10mm$, wobei die Werte auf eine Weite von $10mm$ normiert sind.	82
7.6	Einfluss der Schichtdicke des Dielektrikums auf die Schwellspannung der Transistoren. Der Halbleiter hat bei den untersuchten Transistoren eine Dicke von $128nm$	85
7.7	Einfluss der Schichtdicke des Dielektrikums auf: A) Die Ladungsträgerbeweglichkeit der Transistoren. b) Das Verhältnis von Gate- zu Drainstrom. Der Halbleiter hat bei den untersuchten Transistoren eine Dicke von $128nm$	87
7.8	Einfluss der Schichtdicke des Dielektrikums auf den Kontaktwiderstand. Der Kontaktwiderstand wird per TLM bei Kanallängen von $50\mu m$ und $100\mu m$ sowie einer Gatespannung von $V_G = -40V$ bestimmt und auf $M\Omega cm$ normiert. Der Halbleiter hat bei den untersuchten Transistoren eine Dicke von $128nm$	88
7.9	Einfluss der Schichtdicke des Dielektrikums ($T_{HL} = 128nm$) auf das statische Verhalten der Inverter.	89
7.10	Einfluss der Schichtdicke des Halbleiters auf die Ausbeute der Transistoren. Das Dielektrikum hat bei den untersuchten Transistoren eine Dicke von $928nm$	92

7.11	Einfluss der Schichtdicke des Dielektrikums auf die Ausbeute von a) Transistoren und b) Inverterschaltungen. Der Halbleiter hat bei den untersuchten Transistoren eine Dicke von 128 nm . Zum Vergleich ist in b) das Quadrat der Ausbeute der Einzeltransistoren aufgetragen, welches die theoretische Schaltungsausbeute beschreibt.	93
8.1	Verteilungen von Schwellspannung und Ladungsträgerbeweglichkeit an 351 untersuchten Transistoren. Zum Vergleich sind Normalverteilungen mit den angegebenen Mittelwerten und Standardabweichungen dargestellt. Die Histogramme zeigen gute Übereinstimmung mit den dargestellten Normalverteilungen.	98
8.2	Messkurven von 56 als funktionierend eingestuften Invertiern. Alle Schaltungen haben nominell die gleichen technischen Daten.	99
8.3	Vergleich von gemittelten Messkurven und einer Simulation mit gemittelten Parametern.	100
8.4	Vergleich von den 56 Messkurven aus Abb. 8.2 und Monte-Carlo Simulation mit 30 Durchläufen.	101
9.1	Darstellung der Transkonduktanz in einem Temperaturbereich von 10°C bis 100°C . Es ist zu erkennen, dass die Temperatur keinen Einfluss auf die Kurvenform, sondern nur auf die Höhe der jeweiligen Werte hat.	105
9.2	Arrheniusgraph der Ladungsträgerbeweglichkeit in einem Temperaturbereich von -10°C bis 100°C . Zur Ermittlung der Aktivierungsenergie ist eine Exponentialfunktion angefitet. ($k = \text{Boltzmannkonstante}$)	106
9.3	Messungen und Simulation von μ in einem Temperaturbereich von 10°C bis 100°C	107

9.4	Temperaturkoeffizienten der Ladungsträgerbeweglichkeit über der Schichtdicke: a) Halbleiter ($t_{Diel} = 928\text{ nm}$) – Die gepunktete Linie zeigt einen linearen Fit, die gestrichelte Linie einen konstanten Wert welcher innerhalb aller Vertrauensbereiche liegt. b) Dielektrikum ($t_{HL} = 128\text{ nm}$) – Hier ist keine klare Abhängigkeit von der Dicke zu erkennen.	108
9.5	Messungen von U_{Th} in einem Temperaturbereich von 10°C bis 100°C . Die wiederholte Messung bei der Starttemperatur von 10°C zeigt, dass die Veränderung nicht reversibel ist.	110
9.6	Relativer Verlauf der Schwellspannung über 250 Transferkennlinienmessungen bei konstanter Temperatur von ca. 30°C , die gesamte Messdauer beträgt ca. 8 Stunden. . . .	111
9.7	Vergleich von Messung und Simulation der $U_D = -40\text{ V}$ Transferkennlinie eines einzelnen Transistors über den Temperaturbereich von 10°C bis 100°C . ($W = 1000\text{ }\mu\text{m}$, $L = 50\text{ }\mu\text{m}$, $t_{Ox} = 626\text{ nm}$, $U_{Th} = -8,69\text{ V}$, $\mu = 3,92\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, $\alpha = 2,18\%K^{-1}$, $R_C = 2\text{ M}\Omega$)	112
9.8	Ringoszillator auf einem Referenzsubstrat mit Layout Nr. 3. Zwischen den Transistoren der mittleren und unteren Reihe sind Verbindungen hergestellt.	113
9.9	Gemessene Ausgangsspannungen des Ringoszillators. Es ist zu erkennen, dass bei höheren Temperaturen die Frequenz zunimmt, während die Amplituden näherungsweise konstant bleiben.	114
9.10	SPICE Schaltplan zur temperaturabhängigen Simulation eines Ringoszillators mit fünf Stufen.	115

9.11 Vergleich von Messung und Simulation des Ringoszillators.	
a) 15 °C. b) 23 °C.	116
9.12 Vergleich von Messung und Simulation des Ringoszillators.	
a) 50 °C. b) 75 °C.	117
9.13 Vergleich von gemessener und simulierter Frequenz bei verschiedenen Temperaturen. a) FFT von gemessenen und simulierten Frequenzen.	
b) Darstellung der Frequenz über der Temperatur. Die gestrichelte Linie zeigt eine Extrapolation der Geraden zwischen den Werten bei 15 °C und 50 °C. Sie zeigt deutlich, dass der Frequenzverlauf in diesem Bereich annähernd linear ist.	119

Tabellenverzeichnis

3.1	Kanal-Längen und -Weiten der untersuchten Transistoren.	23
3.2	Übersicht der vier verschiedenen Substrate.	24
4.1	Vergleich verschiedener Spannungssprünge, aufgeführt ist die Höhe der relativen Änderung zwischen Initialwert und 0,25s bzw. 100s nach dem Spannungssprung. Die relativen Änderungen geben eine quantitative Angabe über das Überschwingen (vgl. Abb. 4.9).	40
7.1	Parameter und resultierende Schichtdicken für das Aufschleudern des Halbleiters	78
7.2	Parameter für das Aufschleudern des Dielektrikums sowie resultierende Schichtdicken. Gemessen mit einem DEKTAK Profilmeter auf Glassubstraten.	84
A.1	Verwendete Parameter zur idealen Simulation von OTFTs (vgl. Abschnitt 4.3).	131
A.2	Verwendete Parameter zur Simulation von OTFTs mit parasitären Elementen (vgl. Abschnitt 5.4).	131
A.3	Verwendete Parameter zur temperaturabhängigen Simulation des Ringoszillators (vgl. Abschnitt 9.5).	132
A.4	Vergleich von Simulation und Messung des Ringoszillators. Verglichen werden die Amplituden, die Frequenz und der jeweilige Fehler der Simulation.	132

Danksagung

Ich danke Prof. Dr. Uli Lemmer für die Möglichkeit zur Promotion am Lichttechnischen Institut, sowie die Betreuung meiner Arbeit. Für die Übernahme des Korreferates und dem damit verbundenen Aufwand danke ich Prof. Dr. Michael Siegel. Dr. Norman Mechau danke ich für viele fachliche Diskussionen und die Betreuung während meiner Zeit am Innovation Lab.

Diese Arbeit entstand zu großen Teilen während meiner Tätigkeit am Institut für Entwurf integrierter Schaltkreise an der Hochschule Mannheim. Hier möchte ich insbesondere Prof. Dr. Jürgen Giehl und Herr Dr. Bernd Vettermann für ihre Unterstützung, das Engagement sowie zahlreiche interessante und anregende Diskussionen danken.

Prof. Dr. B. Voigt danke für hilfreiche und motivierende Ratschläge sowie wichtige Tipps („Seien Sie egoistisch!“).

Meinen Eltern, Großeltern und Schwiegereltern danke ich für die Unterstützung während des Studiums und der Promotion!

Besonders herzlich danke ich meiner Frau Sandra und meinen Kindern Nikolas, Yannik und Linus, für ihre Geduld und ihre Liebe!

Karlsruhe, im Januar 2015

Stefan Hengen