

Aufbau- und Verbindungstechnologie für neuartige Leistungsmodule mit SiC-Bauelemente

Zur Erlangung des akademischen Grades eines

DOKTORS DER INGENIEURWISSENSCHAFTEN (Dr.-Ing.)

von der KIT-Fakultät für Elektrotechnik und Informationstechnik
des Karlsruher Instituts für Technologie (KIT)

genehmigte

Dissertation

von

M. Sc. Bao Ngoc An

Tag der mündlichen Prüfung: 15.04.2021

Hauptreferent:

Prof. Dr. rer. nat. Marc Weber

Korreferent:

Prof. Dr.-Ing. Marc Hiller

Kurzfassung

Durch strengere gesetzliche Emissionsvorgaben und staatliche Förderungen für Elektrofahrzeuge und Hybridfahrzeuge konnte in den letzten Jahren der Marktanteil für Fahrzeuge mit alternativen Antrieben gesteigert werden. Die etablierten Fahrzeughersteller haben begonnen, stufenweise den Antriebsstrang zu elektrifizieren mit dem Ziel, den Verbrennungsmotor durch ein elektrisches Antriebssystem zu ersetzen. Um die Reichweite von batterieelektrischen Fahrzeugen zu steigern, werden leistungselektronische Systeme mit sehr hoher Effizienz und Leistungsdichte zur Energiewandlung benötigt (z. B. Antriebsinverter oder Stromversorgung im Bordnetz). Wide-Bangap-Leistungshalbleiter haben eine höhere Effizienz und können mit höheren Flankensteilheiten geschaltet werden als konventionelle Si-Leistungshalbleiter. Der Trend der letzten Jahre zeigte, dass durch die technische Weiterentwicklung im Bereich der Leistungshalbleitertechnologie insbesondere SiC-Leistungshalbleiter technisch ausgereift sind und Si-Leistungshalbleiter ersetzen können. Allerdings sind SiC-Leistungshalbleiter deutlich kleiner als Si-Leistungshalbleiter, sodass sich die im Chip entstehende Wärme auf eine kleinere Fläche konzentriert. Ein effektiveres Thermomanagement im Leistungsmodul ist erforderlich, um die Stromtragfähigkeit der Chips zu erhöhen und diese somit optimaler ausnutzen zu können. Alternativ kann eine bessere Entwärmung genutzt werden, um den Temperaturhub im Chip zu verringern und die Zuverlässigkeit der Verbindungen im Leistungsmodul zu steigern.

Nach aktuellem Stand der Wissenschaft und Technik weist die Silbersintertechnologie eine wesentlich höhere Zuverlässigkeit auf als eine Lötverbindung. Zudem zeigen simulative Untersuchungen in dieser wissenschaftlichen Arbeit, dass bei einem SiC-Leistungsmodul eine Sinterverbindung den thermischen Widerstand zwischen Chip und Kühlkörper im Vergleich zu einer Lötverbindung um bis zu 8 % verringern kann. Ein Vergleich zwischen dem Silbersintern und dem neuartigen Kupfersintern zeigt, dass das Kupferdrucksintern bei einer Sintertemperatur von 300 °C gegenüber dem Silbersintern eine höhere Scherfestigkeit um bis zu 10 % erzielen kann. Durch Prozessoptimierung konnte die Prozessdauer beim drucklosen Kupfersintern um mehr als das 3,5-Fache verkürzt werden, sodass der Durchsatz gesteigert und die Produktionskosten gesenkt werden konnten. Das Kupfersintern weist eine geringfügig höhere Zuverlässigkeit gegenüber dem Silbersintern auf und wird voraussichtlich preislich attraktiver sein.

Aufgrund der höheren Flankensteilheit beim Schalten stellt der Einsatz von SiC höhere Anforderungen an die elektrischen Eigenschaften eines Leistungsmoduls. Die parasitäre Induktivität im Kommutierungskreis muss minimal sein, um eine Spannungsüberschwingung bei einer hohen Stromflankensteilheit zu verringern. Die parasitären Induktivitäten in den Gate-Treiberschaltkreisen sollen nach Möglichkeit gleiche Werte aufweisen und minimal sein, um die Schalteigenschaften des SiC-Leistungsmoduls zu optimieren. Um diese Anforderungen zu erfüllen, wurden in dieser Arbeit Aufbau- und Verbindungstechniken untersucht, die eine Integration eines Entkopplungskondensators und Gate-Treiberschaltkreise ins SiC-Leistungsmodul ermöglichen.

Thermische Simulationen zeigen, dass durch eine beidseitige Kühlung die thermische Performanz eines Leistungsmoduls um etwa ein Drittel gesteigert werden kann. In dieser Arbeit wurde ein neuartiges Modulaufbaukonzept auf Basis von Kupferstanzgittern mit thermisch leitenden Isolationsfolien untersucht. Bei diesem Modulkonzept spielen die thermischen und elektrischen Eigenschaften der Isolationsfolie eine zentrale Rolle und bestimmen im Wesentlichen die Performanz des Leistungsmoduls. Die thermische und materialwissenschaftliche Charakterisierung der Isolationsfolie zeigen, dass das Epoxidbasismaterial mit thermisch leitenden Partikeln gefüllt ist und die Isolationsfolie daher eine gute thermische Leitfähigkeit von $8,68 \text{ W (m K)}^{-1}$ aufweist. Eine Hochspannungsprüfung der Isolationsfolie zeigt, dass diese eine ausreichend hohe Spannungsfestigkeit von mehr als 2 kV erzielt.

Inhaltsverzeichnis

Kurzfassung	i
Inhaltsverzeichnis	iii
Abbildungsverzeichnis	v
Tabellenverzeichnis	11
Vorwort und Danksagung	13
1 Einleitung	15
1.1 Elektromobilität und Energiewende als Impulsgeber für die Weiterentwicklung der Leistungselektronik	15
1.2 Zielsetzung der Promotionsarbeit.....	16
2 Aufbau- und Verbindungstechnik und Charakterisierung von Leistungsmodulen	18
2.1 Leistungselektronische Bauelemente	19
2.1.1 Halbleitermaterialien.....	19
2.1.2 Herstellungsprozess von SiC-Wafern	22
2.1.3 Leistungshalbleiterbauelemente	25
2.1.4 Verlustberechnungen im Leistungshalbleiter.....	32
2.2 Subtrattechnologien.....	34
2.2.1 Substrate auf Basis von anorganischen Keramikmaterialien	34
2.2.2 Leadframe-Substrat mit einer organischen Isolationsfolie.....	38
2.3 Die-Attachment-Technologien.....	39
2.3.1 Lötverfahren.....	39
2.3.2 Sinterverfahren.....	40
2.4 Chip-Oberseitenkontaktierung	43
2.4.1 Dickdrahtbondverbindungen.....	43
2.4.2 Alternative Kontaktierungsverfahren.....	46
2.5 Verkapselung	48
2.5.1 Pottingverfahren.....	49
2.5.2 Resin-Transfer-Molding-Technik (RTM).....	51
2.6 Konventionelle Leistungsmodulen.....	52
2.6.1 Standard-Modulaufbauprozess.....	52
2.6.2 Thermische Anforderungen an das Design von Standard-Si-Leistungsmodulen.....	53
2.6.3 Elektrische Anforderungen an das Design von Standard-Si-Leistungsmodulen.....	54
2.7 Charakterisierung von Leistungsmodulen.....	55
2.7.1 Statische Charakterisierung.....	55
2.7.2 Dynamische Charakterisierung	57
3 Technologische Anforderungen an das Design von SiC-Leistungsmodulen	59
3.1 Thermische Performanz	59
3.2 Niederinduktives Design.....	61
3.3 Symmetrische Auslegung.....	65
4 Thermische Simulationen von Leistungsmodulen	67
4.1 FEM-Simulation der Wärmeleitung.....	67
4.1.1 Randbedingungen bei der thermischen Simulation.....	68

4.1.2	Vernetzung	69
4.2	Stationäre thermische Simulation	70
4.2.1	Zielsetzung	70
4.2.2	Modellbildung und Vereinfachung	71
4.2.3	Parametrisierung des Modells und Festlegung der Randbedingungen	74
4.3	Ergebnisse der thermischen Simulationen	75
4.3.1	Einflüsse der Die-Attach-Schicht auf die thermische Performanz	75
4.3.2	Einflüsse der Stärke der Kupfer- und Keramikschichten sowie Keramikmaterialien auf die Wärmespreizung	76
4.3.3	Einfluss der Stärke der Grundplatte auf die thermische Performanz	78
4.3.4	Einfluss der Modulaufbaustruktur auf die thermische Performanz beim Leadframe-Leistungsmodul	79
4.3.5	Thermische Simulation und Validierung am Beispiel eines beidseitig gekühlten Leadframe-Leistungsmoduls	80
4.4	Zusammenfassung der Simulationsergebnisse	82
5	Prototypischer Aufbau von Leistungsmodulen mit neuartigen Aufbau- und Verbindungstechniken	83
5.1	Hochintegrierte SiC-Leistungsmodule	83
5.1.1	Multilayer-Substrate	83
5.1.2	Optimierung des Ag-Sinterprozesses	89
5.1.3	Kupfersintertechnologie	99
5.1.4	Zusammenfassung der Ergebnisse bei der Evaluierung von Ag- und Cu-Sinterpasten ..	109
5.1.5	Aufbau der Gate-Treiberschaltung	110
5.1.6	Anbindung an den Kühlkörper bzw. an die Grundplatte	111
5.1.7	Charakterisierung des Dickfilm-Substrates	112
5.2	Prototypherstellung eines Leadframe-DSC-Leistungsmoduls	115
5.2.1	Nachmetallisierung der Si-Leistungshalbleiter	115
5.2.2	Herstellung der Kupferstanzgitter	116
5.2.3	Lötprozess beim DSC-Leistungsmodul	118
5.2.4	Qualitätsüberprüfung der Lötstellen	119
5.2.5	Verkapselung des Leadframe-DSC-Leistungsmoduls	121
5.2.6	Lamination der Isolationsfolie	122
5.2.7	Charakterisierung der Isolationsfolie	124
6	Zusammenfassung	131
6.1	Ausblick	133
6.2	Diskussion	134
6.2.1	Hochintegriertes Leistungsmodul	134
6.2.2	DSC-Leadframe-Leistungsmodul	134
7	Anhänge	136
8	Literaturverzeichnis	194

Abbildungsverzeichnis

Abbildung 1: Übersicht über die einzelnen Funktionsebenen in einem batterieelektrischen Fahrzeug	18
Abbildung 2: Klassifikation der Leistungshalbleitermaterialien	20
Abbildung 3: Darstellung der unterschiedlichen Energieniveaus in einem Bändermodell von Atomen in einer gitterförmigen Anordnung (nach [16])	20
Abbildung 4: Banddiagramme von einem Silizium- und einem 4H-Siliziumkarbidkristall [19, 20]	21
Abbildung 5: Querschnitt eines Induktionsofens zur Züchtung von SiC Kristallen	22
Abbildung 6: Aufbau einer Drahtsägeeinrichtung zur Trennung des geschliffenen SiC-Kristalls in einzelne SiC-Waferscheiben.....	24
Abbildung 7: Aufbau und Funktionsprinzip einer Waferpolieranlage.....	24
Abbildung 8: Gesägter 4-Zoll SiC-MOSFET-Wafer	25
Abbildung 9: Gegenüberstellung der unterschiedlichen Halbleitertypen in Abhängigkeit der Sperrspannung, der Stromtragfähigkeit des Schalters und der üblichen Taktfrequenz, bei dem die jeweiligen Schalter betrieben werden [31].....	26
Abbildung 10: Gegenüberstellung der unterschiedlichen Strukturaufbau einer Pin-, einer Schottky- und einer JBS-Diode [28, 35]	27
Abbildung 11: Layout und Struktur eines SiC-MOSFETs (nach [39]).....	28
Abbildung 12: D- bzw. U-Struktur als grundlegende vertikale Strukturen von Si-MOSFETs (N-Typ) [28, 35].....	29
Abbildung 13: Aufbau eines vertikalen SiC MOSFET mit einer Schielded Planar Struktur (links) bzw. mit einer Double Trench Struktur (rechts).....	30
Abbildung 14: Struktur und Ersatzschaltbild eines Si-IGBTs [35].....	31
Abbildung 15: Schliffbild von einem Si ₃ N ₄ AMB-Substrat und Aufnahme der Aktivlotschicht unter einem Rasterelektronenmikroskop (REM)	36
Abbildung 16: Sieb mit Aluminiumrahmen und Edelstahlsiebgeewebe (rechts) und Sieb nach der Fotostrukturierung (links).....	37
Abbildung 17: Haftungsmechanismus beim Kupferdickfilm-Substrat [49]	38
Abbildung 18: Lufteinschlüsse in der Lotschicht unter einem IGBT und einer Diode.....	40
Abbildung 19: Vereinfachte Darstellung des Sinterprozesses mit dem Zwei-Kugel-Modell	41
Abbildung 20: Aluminiumdickdrahtbonding auf einem Si-IGBT (links) und Cu-Dickdrahtbonding auf einem Cu-Dickfilm-Substrat (rechts).....	45
Abbildung 21: Löten eines Kupferstanzgitters mit Anschlussterminal (links) oder einer Leiterplatte (rechts) direkt auf die Chip-Oberseite [111].....	47
Abbildung 22: Bei der Semikron SKiN [®] Technologie wird eine flexible Leiterplatte auf die Oberseite des Leistungshalbleiters Ag-gesintert. Mittels Durchkontaktierungen wird der Gate-Kontakt des Leistungshalbleiters auf die Oberseite der flexiblen Leiterplatte geführt und mit der Gate-Ansteuerung verbunden [112]. Die linke Abbildung zeigt den Querschnitt des Leistungsmoduls und die rechte Abbildung die Draufsicht der Flexleiterplatte.....	48
Abbildung 23: Polymermolekülstrang eines Standard-Silikonmaterials aus Polydimethylsiloxane C ₂ H ₆ OSi	49

Abbildung 24: Ablauf der chemischen Reaktionen bei einer thermischen Auslagerung eines konventionellen Silikongels.....	49
Abbildung 25: Aufbau der Molekülketten von Thermoplasten und Duroplasten	50
Abbildung 26: Schematischer Aufbau einer Moldinganlage (Querschnitt).....	51
Abbildung 27: Beispiel für ein Messaufbau für die thermische Charakterisierung eines Leistungsmoduls am KIT im Querschnitt	56
Abbildung 28:Schaltungstechnischer Aufbau eines Doppelpulstests mit einer Halbbrücke als Device Under Test (DUT).....	57
Abbildung 29: Signalverläufe von Strom und Spannung beim Doppelpulstest	58
Abbildung 30: Darstellung des Kommutierungskreises sowie der parasitären Induktivitäten im gesamten Kommutierungskreis der ersten Phase von einem dreiphasigen Inverter.....	62
Abbildung 31: Parasitäre Elemente im Gate-Treiberschaltkreis eines SiC-Leistungsschalters in einer SiC-Halbbrücke	64
Abbildung 32: Einschaltvorgang eines SiC-Leistungshalbleiters ohne Kelvin-Kontakt.....	65
Abbildung 33: Einfluss der parasitären Induktivität im Gate-Treiberschaltkreis des Schalters Q1 und Q2 auf das Schaltverhalten der Halbbrücke.....	66
Abbildung 34: Darstellung der unterschiedlichen Arten der Wärmeübertragung in einem Leistungsmodul	67
Abbildung 35: Vernetzung eines DCB-Substrates für eine 3D thermische Simulation mit unterschiedlichen Elementgrößen	69
Abbildung 36: Parametervariation bei der thermischen Simulation eines Leistungsmoduls mit <i>Al2O3</i> - bzw. AlN-DCB	70
Abbildung 37: Parametervariation bei der thermischen Simulation eines Kupferstanzgitterleistungsmoduls	71
Abbildung 38: Thermische Pfade vom Leistungshalbleiter zur Umgebung	72
Abbildung 39: Vereinfachung des thermischen Ersatzschaltbildes eines keramikbasierten Leistungsmoduls bzw. Leadframe-Moduls im stationären Zustand mit Bonddrahtkontaktierungen auf der Oberseite (einseitige Kühlung).....	73
Abbildung 40: Abhängigkeit des R_{th} von der Stärke der SAC-Lotschicht bzw. Ag-Sinterschicht (mit 15 % Porosität) bei einem Leistungsmodul auf Basis einer <i>Al2O3</i> -Keramik mit einem 4,8x4,8 mm ² SiC-MOSFET Chip bzw. 16x12,1 mm ² Si-IGBT.....	75
Abbildung 41: Abhängigkeit des thermischen Widerstands von der Stärke der Kupfer- und Keramikschichten einer <i>Al2O3</i> -DCB (PV=100 W; Chipfläche A _{Chip} =4,8 x 4,8 mm ²)	76
Abbildung 42: Abhängigkeit des thermischen Widerstands von der Stärke der Kupfer- und Keramikschichten einer AlN-DCB (PV=100 W; Chipfläche A _{Chip} =4,8 x 4,8 mm ²) ..	77
Abbildung 43: Wärmespreizung in Abhängigkeit der Stärke der oberen Kupferschicht	77
Abbildung 44: Vergleich der thermischen Spreizwirkung in der oberen Kupferschicht, im <i>Al2O3</i> -DCB Substrat und in der Grundplatte (<i>Al2O3</i> -DCB Substrat mit 300 µm Cu-Schicht und 380 µm <i>Al2O3</i> -Keramikschicht ist an die Abmessungen der Grundplatte angepasst) ..	78
Abbildung 45: R_{th} zwischen einem SiC-MOSFET und der Unterseite der Grundplatte in Abhängigkeit von der Stärke der Grundplatte (PV=100 W; DCB mit 300 µm Kupfer- und 380 µm <i>Al2O3</i> -Keramikschicht).....	79

Abbildung 46: Vergleich der thermischen Spreizwirkung zwischen Leadframe-Modul und keramikbasiertes Leistungsmodul (4,8 x 4,8 mm ² SiC-MOSFET, PV=100 W; Leadframe-Substrate mit 2 mm Stärke, 11 W m · K – 1 ; 210 µm Stärke, Al ₂ O ₃ -DCB mit 300 µm Kupfer- und 380 µm Al ₂ O ₃ -Keramikschiicht und AlN-DCB Substrate mit 300 µm Kupfer- und 635 µm AlN-Keramikschiicht)	80
Abbildung 47: Thermische Charakterisierung des Leadframe-DSC-Leistungsmoduls	81
Abbildung 48: Thermische Simulation und Messung des thermischen Widerstandes R _{th} eines IGBT-Leadframe-DSC-Leistungsmoduls in Abhängigkeit der Kühlkörpertemperatur bei einer Verlustleistung PV = 100 W	81
Abbildung 49: Draufsicht und Querschnitt eines Siebes für den Pastendruck	84
Abbildung 50: Pinhole in einer Isolationsschiicht eines Multilayer-Dickfilm-Substrates	85
Abbildung 51: Aufbauprozess eines Dickfilm-Substrates für hochintegrierte Leistungsmodul	86
Abbildung 52: Pastenauftrag nach dem Ablösen des Siebes beim Siebdruckprozess (Querschnitt)	87
Abbildung 53: Aufbauprozess eines DCB-Dickfilm-Substrates.....	88
Abbildung 54: zerstörende Prüfung der Die-Attach-Verbindung	90
Abbildung 55: Vergleich zwischen OFAT und DoE anhand eines Experimentes mit zwei Faktoren mit je zwei Stufen	91
Abbildung 56: Übersicht über unterschiedliche Versuchspläne mit 3 Faktoren.....	92
Abbildung 57: Vorgehensweise bei der Evaluierung der Sinterpasten	93
Abbildung 58: Scherfestigkeit von Sinterpaste #3 in Abhängigkeit der Trocknungstemperatur und Sinterdruck bei 250 °C Sintertemperatur und 20 min Sinterdauer	96
Abbildung 59: Scherfestigkeit von Sinterpaste #4 in Abhängigkeit der Sintertemperatur und Sinterdruck bei 120 °C Trocknungstemperatur und 10 min Sinterdauer	96
Abbildung 60: Temperatur- und Druckverlauf von einem Standard-Sinterprofil.....	98
Abbildung 61: Scherfestigkeit beim Cu-Drucksintern in Abhängigkeit des Sinterdruckes und der Sintertemperatur	101
Abbildung 62: REM-Aufnahmen der Cu-Sinterschiichten und der Interface-Schiichten zwischen Chip und Sinterschiicht bzw. Sinterschiicht und Substrat bei unterschiedlichen Sintertemperaturen (oben TSinter=220 °C und unten TSinter=300 °C)	102
Abbildung 63: Scherfestigkeit beim Ag-Sintern in Abhängigkeit des Sinterdruckes und der Sintertemperatur als Referenz für den Vergleich zwischen Cu- und Ag-Sintern	103
Abbildung 64: Streuung der Scherfestigkeitswerte beim Cu-Sintern	103
Abbildung 65: REM- und EDX-Analyse am Interface zwischen der Cu-Sinterverbindung und dem Chip bei 300 °C Sintertemperatur und 12 MPa Sinterdruck	104
Abbildung 66: Scherfestigkeit beim drucklosen Sintern in Abhängigkeit der Sinterdauer und Sintertemperatur bei einer Temperaturanstiegszeit tRamp-up=5 min.	106
Abbildung 67: Scherfestigkeit in Abhängigkeit der Temperaturanstiegszeit und bei der Sintertemperatur bei einer Sinterdauer von 10 min.....	107
Abbildung 68: Scherfestigkeit vor und nach der thermischen Auslagerung bei TStorage=300 °C.....	108
Abbildung 69: Untersuchungen der Bruchzonen der Cu-Sinterschiicht auf einer Cu- (links) bzw. Pd/Au-Oberfläche mittels Lichtmikroskopie (30 x Vergrößerung) nach einer Auslagerungsdauer der Proben von 8 h.....	108
Abbildung 70: REM- und EDX-Analyse einer Cu-Sinterschiicht auf einem Au/Pd-DCB-Substrat	109

Abbildung 71: Verknüpfung der Interdiffusion von Kupfer bei unterschiedlichen Metalloberflächen mit der Scherfestigkeit nach einer Auslagerung bei TStorage=300 °C	109
Abbildung 72: Schablonendruckern beim Multilayer-Substrat	110
Abbildung 73: SAM-Aufnahme der Lotschicht nach dem Baseplatelöten	112
Abbildung 74: Fertig aufgebautes hochintegriertes SiC-Sixpack-Leistungsmodul	112
Abbildung 75: Draufsicht eines hochintegrierten SiC-Leistungsmoduls auf Dickfilmbasis und Schliffbilder des Dickfilm-Substrates im Gate-Treiberschaltkreis und im Leistungskreis	113
Abbildung 76: Fertig aufgebautes IGBT-Leadframe-DSC-Prototypeleistungsmodul.....	115
Abbildung 77: REM-Aufnahme eines mit Cr/Ni/Ag nachmetallisierten IGBT-Leistungshalbleiters.....	116
Abbildung 78: Herstellung der oberen und unteren Leadframes durch Anätzen und Laserschneiden aus einem 1,5 mm starkem Kupferblech	116
Abbildung 79: Oberes Leadframe mit einer Krümmung von etwa 1,6 mm vor der Begradigung	117
Abbildung 80: Röntgenaufnahme nach dem ersten und dem zweiten Lötprozess bei einem Leadframe-DSC-Leistungsmodul mit wenig Warpige in den Kupferstanzgittern und Lötverbindungen mit ausreichend guter Qualität.....	119
Abbildung 81: Röntgenaufnahme nach dem ersten und dem zweiten Lötprozess bei einem Leadframe-DSC-Leistungsmodul mit starken Verbiegungen in den Kupferstanzgittern im Leadframe und Lötverbindungen mit einer unzureichenden Qualität	120
Abbildung 82: Vergleich der Lötresultate in Abhängigkeit der Verbiegung der oberen und unteren Kupferstanzgitter	120
Abbildung 83: Auftrag des Dam-Materials an den Randstellen des Kupferstanzgitters (links) und Füllen der Zwischenräume mit dem Fill-Material (rechts)	121
Abbildung 84: REM-Aufnahme eines Testmusters am Interface zwischen der Kupferschicht und der Isolationsfolie A bei einer Verstärkung von 10000	125
Abbildung 85: REM-Aufnahme und EDX-Analyse der Isolationsfolie A.....	125
Abbildung 86: REM-Aufnahme eines Testsamples am Interface zwischen der Kupferschicht und der Isolationsfolie B bei einer Verstärkung von 10000.....	126
Abbildung 87: REM-Aufnahme und EDX-Analyse der Isolationsfolie B.....	126
Abbildung 88: Chemische Zusammensetzung und struktureller Aufbau eines thermisch leitfähigen Polymers	128
Abbildung 89: Komponenten des HV-Teststandes zur Bestimmung der Durchbruchspannung einer laminierten Probe	128
Abbildung 90: Schaltungstechnischer Aufbau des HV-Teststandes	129
Abbildung 91: Ergebnisse des Hochspannungstests bei der Isolationsfolie A.....	130
Abbildung 92: Detektion der Spannungsdurchbruchstelle mittels IR-Thermographie	130
Abbildung 93: Funktionsprinzip des Siemensprozesses zur Reinigung von metallurgischem Silizium..	139
Abbildung 94: Querschnitt einer Floating-Zone-Kristallzuchtanlage zur Erzeugung von hochreinen einkristallinen Siliziumkristallen	140
Abbildung 95: Verlauf der elektrischen Feldstärke in einem SiC-MOSFET mit einer D-Struktur [205]	141
Abbildung 96: R _{th} in Abhängigkeit von der Stärke der SAC-Lotschicht bzw. Ag-Sinterschicht bei einem Leistungsmodul auf Basis einer AlN-Keramik mit einem 4,8x4,8 mm ² SiC MOSFET Chip bzw. 16x12,1 mm ² Si-IGBT.....	157

Abbildung 97: Vergleich der thermischen Spreizwirkung in der oberen Kupferschicht, im AlN-DCB-Substrat und in der Grundplatte (AlN-DCB-Substrat mit 300 μm Cu-Schicht und 635 μm ist an die Abmessungen der Grundplatte angepasst)	157
Abbildung 98: Abhängigkeit des R_{th} von der Stärke der SAC-Lotschicht bzw. Ag-Sinterschicht bei einem Leadframe-Leistungsmodul mit einem 4,8x4,8mm ² SiC-MOSFET bzw. 16x13,1mm ² Si-IGBT	158
Abbildung 99: Abhängigkeit des R_{th} von der Stärke des Kupferstanzgitters bei einem Leadframe-Leistungsmodul (4,8x4,8mm ² SiC MOSFET Chip, PV=100 W, Isolationsfolie mit einer Stärke von 210 μm und mit einer thermischen Leitfähigkeit von 11 W mK^{-1}).....	158
Abbildung 100: Abhängigkeit des R_{th} von der Stärke der Baseplate (4,8x4,8mm ² SiC MOSFET Chip, PV=100W, Stärke des Leadframe 2 mm, Isolationsfolie mit einer Stärke von 210 μm und mit einer thermischen Leitfähigkeit von 11 W mK^{-1}).....	159
Abbildung 101: Layout für den Auftrag der Haftvermittler- und Aufbaukupferschicht auf der oberen Seite der Keramik	162
Abbildung 102: Layout für den Auftrag der Haftvermittler- und Aufbaukupferschicht auf der unteren Seite der Keramik	162
Abbildung 103: Layout für den Auftrag der Isolationsschicht auf der oberen Seite im Gate-Treiberschaltkreis.....	163
Abbildung 104: Layout für den Auftrag der Kupferschicht auf der oberen Seite der Keramik im Gate-Treiberschaltkreis.....	163
Abbildung 105: Layout für den Auftrag einer Kupferausgleichsschicht auf der oberen Seite der Keramik im Gate-Treiberschaltkreis	164
Abbildung 106: Layout für den Auftrag einer Kupferausgleichsschicht auf der oberen Seite der Keramik im Leistungskreis direkt unterhalb des Leistungshalbleiterchips	164
Abbildung 107: Anwendung von OFAT anhand von eines zwei dimensionalens Versuchs.....	165
Abbildung 108: Durchführung mehrerer 2 ² -Versuchsplanungen zur Eingrenzung des Maximums.....	166
Abbildung 109: Schablonenlayout für Sintertest mit Si-Widerstandschip mit einer Chipfläche von 2,25 x 2,25 mm ²	169
Abbildung 110: Druckausgleich beim Ag-Drucksintern	169
Abbildung 111: Scherfestigkeit von Sinterpaste #1 in Abhängigkeit der Sinterdauer und Sinter Temperatur bei einem Sinterdruck von 15 MPa und einer Trocknungstemperatur von 130 °C	170
Abbildung 112: Scherfestigkeit von Sinterpaste #1 in Abhängigkeit der Sinterdauer und Sinterdruck bei einer Sinter Temperatur von 250 °C und einer Trocknungstemperatur von 130 °C.....	170
Abbildung 113: Scherfestigkeit von Sinterpaste #2 in Abhängigkeit der Sinterdauer und Sinter Temperatur bei einem Sinterdruck von 15 MPa und einer Trocknungstemperatur von 130 °C	171
Abbildung 114: Streuung der Scherfestigkeitswerte beim Ag-Drucksintern.....	173
Abbildung 115: Vom Hersteller empfohlenes Standardsinterprofil für das druckloses Cu-Sintern	174
Abbildung 116: Cross-Section-Polisher als Präparationswerkzeug für die Herstellung von präzisen Schlifften	175
Abbildung 117: Elektronenmikroskop am KIT für die mikroskopische Analyse von Gefügen	175
Abbildung 118: Porosität der Cu-Sinterschicht in Abhängigkeit des Sinterdruckes bei $T_{\text{Sinter}}=260\text{ °C}$ und $t_{\text{Sinter}}=5\text{ min}$	177
Abbildung 119: Aufbau und Sicherheitskonzept einer Wasserstoffsinteranlage	178

Abbildung 120: REM- und EDX-Analyse beim drucklosen Cu-Sintern	180
Abbildung 121: Baseplate und EconoPack™ 2 Gehäuse des hochintegrierten SiC-Leistungsmoduls	181
Abbildung 122: Lufteinschlüsse in der Lotschicht nach Baseplate-Lötung ohne Vakuum.....	181
Abbildung 123: Durchführung des Schertests beim hochintegrierten SiC-Leistungsmoduls (links) und ein dazugehöriges Bruchbild der Sinterstelle nach dem Scherversuch (rechts).....	182
Abbildung 124: Lötprofil für das obere Leadframe mit Flip-Chip-Montage (erster Lötprozess)	184
Abbildung 125: Lötprofil für das obere Leadframe (zweiter Lötprozess)	184
Abbildung 126: Erfassung des Höhenprofils des Leadframe DSC-Moduls mit einem Laser-Scanner....	185
Abbildung 127: Draufsicht auf das Leadframe-DSC-Leistungsmodul mit der Fahrstrecke des Laser-Scanners.....	185
Abbildung 128: Screenshot einer Höhenprofilmessung eines Leadframe-DSC-Leistungsmoduls mit gutem Lötergebnis	185
Abbildung 129: Rollenlaminator mit beweglichen Rollen für Lamination einer Isolationsfolie auf einem Kupferstanzgitter oder auf einem Kühlkörper	186
Abbildung 130: Computergesteuerte Vakuumpresse mit einstellbarem Druck- und Temperaturprofil... 186	
Abbildung 131: Testmuster mit Isolationsfolie B mit herausgedrückten Epoxidmaterialien.....	187
Abbildung 132: Laminationsprofil von Isolationsfolie A	187
Abbildung 133: Aufbau einer Laser Flash-Messeinrichtung zur Bestimmung der Temperaturleitfähigkeit und spezifischen Wärmekapazität von Werkstoffen.....	188
Abbildung 134: REM-Aufnahme der Isolationsfolie A bei einer Verstärkung von 10000.....	190
Abbildung 135: REM-Aufnahme der Isolationsfolie A bei einer Verstärkung von 50000.....	190
Abbildung 136: Beispiele für thermische Pfade durch die Isolationsfolie A	191
Abbildung 137: REM-Aufnahme der Isolationsfolie B bei einer Verstärkung von 10000	191
Abbildung 138: Schrägansicht eines Prüflings zur Bestimmung der Isolationsfestigkeit der Isolations-schicht.....	192

Tabellenverzeichnis

Tabelle 1: Übersicht über unterschiedliche Hybriddisierungsgrade bei einem Verbrennungsmotor [8]	16
Tabelle 2: Gitterstruktur und Bandlücke von unterschiedlichen SiC-Polytypen	20
Tabelle 3: Gegenüberstellung einer mit einem Standard-SAC-Lot gelöteten Verbindung und einer gesinterten Verbindung mit 15 % Porosität [72, 85–87]	42
Tabelle 4: Übersicht über unterschiedliche Kontaktierungstechnologien.....	43
Tabelle 5: Bestimmung der Gesamtverlustleistung und der maximal möglichen thermischen Widerstände zwischen den Leistungshalbleitern und dem Kühlmittel am Beispiel eines 1200 V IGBT-Halbbrückenmoduls bei $T_j = 125\text{ °C}$ und einer Schaltfrequenz $f_s = 10\text{ kHz}$	54
Tabelle 6: Spannungsklassen für unterschiedliche Fahrzeugtypen und die maximal erlaubte parasitäre Induktivität im Kommutierungskreis des Inverters	55
Tabelle 7: Spannungsklassen für unterschiedliche Fahrzeugtypen und die maximal erlaubte parasitäre Induktivität im Kommutierungskreis von einem SiC-Inverter	63
Tabelle 8: Spreizwirkung in Abhängigkeit des Keramikmaterials und der Stärke der Keramikschicht (300 μm starke Cu-Schichten).....	78
Tabelle 9: Auflistung der Einflussfaktoren sowie Störgrößen auf die Scherfestigkeit einer Drucksinterverbindung	93
Tabelle 10: Auflistung und Kodierung der Parameterstufen von einem zentral zusammengesetzter Versuchsplan	94
Tabelle 11: Bestimmung der Haupteffekte und Wechselwirkungseffekte bei der Evaluierung der Sinterpasten	95
Tabelle 12: Mögliche Ursachen, die die Vorhersagegenauigkeit des Sinterexperiments einschränkt	97
Tabelle 13: Standard-Sinterparametersatz für den Aufbau von Prototypenleistungsmodulen	98
Tabelle 14: Vorgehensweise und Randbedingungen beim Vergleich von Cu- und Ag-Drucksintern.....	100
Tabelle 15: Parametervariation bei der Evaluation der Sinterpasten und beim Vergleich zwischen Cu- und Ag-Sintern	101
Tabelle 16: Vergleich der Prozessdauer (Richtwerte) von Löt- und Sintertechnologien.....	104
Tabelle 17: Porosität der Kupfer- und Isolationsschichten im Gate-Treiberschaltkreis bzw. Leistungskreis nach der Substratherstellung.....	113
Tabelle 18: Eigenschaften der evaluierten Isolationsfolie A und Isolationsfolie B	122
Tabelle 19: Standard-Laminationsprozessparametersätze für Isolationsfolie A und Isolationsfolie B.....	123
Tabelle 20: Messergebnisse der thermischen Charakterisierung der laminierten Isolationsfolie A bei Raumtemperatur $RT = 25\text{ °C}$	124
Tabelle 21: Übersicht über alle Experimente beim Isolationstest von Isolationsfolie A	129
Tabelle 22: Standardparameter für das keramikbasierte Leistungsmodul.....	149
Tabelle 23: Parametrisierung der Die-Attach-Schicht	149
Tabelle 24: Parametrisierung der Stärke der Keramik- und Kupferschichten (keramikbasiertes Leistungsmodul)	150
Tabelle 25: Parametrisierung der Chipkantenlänge, der Kantenlänge der oberen Kupferschicht und Kantenlänge des Keramiksubstrates (Keramik und untere Kupferschicht)	151
Tabelle 26: Parametrisierung der Stärke der Grundplatte (keramikbasiertes Leistungsmodul).....	152

Tabelle 27: Parametrisierung der Kantenlänge der Grundplatte (keramikbasiertes Leistungsmodul)	153
Tabelle 28: Standardparameter für das Kupferstanzgitterleistungsmodul.....	154
Tabelle 29: Parametrisierung Stärke des Kupferstanzgitters.....	155
Tabelle 30: Parametrisierung der Kantenlänge des Leadframe-Substrates	155
Tabelle 31: Parametrisierung der Stärke Grundplatte (Kupferstanzgitterleistungsmodul).....	156
Tabelle 32: Parametrisierung der Kantenlänge der Grundplatte (Kupferstanzgitterleistungsmodul).....	156
Tabelle 33: Zuordnung der unterschiedlichen Siebe zu den Layouts für den Aufbau eines Multilayer-Dickfilm-Substrates	160
Tabelle 34: Übersicht über alle Versuche eines 24 – Zentral zusammengesetzter Versuchsplan.....	167
Tabelle 35: Übersicht über alle Versuche beim Vergleich zwischen Ag- und Cu-Drucksintern	172
Tabelle 36: Gefügeanalyse der Cu-Sinterverbindung in Abhängigkeit des Sinterdruckes und der Sintertemperatur.....	176
Tabelle 37: Metallisierung des Si-Widerstands chips und des DCB-Substrates	179
Tabelle 38: Parameterraum bei der Optimierung des drucklosen Cu-Sinterprozesses.....	179
Tabelle 39: Diffusionskoeffizienten von Cu, Ni, Ag und Au bei einer Temperatur von etwa 700 °C [206]	180

Vorwort und Danksagung

Diese wissenschaftliche Arbeit entstand am Institut für Prozessdatenverarbeitung und Elektronik (IPE) des Karlsruher Instituts für Technologie (KIT) in Kooperation mit dem Schaeffler Hub for Advanced Research am Karlsruher Institut für Technologie (SHARE am KIT).

Für das Gelingen und für die Ermöglichung dieser Dissertation möchte ich mich bei meinem Doktorvater Prof. Dr. rer. nat. Marc Weber bedanken. Sie haben mir viel Vertrauen entgegengebracht und akademische Freiräume für meine wissenschaftliche Tätigkeit eingeräumt. Ebenso möchte ich mich herzlich bei meinem Korreferenten Prof. Dr.-Ing. Marc Hiller für die Begutachtung meiner Dissertation bedanken. Ich danke die Mitglieder des Prüfungsausschusses Prof. Dr. Tabea Arndt, Prof. Dr. Mathias Noe, Prof. Dr.-Ing. Dr. h. c. Jürgen Becker für die Durchführung der mündlichen Prüfung.

Insbesondere möchte ich mich beim Dr.-Ing. Thomas Blank (IPE) und Dr.-Ing. Johannes Kolb (SHARE am KIT) für die fachliche Betreuung, die zahlreichen Anregungen und Diskussionen bedanken. Für die finanzielle Unterstützung dieses Projektes bedanke ich mich beim SHARE am KIT. Namentlich bedanke mich beim Dr.-Ing. Ralf Stopp (SHARE am KIT) für das entgegengebrachte Vertrauen in meiner Arbeit.

Das Gelingen dieser Arbeit ist eine Teamleistung. Ich möchte mich bei den Kollegen und Studenten am IPE für die Unterstützung und für die sehr gute Zusammenarbeit der letzten Jahre bedanken. Besonderen Dank richte ich an die Kollegen Dr.-Ing. Michael Meisser, Dipl.-Phys. Helge Wurst, M. Sc. Dai Ishikawa für fachliche Diskussionen und für die Unterstützung bei der Charakterisierung der Leistungsmodule und Materialproben. Der Aufbau von Prototypenleistungsmodulen, Präparation von Materialproben und Aufbau von elektronischen Schaltungen sind wesentliche Bestandteile dieser Arbeit. Für die unterstützenden Arbeiten im Reinraum und im SMD-Labor möchte ich mich bei den Kollegen Benjamin Leyrer, Bernhard Oswald, Uwe Bauer, Alexander Bacher bedanken. Für die Fertigung und Bereitstellung von mechanischen Komponenten danke ich den Kollegen aus der Mechanik-Werkstatt Tibor Piller und Peter Schöck. Im Rahmen meiner Tätigkeit am IPE habe ich die Möglichkeit bekommen zahlreiche studentische Arbeiten und Praktika zu betreuen. Die Ergebnisse aus diesen Arbeiten haben wertvolle Beiträge für meine Arbeit und wissenschaftlichen Publikationen geliefert. Dafür möchte ich mich bei den studentischen Kräften bedanken.

Abschließend möchte mich bei meiner Familie bedanken, die mich ermutigt haben, diese Promotion durchzuführen.

Karlsruhe, im Februar 2021

Bao Ngoc An

1 Einleitung

1.1 Elektromobilität und Energiewende als Impulsgeber für die Weiterentwicklung der Leistungselektronik

Bereits in den 1830er-Jahren wurden elektrische Antriebe für die Fortbewegung auf der Straße, der Schiene und auf der Wasserstraße eingesetzt. Diese Antriebsart existiert daher schon länger als Verbrennungsmotoren. Auch wenn die damalige Zeit eher von Pferdekutschen geprägt war, betrug der Anteil der elektrisch getriebenen Fahrzeuge in einer Großstadt, wie beispielsweise New York, im Jahr 1901 in etwa 50 % der gesamten Automobile [1]. Die Verbrennungsmotoren begannen, sich ab den 1920er-Jahren gegenüber dem elektrischen Antrieb durchzusetzen. Zum einen konnte der Komfort und die Zuverlässigkeit für den Nutzer durch neue Funktionen, wie z. B. elektrische Anlasser für Verbrennungsmotoren, gesteigert werden und zum anderen konnte bisher keine wirtschaftliche und zuverlässige Stromquelle für den elektrischen Antrieb gefunden werden. Fortan wurden elektrische Antriebe zum größten Teil im Schienenverkehr und in Nischenanwendungen, wie z. B. Gabelstapler, eingesetzt. Seit den 60er-Jahren des vergangenen Jahrhunderts bildete sich in der Gesellschaft zunehmend ein stärkeres Umweltbewusstsein aus [2], das sich später in strengeren Gesetzgebungen in Bezug auf den Umweltschutz äußerte. Zudem zeigten die Ölkrisen in den 1970er-Jahren, dass die Ressourcen für fossile Energieträger endlich sind. Die Europäische Kommission hat im Jahre 2011 beschlossen bis zum Jahr 2050 die Treibhausgase im Verkehr in Bezug auf das Jahr 1990 um 60 % zu reduzieren. Der Verkehr ist für etwa ein Drittel des Energieverbrauchs verantwortlich und etwa 70 % aller Emissionen werden im Straßenverkehr durch Lkw und Pkw verursacht. Daher gilt für alle neu zugelassenen Fahrzeuge bereits seit dem Jahr 2020 der verschärfte Emissionsgrenzwert von $95 \text{ gCO}_2 \text{ km}^{-1}$ [3]. Zahlreiche Städte in Deutschland und Europa überschreiten häufig die Grenzwerte für Feinstaub und Stickoxide (NO_2) und beeinträchtigen die Luftqualität in den Ballungsräumen. Neue elektrische Antriebstechnologien waren zu Beginn jedoch recht teuer, sodass diese beim Verbraucher wenig Akzeptanz fanden. Durch gesetzliche Rahmenbedingungen konnte die Entwicklung der Elektromobilität seit dem Jahre 2009 vorangetrieben werden. Mit strengeren Emissionsgrenzwerten, höherer steuerlicher Belastung für fossile Kraftstoffe und staatlichen Förderungen beim Kauf eines Elektrofahrzeuges wird die Wirtschaftlichkeit Stück für Stück in Richtung der alternativen Antriebe verschoben. Die Fahrzeughersteller optimieren den Verbrennungsmotor durch eine stufenweise zunehmende Elektrifizierung des Antriebsstranges. Tabelle 1 fasst die einzelnen Elektrifizierungsstufen von einem Verbrennungsmotor zu einem reinen elektrischen Antrieb zusammen. Der „Nationale Entwicklungsplan Elektromobilität“ ist Teil der Klimaschutzziele der deutschen Bundesregierung [4]. Bereits seit den 1990er-Jahren wurde die Grundlage für die Energiewende in Deutschland durch das „Stromeinspeisungsgesetz“ geschaffen. Dieses Gesetz wurde später durch das „Erneuerbare-Energien-Gesetz“ (EEG) ersetzt, um den Anteil an erneuerbaren Energien im deutschen Strommix zu erhöhen [5]. Politisch wurde in Deutschland beschlossen bis zum Jahr 2022 aus der Kernenergie und bis zum Jahr 2035 aus der Kohleverstromung auszusteigen. Bereits heute beträgt der Anteil an erneuerbaren Energien etwa 55 % im gesamten deutschen Strommix. Dieser Anteil soll bis 2035 auf fast 80 % ansteigen [6]. Diese politisch-gesellschaftlichen Entscheidungen haben auch Auswirkungen auf ökonomische Aspekte und stellen die Gesellschaft vor neuen technologischen Herausforderungen. In Bezug auf die Elektromobilität kommt der Entwicklung der Batterie eine zentrale Rolle zu, da diese den Hauptkostenfaktor in einem Elektrofahrzeug dargestellt und die Reichweite des Fahrzeuges maßgeblich bestimmt. Daneben ist die Weiterentwicklung des Elektromotors und der Leistungselektronik bedeutsam.

Diese beiden Hauptkomponenten im elektrischen Antriebsstrang beeinflussen im Wesentlichen die Effizienz des elektrisch betriebenen Fahrzeuges und tragen ebenso dazu bei, die Reichweite des Fahrzeuges zu steigern. Hinzu kommt, dass die Leistungselektronik für das Ladesystem und für die On-Board-Stromversorgung eingesetzt wird. Bei einem Ladesystem liegt der Fokus auf schnelles Laden, um der Reichweitenlimitierung bei Elektrofahrzeugen entgegenzuwirken. Bei der Anwendung als Motorinverter oder On-Board-Hilfsinverter spielen Anforderungen wie Effizienz, Leistungsdichte und Kosten eine wichtige Rolle. Im Bereich der Energieversorgung wird die Leistungselektronik als Energieumformer benötigt, um die erzeugte Energie ins Netz einzuspeisen. Insbesondere werden für die Anwendung im Bereich Photovoltaik hocheffiziente Solarwechselrichter benötigt. Die Leistungselektronik ist nach der Batterie eine Komponente mit einer bedeutenden Wertschöpfung für den Industriestandort in Deutschland und in Europa [7]. Die Forschung und Weiterentwicklung im Bereich der Leistungselektronik ist von großer Bedeutung, um die Innovation, die technische Kompetenz und die Wettbewerbsfähigkeit zu erhalten.

Tabelle 1: Übersicht über unterschiedliche Hybriddisierungsgrade bei einem Verbrennungsmotor [8]

Hybridsystem bzw. Antriebssystem	Funktionsumfang
Verbrennungsmotor	Antrieb auf Basis fossiler Energieträger
Micro-Hybrid	Start-Stopp-Automatik
Mild-Hybrid	zusätzlich zur vorheriger Funktion: <ul style="list-style-type: none"> • Bremsenergieerückgewinnung • Drehmomentunterstützung beim Beschleunigen durch einen Riemenstartergenerator
Full-Hybrid	zusätzlich zu vorherigen Funktionen: <ul style="list-style-type: none"> • Leistungsunterstützung • begrenztes rein elektrisches Fahren für wenige Kilometer durch ein Hochvolt-Antriebssystem
Plug-In-Hybrid (PHEV)	zusätzlich zu vorherigen Funktionen: <ul style="list-style-type: none"> • begrenztes rein elektrisches Fahren für etwa 50 Kilometer durch ein Hochvolt-Antriebssystem • Aufladung an Ladestationen bzw. Wallbox
Batterieelektrisches Fahrzeug (BEV)	reines elektrisches Fahren

1.2 Zielsetzung der Promotionsarbeit

Wide-Bandgap-Leistungshalbleiter können mit einer deutlich höheren Flanksteilheit schalten, sodass die Schaltverluste deutlich verringert werden können. In Kombination mit einem vergleichsweise geringen Durchlassverlust lässt sich die Effizienz des leistungselektronischen Systems steigern. Nach aktuellem Stand der Technik werden GaN-Leistungshalbleiter für kleinere Spannungs- und Leistungsbereiche eingesetzt. SiC-Leistungshalbleiter können dagegen bei höheren Spannungen und Strömen betrieben werden. Durch stetige Optimierungen der Bauteilstrukturen und Weiterentwicklung der Herstellungsprozesse von SiC konnte die Herstellungskosten signifikant verringert werden. Gemäß Marktforschungen von „Compound Semiconductor Market“ und „Yolé Développement“ lag 2018 der gesamte Marktvolumen von SiC bei etwa 420 Millionen US\$. Der Bedarf wird voraussichtlich bis zum Jahr 2024 im Durchschnitt um jährlich 29 % zunehmen auf ein Gesamtvolumen von etwa 2 Milliarden US\$. Der Automotive-Anteil am Marktsegment wird von 27 % in 2018 auf 49 % in 2024 steigen. Dennoch sind Si-Leistungshalbleiter zuverlässig, leistungsstark und nach heutigem Stand kostengünstiger als SiC. Für Niederspannungsbereiche und für Low-Cost-Anwendungen im Automotive-Bereich sind diese aktuell unverzichtbar.

In einem leistungselektronischen Modul werden die Leistungshalbleiter mit einem Substrat verbunden. Dieses Substrat wiederum wird auf einem Kühlkörper thermisch angebunden. Während des Betriebs der Leistungselektronik entsteht im Leistungshalbleiter Wärme, die zum Kühlkörper geführt werden muss. Die maximal erlaubte Sperrschichttemperatur im Leistungshalbleiter ist durch die Bauteileigenschaften limitiert. Durch die thermische Anbindung zum Kühlkörper entsteht im Leistungsmodul ein Temperaturgradient zwischen Chip und Kühlkörper. Aufgrund der unterschiedlichen Temperaturen in den einzelnen Schichten und der unterschiedlichen Ausdehnungskoeffizienten der einzelnen Materialschichten entstehen thermomechanische Spannungen an den Verbindungsstellen. Aufgrund der zyklischen Temperaturwechsel entstehen Wechselbelastungen an den Verbindungsstellen, die zum Ausfall des Leistungsmoduls führen können. Der Einsatz von SiC-Leistungshalbleitern kann zu höheren Temperaturhuben und Belastungen führen, die den Degradationsvorgang der Verbindungsstellen beschleunigen. Insbesondere die Verbindung zwischen Chip und Substrat ist eine kritische Degradationsstelle. Forschungsergebnisse haben gezeigt, dass die Zuverlässigkeit eines Leistungsmoduls durch die Sintertechnologie signifikant zunimmt. Zu Beginn dieser wissenschaftlichen Arbeit war das Silbersintern stark im Fokus der Forschung. Das Kupfersintern ist eine Weiterentwicklung in der Sintertechnologie. Ein wesentliches Thema dieser Arbeit war es, diese beiden neuen Sintertechnologien zu evaluieren und zu vergleichen. Um das Potential von einem SiC-Leistungshalbleiter möglichst ausschöpfen zu können, müssen die parasitären Induktivitäten im Leistungsmodul minimiert werden. Ein weiteres Ziel dieser Arbeit besteht darin Moduldesignkonzepte und neue Aufbau- und Verbindungstechniken (AVT) zu erarbeiten, die einen niederinduktiven Modulaufbau ermöglichen. Um einen Leistungshalbleiter in vollem Umfang ausnutzen zu können, müssen diese optimal gekühlt sein. Theoretisch betrachtet kann die Kühlleistung durch eine beidseitige Kühlung verdoppelt werden. In dieser Arbeit wird ein neuartiges Modulaufbaukonzept für die beidseitige Kühlung wissenschaftlich untersucht.

Die Zielsetzungen dieser Promotionsarbeit können wie folgt zusammengefasst werden:

- Ermittlung der technologischen Anforderungen an das Design des Leistungsmoduls für den optimalen Einsatz von SiC-Leistungshalbleitern
- Evaluierung von Silber- und Kupfersinterpasten für eine zuverlässige Verbindung zwischen Leistungshalbleiter und Substrat
- Erarbeitung von neuartigen Moduldesignkonzepten und AVT für den Aufbau von hochintegrierten Leistungsmodulen
- Entwurf und Aufbau eines neuartigen Designkonzeptes zur Realisierung eines Leistungsmoduls mit einer beidseitigen Kühlung

2 Aufbau- und Verbindungstechnik und Charakterisierung von Leistungsmodulen

Das Traktionssystem eines batterieelektrischen Fahrzeuges bzw. eines Hybridfahrzeuges besteht aus einer Batterie, einer Leistungselektronik und einer elektrischen Maschine. Dieses Traktionssystem wandelt die in der Batterie gespeicherte elektrische Energie in kinetische Energie für den Vortrieb des Fahrzeuges um. Im Falle einer Rekuperation wird der Energiefluss umgekehrt.

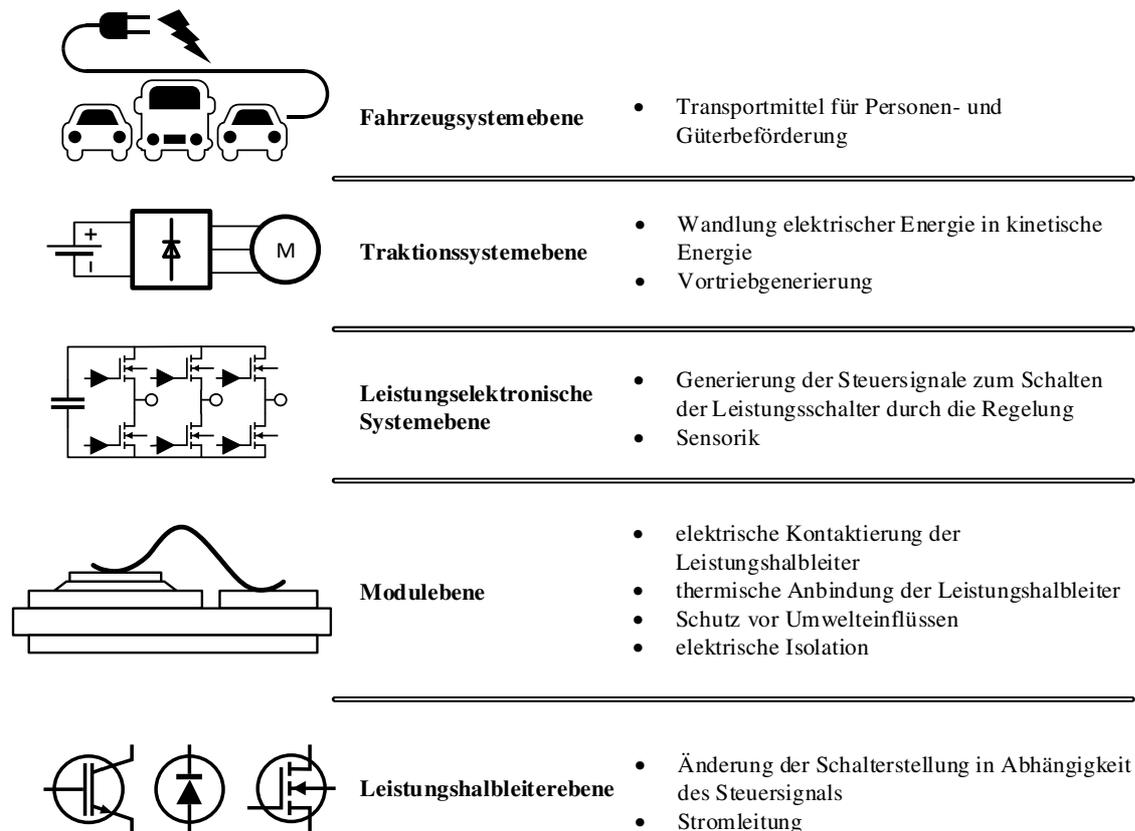


Abbildung 1: Übersicht über die einzelnen Funktionsebenen in einem batterieelektrischen Fahrzeug

Wie in Abbildung 1 dargestellt, ist das leistungselektronische System ein Teilsystem des Traktionssystems. In [9] wird die Leistungselektronik als ein elektronischer Schaltkreis, der den elektrischen Energiefluss kontrollieren kann, definiert. [10] ergänzt, dass das Ziel der Leistungselektronik darin besteht eine möglichst effiziente und zuverlässige Energiewandlung zwischen einer Quelle und einem Verbraucher zu realisieren. Eine Leistungselektronik besteht aus einer Steuer- und Recheneinheit, aus einem Leistungsteil mit Leistungsschalter sowie aus passiven Komponenten und Sensoriken zur Erfassung des aktuellen Betriebszustands des Traktionssystems. Auf der Recheneinheit des leistungselektronischen Systems ist ein Regelalgorithmus implementiert, der aus den von der Fahrzeugebene vorgegebenen Sollwerten (Drehzahl, Drehmoment) und den von den Sensoren erfassten Messwerten (z.B. Ströme, Spannungen, aktuelle Drehzahl und Rotorlage) die Schaltsignale für die Leistungshalbleiter generiert. Durch die Änderung der Schalterstellung lässt sich der Energiefluss zwischen dem Energiespeicher und der elektrischen Maschine regeln. Das leistungselektronische System lässt sich wiederum in eine Modul- und in eine Leistungshalbleiterebene

untergliedern. Gemäß [11] lässt der Begriff Leistungshalbleiter viel Raum für Interpretation. Ein Halbleiterbauelement mit einer Stromtragfähigkeit von mindestens 1 A kann als ein Leistungshalbleiter definiert werden. Nach [12] soll ein Leistungshalbleiter eine bestimmte Dotierungsstruktur und eine ausreichend hohe Durchbruchspannung größer als ein Logikpegel (z. B. 5V-TTL) aufweisen. Nach einer Definition in [13] besteht die Aufgabe der Aufbau- und Verbindungstechnik darin, die Leistungshalbleiter elektrisch zu kontaktieren, diese thermisch an einer Wärmesenke anzubinden und vor Umwelteinflüssen zu schützen.

Im Folgenden werden zunächst auf der Leistungshalbleiterebene die unterschiedlichen Leistungshalbleitermaterialien, -strukturen sowie die Herstellungsprozesse dargelegt. Auf der Modulebene werden die unterschiedlichen Kontaktierungstechnologien beschrieben, die eingesetzt werden, um einen Leistungshalbleiter thermisch, elektrisch und zuverlässig in einem Gehäuse zu integrieren. Anschließend wird beschrieben, wie die thermischen und elektrischen Eigenschaften eines Leistungsmoduls bestimmt werden können.

2.1 Leistungselektronische Bauelemente

Insbesondere die Anwendungen in der Elektromobilität und in der Energietechnik, wie beispielsweise Motorinverter und Solarwechselrichter, stellen höhere Anforderungen an leistungselektronische Systeme im Hinblick auf Energieeffizienz und Leistungsdichte. Diese Optimierung kann im Wesentlichen durch den Einsatz von neuen Wide-Bandgap-Halbleitermaterialien (WBG-Halbleitermaterialien) mit breiten Bandlücken, wie z. B. Siliziumkarbid (SiC) und Galliumnitrid (GaN), in leistungselektronischen Systemen realisiert werden. Während des Zeitraums dieser Promotion waren GaN-Bauelemente noch nicht technisch ausgereift. Die Stromtragfähigkeiten der kommerziell verfügbaren Bauelemente waren relativ gering und das Verhältnis zwischen Leistung zu Kosten war deutlich geringer als bei den Silizium- und SiC-Bauelementen. Aus diesen Gründen werden in dieser Arbeit GaN-Leistungshalbleiter nicht berücksichtigt. In dieser Arbeit werden ausschließlich Leistungshalbleiter mit einer Spannungsfestigkeit größer als 400 V betrachtet.

2.1.1 Halbleitermaterialien

Reine Halbleiter besitzen im Grundzustand keine freien Elektronen und sind bei tiefen Temperaturen isolierend. Gemäß [14] haben Halbleiter bei Raumtemperatur eine intrinsische Leitfähigkeit von mindestens $10^{-10} \text{ S cm}^{-1}$. In Abbildung 2 sind Halbleitermaterialien in elementare Halbleiter bzw. Verbindungshalbleiter klassifiziert. Elementare Halbleiter bestehen im Grundzustand ausschließlich aus einem einzigen Element in der Hauptgruppe IV oder VI im Periodensystem der Elemente (PSE). Dahingegen bestehen Verbindungshalbleiter aus mindestens zwei Elementen [15]. Für die Anwendung als Leistungshalbleiter nehmen elementare Halbleiter aus der Hauptgruppe IV wie beispielsweise Silizium (Si) und die binären Verbindungshalbleiter von den Hauptgruppen III und V wie Galliumarsenid (GaAs) und GaN sowie von der Hauptgruppe IV wie SiC eine wichtige Rolle ein. Die atomaren Strukturen in Si und SiC werden durch eine kovalente Bindung gehalten. Dabei überlappen sich die äußeren Elektronenschalen und bilden eine Elektronenbrücke, die aus einer stabilen Elektronenkonfiguration aus zwei bzw. acht Außenelektronen besteht. Si und C haben jeweils vier Außenelektronen (Hauptgruppe IV im PSE) und benötigen daher für die kovalente Bindung vier benachbarte Atome (Abbildung 2).

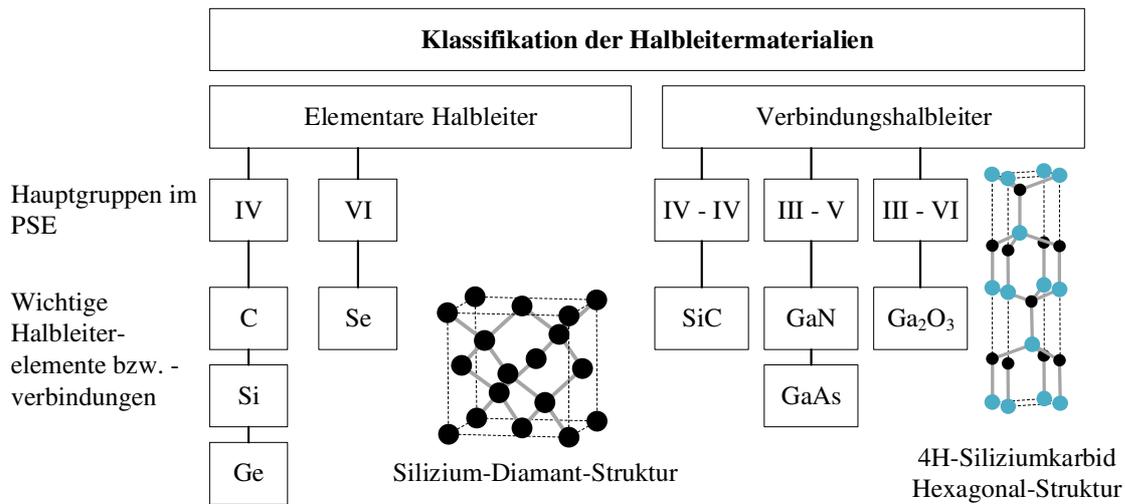


Abbildung 2: Klassifikation der Leistungshalbleitermaterialien

Si ist nach dem Kristallstrukturtyp Diamantstruktur aufgebaut, während SiC aufgrund der Polytypie des Materials in unterschiedlichen Kombinationen von hexagonalen Schichtungsstrukturen aufgebaut ist. Tabelle 2 zeigt die drei möglichen Polytypen 3C, 4H und 6H von SiC auf. Dabei kann die Kristallstruktur eine Zinkblendestruktur oder eine hexagonale Struktur annehmen.

Tabelle 2: Gitterstruktur und Bandlücke von unterschiedlichen SiC-Polytypen

Eigenschaften	Einheit	Polytypen			
		2H-SiC	3C-SiC	4H-SiC	6H-SiC
Kristallstruktur	-	Wurzit	Diamant	Hexagonal	Hexagonal
Stapelsequenz	-	AB	ABC	ABCB	ABCACB
Gitterkonstante in a	[Å]	3,07	4,36	3,07	3,07
Gitterkonstante in c	[Å]	5,05	-	10,05	15,12
Bandlücke	[eV]	3,33	2,39	3,26	3,02

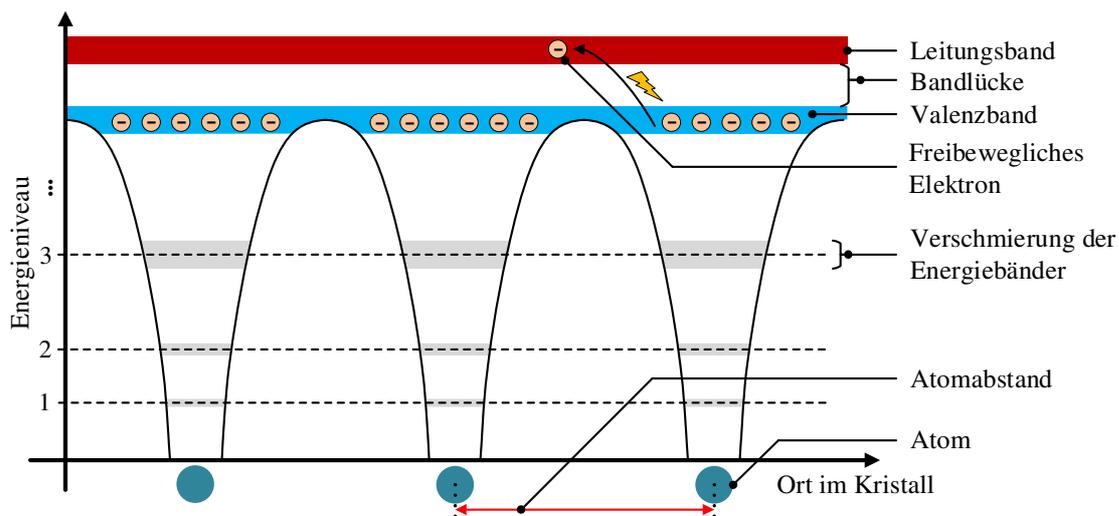


Abbildung 3: Darstellung der unterschiedlichen Energieniveaus in einem Bändermodell von Atomen in einer gitterförmigen Anordnung (nach [16])

Das quantenmechanische Energiebändermodell beschreibt den Energiezustand der Elektronen in einem Atom bzw. in einer Kristallstruktur (Abbildung 3). Die Elektronen in einem Atom haben diskrete Energieniveaus. In einer Kristallstruktur überlappen sich die Elektronenschalen und die Elektronen stehen in Wechselwirkung zueinander, sodass die vielen Energieniveaus zu Energiebändern verschmieren [17]. Zwischen den einzelnen Energiebändern sind Energieniveaus, die nicht von Elektronen besetzt werden (verbotene Energiewerte) [18]. Das Valenz- und Leitungsband wird bei der Beschreibung der elektrischen Leitfähigkeit des Halbleiters betrachtet. Dabei ist das Valenzband das höchstgelegene Energieband, das mit Elektronen voll belegt ist. Um einen Stromfluss zu erzeugen, müssen Elektronen durch Zuführung von Energie vom Valenzband in das darüberliegende Leitungsband gehoben werden [14].

In einem Banddiagramm in Abbildung 4 werden die Energiezustände der Elektronen im Valenzband und im Leitungsband dargestellt. Aufgrund der verschiedenen Kristallstrukturen und Bindungsabstände der Atome im Kristallgitter weisen die Halbleitermaterialien unterschiedliche Banddiagramme auf. Aus dem Banddiagramm lässt sich die Bandlücke zwischen dem Valenz- und Leitungsband bestimmen. Diese ergibt sich aus der Energiedifferenz zwischen dem Minimum des Leitungsbandes und dem Maximum des Valenzbandes. Abbildung 4 zeigt, dass die Bandlücke von 4H-SiC etwa um den Faktor 2,9 größer ist als die von Si.

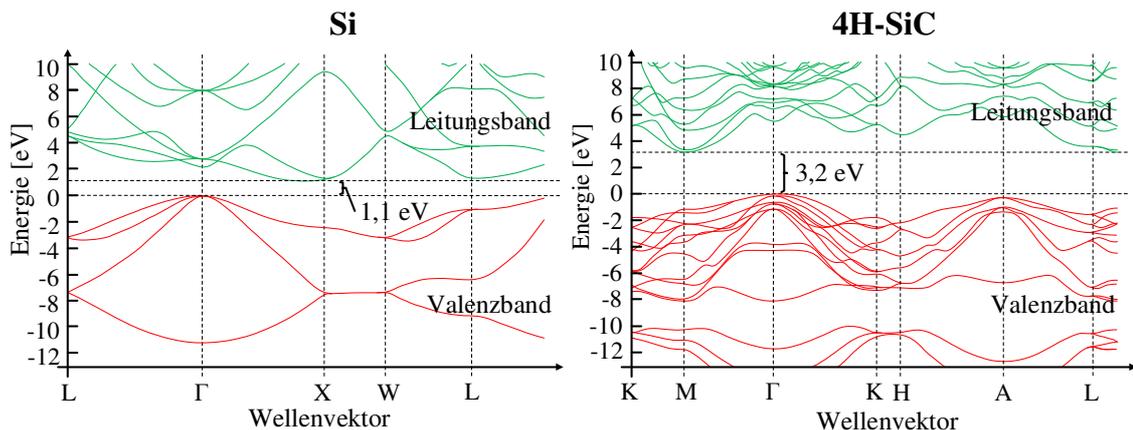


Abbildung 4: Banddiagramme von einem Silizium- und einem 4H-Siliziumkarbidkristall [19, 20]

Die größere Bandlücke W_g des Siliziumkarbids hat zur Folge, dass die kritische Feldstärke des Halbleitermaterials E_c bei gleicher Dotierkonzentration etwa um den Faktor 10 höher ist als bei Si. Entsprechend ist bei gleicher Durchbruchspannung U_{BR} die Verarmungszone w in einem SiC-Leistungshalbleiter um den gleichen Faktor verkleinert (Gleichung (2.1)) [21]. SiC-Leistungshalbleiter werden in der Regel in Hochvoltanwendungen eingesetzt. Die Gleichung (2.1) beschreibt einen pn-Übergang, der in Sperrichtung eingestellt ist. Dabei wirkt die kritische Feldstärke in jeweils einer Hälfte der Verarmungszone.

$$U_{BR} = \frac{E_c \cdot w}{2} \quad (2.1)$$

Eine Alternative wäre es, die negative Dotierkonzentration N_D bei gleichbleibender U_{BR} zu verringern, um den Durchlasswiderstand $R_{DS,on}$ bei einem MOSFET zu verringern. Diese ist umgekehrt proportional zur N_D , umgekehrt proportional zur Elektronenmobilität μ_n und proportional zu E_c^3 [22]. Obwohl die μ_n von 4H-SiC etwa 30% geringer ist als von Si zeigt die Gleichung (2.2), dass $R_{DS,on}$ bei gleicher U_{BR} um etwa den Faktor 700 verringert werden kann.

$$R_{DS,on} = \frac{4 \cdot U_{BR}^2}{\varepsilon \cdot \mu_n \cdot E_c^3} \quad (2.2)$$

2.1.2 Herstellungsprozess von SiC-Wafern

Für die Herstellung von SiC-Wafern muss zunächst das Ausgangsmaterial SiC-Pulver aus Siliziumoxid- (SiO_2) und Kohlenstoffpulver (C) im Ofen durch gleichmäßiges Mischen bei einer Temperatur von $1400\text{ }^\circ\text{C}$ bis $1500\text{ }^\circ\text{C}$ und einem Druck von $0,133\text{ mbar}$ synthetisiert werden. Dabei wird SiO_2 gemäß folgender Reaktionsgleichung reduziert [23]:



Die Züchtung des SiC-Kristalls wird durch ein Sublimationsverfahren in einem speziellen Induktionsofen durchgeführt (Abbildung 5). Im Induktionsofen wird ein elektrisch leitfähiger Graphittiegel platziert. Dieser ist mit dem SiC-Pulver mit einer Partikelgröße von $20\text{ }\mu\text{m}$ bis $200\text{ }\mu\text{m}$ gefüllt und am Deckel des Tiegels wird ein SiC-Keim befestigt [21]. Dieser Keim ist ein qualitativ hochwertiger SiC-Wafer mit einer möglichst geringen Defektdichte.

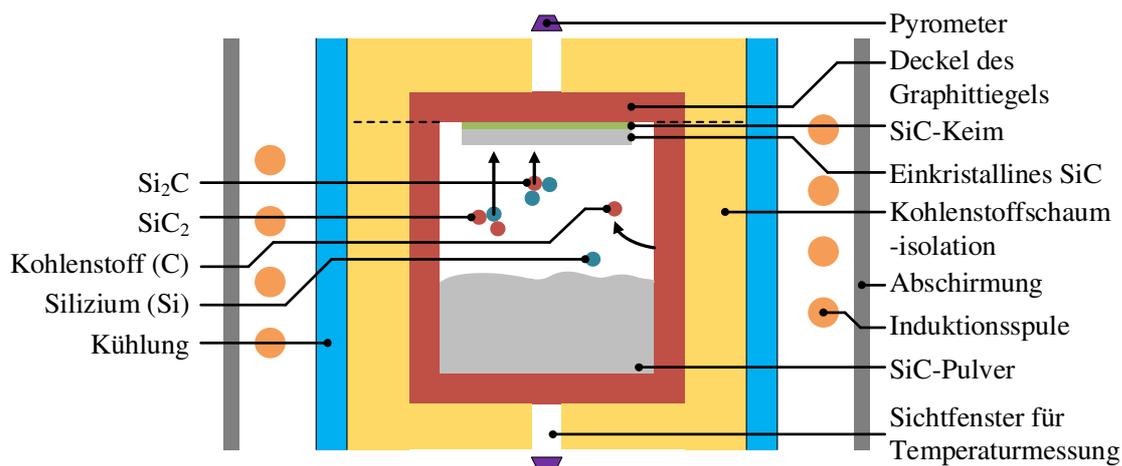


Abbildung 5: Querschnitt eines Induktionsofens zur Züchtung von SiC Kristallen

Durch die Bestromung der außen anliegenden Induktionsspulen wird ein homogenes Magnetfeld im Innenraum des Ofens erzeugt, das Wirbelströme auf der Oberfläche des leitfähigen Graphittiegels induziert und den Tiegel zu Beginn des Prozesses auf etwa $1000\text{ }^\circ\text{C}$ erhitzt. Dabei werden organische Verunreinigungen, die während des Befüllens des Graphittiegels an den Oberflächen haften, beseitigt. Anschließend wird der Innenraum evakuiert und mit Argongas geflutet. Im nächsten Schritt wird das SiC-Pulver im Tiegel auf etwa $2400\text{ }^\circ\text{C}$ erhitzt, sodass das SiC-Material verdampft. Das gasförmige Material steigt auf und kristallisiert sich am SiC-Keim, das eine geringere Temperatur von etwa $2300\text{ }^\circ\text{C}$ aufweist. Der SiC-Keim hat einen Abstand von etwa 20 mm bis 40 mm zu der SiC-Pulverquelle. Der Innenraum des Ofens ist zur Umgebung hin durch eine starke Schicht aus Kohlenstoffschaumisolierung und durch eine Glaswand mit integrierter Flüssigkeitskühlung thermisch isoliert. Der gesamte Induktionsofen ist nach außen hin magnetisch abgeschirmt. Dieses Verfahren wird als Sublimationszüchtung (engl. Seeded Sublimation Method) bzw. modifizierte Lely-Methode (engl. Modified Lely Method) bezeichnet, da das SiC-Material vom festen Zustand direkt in den gasförmigen Zustand bei einer Temperatur von etwa $1800\text{ }^\circ\text{C}$ bis $2400\text{ }^\circ\text{C}$ übergeht. Gemäß des Phasendiagramms aus Silizium und Kohlenstoff gibt es keine flüssige Phase von SiC bei einem Druck

von 1 atm [22]. Nach der Sublimation von SiC liegen gemäß den Reaktionsgleichungen (2.4) und (2.5) Si₂C und SiC₂ in gasförmigem Zustand vor und ein Teil von Si₂C wird weiter in SiC₂ und Si transformiert. Kondensieren diese gasförmigen Bestandteile am SiC-Keim, waschen diese im Idealfall mit der gleichen polymorphen Struktur des Keimes weiter. Die Reaktionen in den Gleichungen (2.4) und (2.5) werden dabei in umgekehrter Richtung angewendet.



Bei einer Temperatur größer als 2830 °C kann das Silizium in Si₂C in den gasförmigen Zustand übergehen und die SiC-Quelle wird mit Kohlenstoff angereichert (Gleichung (2.6)). Nach der Züchtung bleibt ein Teil von dem Kohlenstoffrest als Abfallprodukt im Graphittiegel übrig. Der Kohlenstoff an den Randflächen des Tiegels verdampft und könnte sich im SiC-Keim niederschlagen und im Kristallwachstum eingeschlossen werden. Daher wird zusätzlich Silizium in das SiC-Pulver beigefügt, um den Prozess mit Silizium anzureichern [21].



Die Prozesstemperatur ist ein wichtiger Parameter, denn diese bestimmt die Menge des SiC-Pulvers, die während des Prozesslaufes sublimiert. Die Temperaturdifferenz zwischen dem SiC-Pulver und dem SiC-Keim beeinflusst die Transportrate des Materials von der Quelle zum Keim. An der Ober- und Unterseite des Induktionsofens ist jeweils ein Pyrometer verbaut, der die Oberflächentemperaturen am Deckel und am Boden des Graphittiegels durch ein optisches Messverfahren erfasst. Aus den bekannten Oberflächentemperaturen und der elektrischen Leistung des Induktionsofens lässt sich die Temperatur des SiC Pulvers bestimmen. Mit sinkendem Druck bis 0,1 mbar im Tiegel nimmt der Diffusionsprozess linear zu [21]. Aus diesem Grund findet der Kristallzüchtungsprozess bei verringertem Druck statt. Die Wachstumsrate bei der SiC-Kristallzüchtung beträgt nur etwa 1 mm pro Stunde. Im Vergleich dazu wächst das Siliziumkristall bei der Züchtung nach dem Czochralski-Ziehverfahren um mehrere Millimeter pro Minute. Der Si-Kristalldurchmesser wächst um ein Vielfaches des ursprünglichen Durchmessers des Si-Keimes. Das SiC-Kristall besitzt jedoch eine höhere Packungsdichte als das SiC-Pulver, sodass die Länge des Kristalls durch die Füllhöhe des SiC-Pulvers im Tiegel begrenzt ist. Die Größe des Kristalls, die den Waferdurchmesser bestimmt, ist bei der Standardzüchtung gleich dem Keimdurchmesser. Für die n-Dotierung des Wafersubstrates wird Stickstoff (N) in den Tiegel geleitet, sodass der Stickstoff den Kohlenstoff substituieren kann [24]. Dieses Verfahren ist nach aktuellem Stand der Technik die am häufigsten eingesetzte Prozesstechnik zur Herstellung von SiC-Wafern mit 6H- bzw. 4H-Polytypen [21]. Für die Herstellung von Leistungshalbleiter werden SiC Wafer mit dem 4H-Polytyp

Nach dem Kristallzüchtungsprozess wird die Orientierung des SiC-Kristalls mittels Röntgenstrahlung bestimmt. Die Kristallorientierung gibt Aufschluss über die Verkippung des SiC-Kristalls, die für den darauffolgenden Schleifprozess erforderlich ist. Beim Schleifen des SiC-Kristalls wird die Ober- bzw. Unterseite glatt und die Seitenfläche rund geschliffen. Das geschliffene SiC-Kristall wird für den Trennprozess auf eine Opfergraphithalterung geklebt und in die in Abbildung 6 dargestellte Sägeeinrichtung gespannt. Das SiC-Kristall wird von einem 100 µm bis 140 µm dünnen Stahldraht unter Zugabe einer speziellen Emulsion mit Diamantpartikeln geschnitten [24, 25]. Aufgrund der Härte des SiC Materials von 9,3 Mohs gehört der Diamant zu den wenigen Materialien, die in der Lage sind, in SiC zu schneiden.

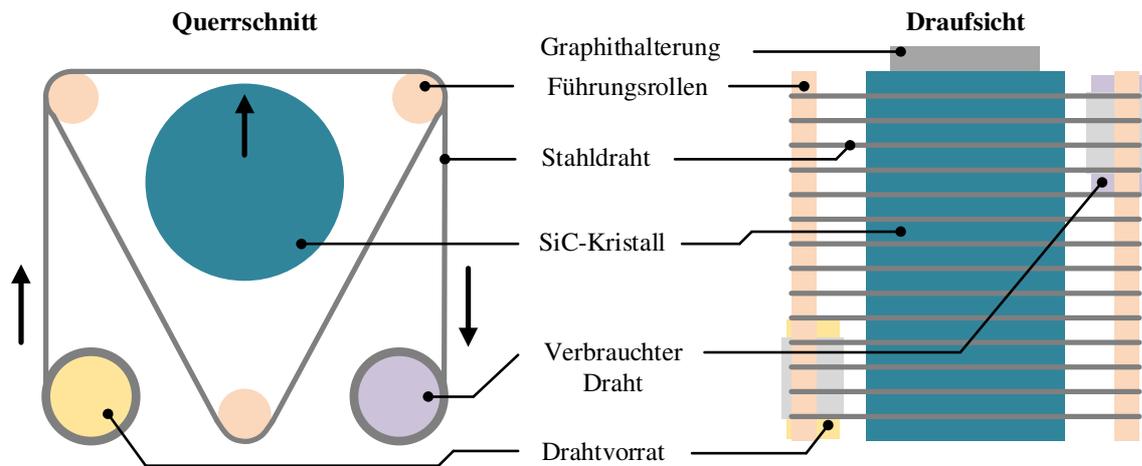


Abbildung 6: Aufbau einer Drahtsägeeinrichtung zur Trennung des geschliffenen SiC-Kristalls in einzelne SiC-Waferscheiben

Nach dem Trennen werden die Oberflächen des Wafers durch mehrere Schleifprozesse poliert, um Furchen und Kratzer, die durch den Sägeprozess entstanden sind, zu beseitigen. Aufgrund der Härte von SiC wird ein chemisch-mechanisches Polierverfahren angewendet. Dabei werden mehrere Waferscheiben auf einem Wafertträger befestigt. Abbildung 7 zeigt den Aufbau einer Polieranlage aus einem großen beheizbaren Drehteller mit einem Poliertuch. Beim Poliervorgang pressen die Wafertträger die SiC-Wafer gegen den Drehteller mit einem definierten Druck. Dabei rotieren Drehteller und Wafertträger simultan in entgegengesetzter Richtung, um einen oszillierenden und für alle Wafer gleich verteilten Abtrag zu erzielen. Während des Schleifprozesses wird eine Suspension aus Siliziumdioxid auf das Poliertuch gesprüht. Durch die Reibung beim Polieren werden mikroskopisch kleine Risse in die Oberfläche des SiC-Wafers eingebracht. Die Emulsion dringt in die Oberfläche ein und oxidiert das SiC-Material an der Oberfläche aufgrund der Temperatur und der Reibung. Die oxidierte Schicht lässt sich beim Polieren leicht entfernen, sodass ein SiC-Wafer mit einer glatten Oberfläche entsteht [26]. Bei diesem Polierprozess wird etwa $1 \mu\text{m}$ SiC-Material abgetragen [27].

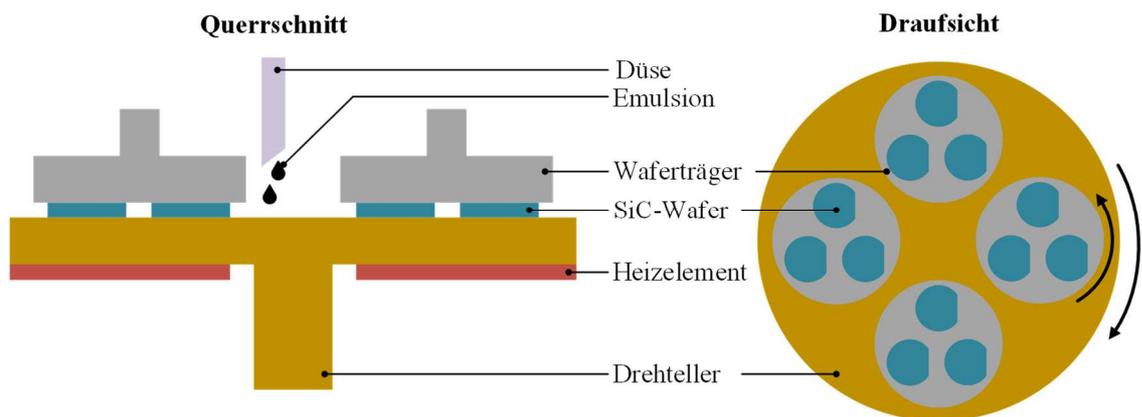


Abbildung 7: Aufbau und Funktionsprinzip einer Waferpolieranlage

Der SiC-Wafer sollte für den nachfolgenden Epitaxieprozessschritt eine glatte Oberfläche aufweisen, um unterschiedliche Halbleiterstrukturen bzw. Halbleiterbauelemente herzustellen. Unebenheiten können dazu führen, dass bei der Epitaxie die einzelnen Lagen ungleichmäßig aufgebaut werden und Risse in der Halbleiterstruktur entstehen können. Bei der Herstellung von SiC-Wafern können sowohl zahlreiche Defekte

bei der Substratherstellung als auch bei der Epitaxie entstehen. Dies führt dazu, dass der Yield bei der Herstellung von SiC-Wafern nur in etwa 10 % bis 20 % beträgt. Im Vergleich dazu beträgt der Yield bei Si-Wafern bei über 95 %. Aktuell sind 6-Zoll SiC-Wafer und 12-Zoll Si-Wafer standard. Bei der Herstellung von SiC-Wafern ist die Tendenz dahingehend die Defekte durch Prozessoptimierung weiter zu minimieren und die Wafergröße auf 8-Zoll (200 mm) zu vergrößern um die Bauteilkosten weiter zu senken.

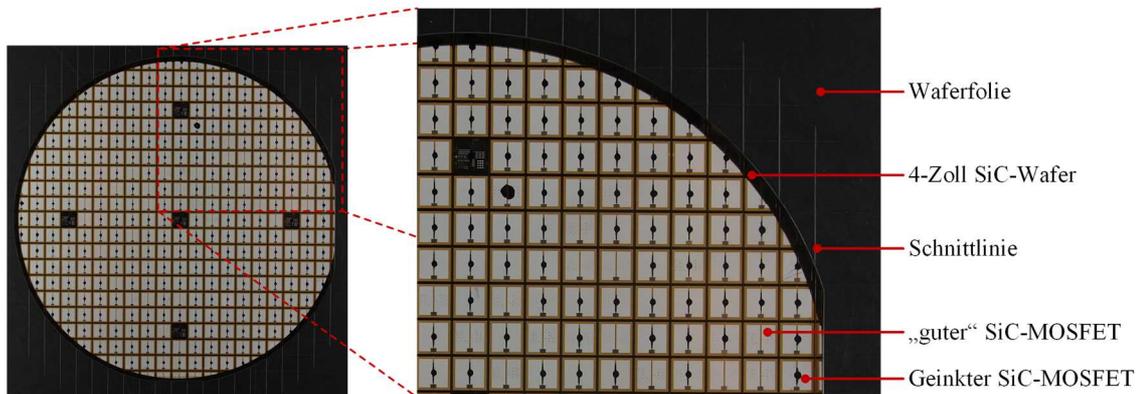


Abbildung 8: Gesägter 4-Zoll SiC-MOSFET-Wafer

2.1.3 Leistungshalbleiterbauelemente

Leistungselektronische Systeme wurden in der Vergangenheit auf Basis von Siliziumhalbleitermaterial aufgebaut. Seit dem Jahr 1979 wurden Halbleitermaterialien mit großen Energiebandlücken für den Einsatz als Leistungsschalter auf theoretischer Ebene untersucht [28]. Erste SiC-Wafer in den Polytypen 6H und 4H mit geringem Durchmesser konnten erst in den Neunzigerjahren im industriellen Maßstab gezüchtet werden, wobei auf Basis von 6H-SiC zunächst Leuchtdioden (LED) gefertigt wurden [29]. Erst im Jahre 1992 konnte die erste 6H-SiC-Schottky-Diode mit einer Durchbruchspannung von 400 V erfolgreich strukturiert werden [30].

In Abhängigkeit von den Spannungs- und Strombereichen sowie von der Taktfrequenz der Leistungselektronik werden für verschiedene Anwendungsgebiete unterschiedliche Leistungsschalter verwendet. Für Spannungsbereiche von etwa 10 kV und darüber hinaus sowie für Schaltströme von bis zu mehreren kA werden Si-Thyristoren für die Anwendung in der Energieversorgung oder in Hochleistungsantrieben eingesetzt (Abbildung 9). Diese Bauelemente haben sehr geringe Durchlassverluste und werden bis zu einer Taktfrequenz von wenigen kHz eingesetzt. Die Nachteile von konventionellen Thyristoren sind, dass diese keine Strombegrenzung haben und eine relativ komplexe Ansteuerung aufweisen. Für den Spannungsbereich von 400 V bis zu 10 kV und bei Schaltfrequenzen von bis zu 30 kHz eignet sich der Einsatz von Si-IGBT (Insulated-Gate Bipolar Transistor). Je nach Anwendung, z. B. als Labornetzteil oder als Antriebsinverter in der Bahntechnik, sind die Schaltströme etwa 10 A bis mehrere kA. Dieser Spannungsbereich lässt sich durch SiC-MOSFETs (Metal Oxide Semiconductor Field-Effect Transistors) ersetzen, wenn insbesondere die Leistungselektronik mit höheren Taktfrequenzen von bis zu einigen MHz taktet (z. B. induktives Heizen) bzw. wenn die Effizienz der Leistungselektronik optimiert werden soll (z. B. als SiC-Inverter für die Fahrzeugtechnik oder als Solarwechselrichter). Im Spannungsbereich von wenigen Volts bis 2 kV und Strömen von bis zu einigen 100 A werden Si-MOSFETs verwendet. Aufgrund der geringeren Schaltverluste beim MOSFET werden diese bei höheren Schaltfrequenzen von bis zu 100 kHz eingesetzt. Im Gegensatz zu IGBTs haben MOSFETs keine Durchlasssättigungsspannung, sodass bei geringeren Strömen geringere Durchlassverluste entstehen. Aktuelle GaN-Leistungsschalter können im Spannungsbereich von

50 V bis 1200V und bei geringen Strömen bis zu 50 A Si-MOSFETs oder Si-IGBTs substituieren, insbesondere bei der Anwendung als Spannungsversorgung für Kommunikationssysteme mit sehr hohen Taktfrequenzen von bis zu mehreren MHz.

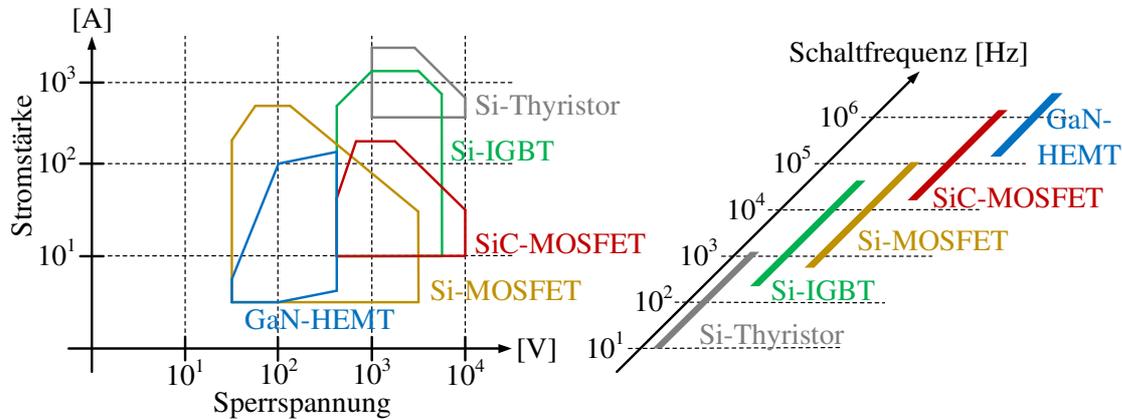


Abbildung 9: Gegenüberstellung der unterschiedlichen Halbleitertypen in Abhängigkeit der Sperrspannung, der Stromtragfähigkeit des Schalters und der üblichen Taktfrequenz, bei dem die jeweiligen Schalter betrieben werden [31]

Dioden

Im Bereich der Leistungselektronik gibt es zwei grundlegende Diodenstrukturen: die PiN- und die Schottky-Diode (Schottky Barrier Diode – SBD). Die PiN-Diode beinhaltet eine stark (p+)-dotierte, eine intrinsische nicht oder schwach (n)-dotierte und eine stark (n+)-dotierte Schicht (Abbildung 10, linkes Bild). Bei einer schwachen Dotierung liegt die Dotierkonzentration bei etwa 1 zu 10^9 , während bei einer starken Dotierung die Konzentration bis zu 1 zu 1000 beträgt. Für die Dotierung von Si-Bauelementen werden in der Regel Bor (B) für die p-Dotierung und Phosphor (P) für die n-Dotierung verwendet. Beim SiC werden bei der p-Dotierung die Si-Atome durch Aluminium (Al) und bei der n-Dotierung die Kohlenstoffatome (C) durch Stickstoffatome ersetzt [22, 32]. Die intrinsische Schicht (i-Schicht) ist sehr schwach leitend und trennt die beiden (p+)- und (n+)-Schichten. Im Vergleich zu einem konventionellen pn-Übergang ist die Raumladungszone im Sperrbetrieb um diese hochohmige i-Schicht größer, sodass eine deutlich höhere Sperrspannung realisiert werden kann. Der Vorteil einer PiN-Struktur ist die relativ geringe Vorwärtsspannung im Durchlasszustand, sodass die statischen Verluste gering sind. PiN-Dioden haben jedoch Nachteile in der Dynamik, da dieses bipolare Bauelement beim Schaltvorgang vom Sperr- zum Durchlassbetrieb zunächst minoritäten Ladungsträger in die (n)-Schicht injiziert und beim Wechsel vom Durchlass- zum Sperrbetrieb diese Ladungsträger wieder abbaut. Da SiC- im Vergleich zu Si-Dioden bei höheren Schaltfrequenzen und Schaltgeschwindigkeiten eingesetzt werden, werden diese aufgrund der Sperrverzögerung in der Regel nicht als PiN-Dioden, sondern als SBD realisiert. Wie in Abbildung 10 (zweites Bild von links) dargestellt, besteht eine SBD aus einer (n)-dotierten Driftschicht und einer hochdotierten (n+)-Schicht, die jeweils mit einer Metallschicht kontaktiert ist. Ist die Austrittsarbeit eines n-dotierten Halbleitermaterials kleiner als die des Kontaktmetalls ($W_{\text{Semi}} < W_{\text{Metal}}$), entsteht bei der Verbindung ein sogenannter Schottky-Kontakt, im umgekehrten Fall handelt es sich um einen ohmschen Kontakt ($W_{\text{Semi}} > W_{\text{Metal}}$). Bei der Herstellung einer SBD ist die Driftschicht typischerweise mit Ti bzw. Molybdän (Mo) kontaktiert, um einen Schottky-Kontakt zu realisieren [33]. Das n+ Substrat erzeugt mit beispielsweise Ni einen ohmschen Kontakt [34]. Eine SBD verfügt über keinen pn-Übergang und keine Raumladungszone. Der Potentialunterschied im Fermi-niveau des Metalls und des Halbleiters verursacht ein Kontaktpotential zwischen dem Metal-Halbleiter-Kontakt und bildet somit die Stromrichterfunktion ab. SBD sind sehr dynamisch und generieren weniger Schaltverluste, da keine Ladungsträger ausgeräumt werden

müssen. Das Sperrvermögen des Bauelements wird von der Stärke der Driftschicht und von dem Halbleitermaterial bestimmt. Der Widerstand der Driftschicht würde bei einem Si-Halbleitermaterial aufgrund der geringen kritischen Feldstärke des Materials stark zunehmen (siehe Gleichung (2.2)). Daher stellt SiC eine sinnvolle Alternative aufgrund der größeren Bandlücke dar. Ein wesentlicher Nachteil von SBD ist, dass der Leckstrom mit zunehmender Sperrspannung und zunehmender elektrischer Feldstärke am Schottky-Kontakt durch quantenmechanische Tunneleffekte sehr stark ansteigt.

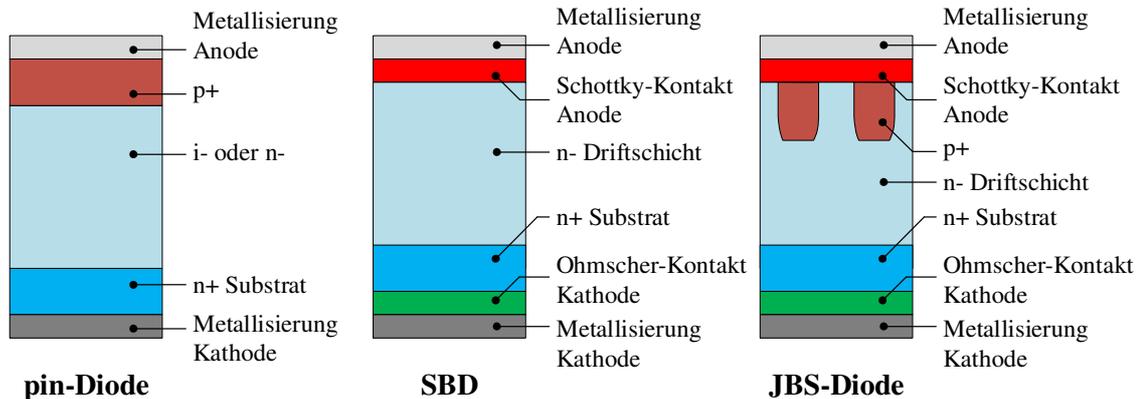


Abbildung 10: Gegenüberstellung der unterschiedlichen Struktur aufbau einer Pin-, einer Schottky- und einer JBS-Diode [28, 35]

Durch das Einfügen von (p⁺)-dotierten Bereichen unterhalb des Schottky-Kontaktes wird das Maximum der elektrischen Feldstärke auf diese Trench-Strukturen gelenkt und die Feldstärke am Schottky-Kontakt verringert (Abbildung 10, rechtes Bild). Diese Diodenstruktur wird als Junction-Barrier-Schottky-Diode (JBS-Diode) bezeichnet. Im Vergleich zu einer SBD hat die JBS-Diode sowohl Vorteile in Bezug auf einen geringeren Leckstrom sowie eine höhere Stoßstromfestigkeit und geringere Vorwärtsspannung als konventionelle Schottky-Dioden [36]. JBS-Dioden weisen daher geringere Durchlass- und Sperrverluste auf als SBD. Zusammengefasst werden für Anwendungen im Bereich der Leistungselektronik Si-Halbleiter als PiN-Diode und SiC als SBD oder JBS-Diode realisiert.

Si-MOSFET (Si-Metal Oxide Semiconductor Field-Effect Transistor)

Ein Leistungs-MOSFET besteht aus einer Vielzahl von kleinen MOSFET-Zellen. Diese MOSFET-Zellen können beispielsweise, wie in Abbildung 11 dargestellt, als Streifen aufgebaut sein. Weitere übliche Strukturen sind quadratische, hexagonale und oktagonale Strukturen [37]. Die Größe dieser Zellen variiert zwischen 6-9 μm [38]. Eine einzelne MOSFET-Zelle kann zwar nur einen geringen Strom führen. Durch die Parallelschaltung der Zellen lässt sich die Stromstärke des Leistungsschalters mit der Chipfläche skalieren. Die Unterteilung des Leistungsschalters in kleine Zellen ermöglicht eine homogene Stromverteilung und Wärmeabführung über die gesamte Chipfläche.

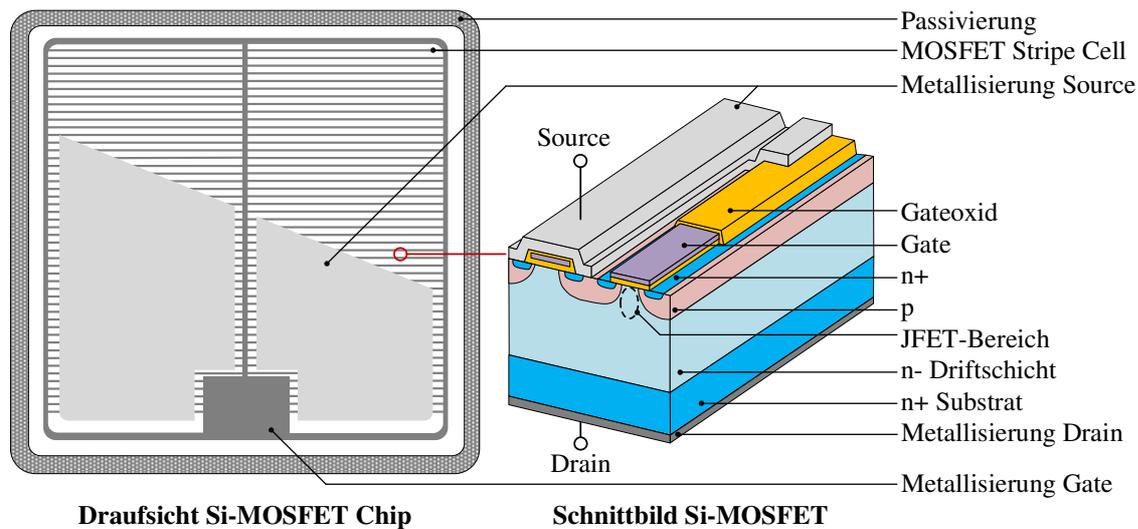


Abbildung 11: Layout und Struktur eines SiC-MOSFETs (nach [39])

Bei Si-MOSFETs gibt es zwei wesentliche Strukturen: die D-Struktur (auch unter VD-Struktur bekannt) und die U-Struktur (Abbildung 12). In der D-Struktur wird zunächst eine n-dotierte Driftschicht auf einem (n+) hochdotierten Substrat aufgebracht. Auf beiden Seiten der Gate-Elektrode werden (n+) und p-Strukturen durch Ionenimplantation generiert, die mit der darüber befindenden Gate-Elektrode einen steuerbaren Elektronenkanal bilden. Der Name D-Struktur stammt von dem englischen Begriff „Double-Diffused“ und beschreibt die Bildung der (n+)- und p-Schicht durch Diffusionsprozesse [40]. Das Schnittbild eines SiC-MOSFETs in Abbildung 11 zeigt, dass die MOSFET-Zellen über die Source-Metallisierung miteinander verbunden sind. Das Gate ist von einer isolierenden Siliziumoxid-Schicht umschlossen. Die Gate-Verbindung umgibt alle MOSFET-Zellen auf dem Chip und ist sowohl mit dem Gate-Anschluss der MOSFET-Zellen als auch mit der Gate-Metallisierung kontaktiert. Die p-Schicht und die (n-)-Driftschicht bilden an der Kontaktfläche einen pn-Übergang, der als eine parasitäre antiparallele Diode fungiert. Wird beim Einschalten eines N-Typ-MOSFETs eine positive Spannung am Gate angelegt, bildet sich ein leitfähiger Elektronenkanal zwischen der Driftschicht und der Source-Metallisierung. Die Elektronen fließen vom Source-Anschluss durch den Kanal in eine verengte Stelle der Driftschicht, die ebenso als JFET-Region bezeichnet wird. Unterhalb der Verengung verteilen sich die Elektronen gleichmäßig über die gesamte Halbleiterfläche und fließen anschließend weiter in Richtung der (n+)-Substratschicht und dem Drain-Anschluss.

Ab den späten 80er-Jahren war es technologisch möglich, Grabenstrukturen (Trench-Strukturen) ins Halbleitermaterial zu treiben. Diese Technologie liefert so die Voraussetzung für Herstellung der U-MOSFET-Struktur (Abbildung 12 rechtes Bild). Die Grabenstrukturen sehen im Schnittbild wie eine U-Form aus, sodass sich daraus der Name U-Struktur ableitet [41]. Der wesentliche Unterschied zwischen der D- und der U-Struktur ist, dass bei der U-Struktur die Gate-Elektrode in der Trench-Struktur positioniert ist. Diese ist von allen Seiten durch eine Gate-Oxidschicht elektrisch isoliert. Bei dieser Struktur bildet sich ein leitfähiger Kanal senkrecht zum Source-Anschluss und verbindet diese direkt mit der Driftschicht. Durch die Eliminierung der JFET-Region wird der Widerstand des Leistungshalbleiters im eingeschalteten Zustand und infolge dessen die Durchlassverluste deutlich reduziert.

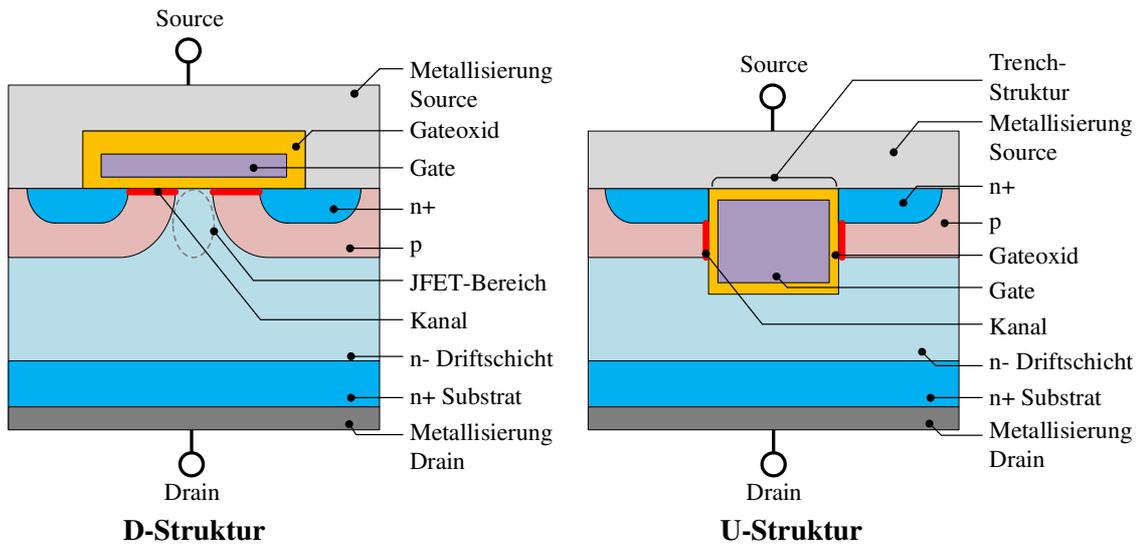


Abbildung 12: D- bzw. U-Struktur als grundlegende vertikale Strukturen von Si-MOSFETs (N-Typ) [28, 35]

SiC-MOSFET

Die D- bzw. U-Strukturierung lässt sich nicht ohne Modifikation auf das Halbleitermaterial SiC anwenden. 4H-SiC hat eine 8-fach höhere kritische elektrische Feldstärke als Si und wird daher bei deutlich höheren Spannungen eingesetzt. Im Sperrbetrieb wirkt sich die elektrische Feldstärke auf die p-Schicht und die (n-)Driftschicht aus. Abbildung 95 im Anhang A 3 zeigt, dass der Betrag der elektrischen Feldstärke in der p-Schicht von null bis zur maximalen Feldstärke E_m linear zunimmt und in der Driftschicht von E_m bis auf null linear abnimmt. Die erforderliche Breite der p-Schicht t_p lässt sich aus der kritischen Feldstärke E_c , der dielektrischen Konstante des Halbleitermaterials ϵ_{Semi} und der Dotierkonzentration N_A bestimmen (Gleichung (2.7)). Dabei gilt, dass E_m kleiner ist als E_c .

$$t_p = \frac{\epsilon_{\text{Semi}} \cdot E_c}{q \cdot N_A} \quad (2.7)$$

Bei gleich bleibender Dotierkonzentration N_A und mit zunehmender E_c nimmt die Breite des Kanals t_p und der Durchlasswiderstand $R_{\text{DS,ON}}$ zu. Der Widerstand des Kanals hat bei einem D-MOSFET einen Anteil von etwa 40 % am gesamten $R_{\text{DS,ON}}$ [35]. Durch die Steigerung der Dotierkonzentration N_A kann die Kanalbreite t_p verringert werden. Allerdings würde gemäß Gleichung (2.8) die Schwellspannung des MOSFETs U_{th} stark ansteigen [40]:

$$U_{\text{th}} = \frac{\sqrt{4 \cdot \epsilon_{\text{Semi}} \cdot k \cdot T \cdot \frac{N_A}{n_i}}}{C_{\text{Oxide}}} + \frac{2 \cdot k \cdot T}{q} \cdot \ln \frac{N_A}{n_i} \quad (2.8)$$

Der Betrag der elektrischen Feldstärke an der Gate-Oxidschicht gleicht der an der p-Schicht, da diese an der p-Schicht angrenzt und das gleiche Potential besitzt. Die elektrische Feldstärke in der Oxidschicht lässt sich mit folgender Gleichung bestimmen [42]:

$$E_{\text{Oxide}} = \frac{\epsilon_{\text{Semi}}}{\epsilon_{\text{Oxide}}} \cdot E_{\text{Semi}} \quad (2.9)$$

Die elektrische Feldstärke in der Oxidschicht ist dreimal höher als die im Halbleitermaterial. Da die E_c im SiC etwa $2,2 \text{ MV cm}^{-1}$ beträgt, ist die resultierende Feldstärke in der Oxidschicht $6,6 \text{ MV cm}^{-1}$ und dieser Wert überschreitet die maximal zulässige elektrische Feldstärke der Oxidschicht von $E_{\text{Oxide,max}} = 3 \text{ MV cm}^{-1}$ [40]. Durch diese enorme elektrische Feldstärke können einige „heiße Elektronen“ so stark beschleunigt werden, dass die kinetische Energie dieser Elektronen die Potentialbarriere der Oxidschicht durchtunneln und in dieser Schicht eingeschlossen bleiben. Dies hat zur Folge, dass die Schwellspannung über die Lebensdauer des MOSFETs hinweg ansteigt oder dass diese instabil wird.

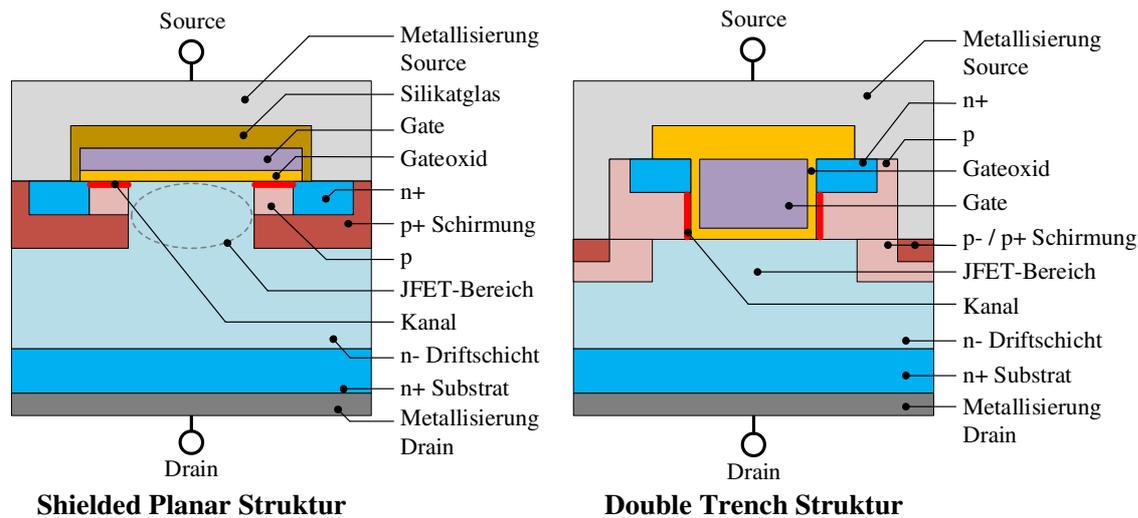


Abbildung 13: Aufbau eines vertikalen SiC MOSFET mit einer Shielded Planar Struktur (links) bzw. mit einer Double Trench Struktur (rechts)

SiC-MOSFET werden daher als sogenannte Shielded Planar MOSFET strukturiert. Wie in Abbildung 13 dargestellt, wird bei dieser Struktur eine ausreichend dicke stark (p+)-dotierte Schicht als Schirmung unterhalb der (n+)- und p-Schicht positioniert. Diese Schirmschicht ist direkt mit der Source-Metallisierung verbunden, sodass die maximale elektrische Feldstärke sich in Richtung der Schirmung orientiert und die elektrische Feldstärke an der Gate-Oxidschicht deutlich reduziert wird. Die Degradation der Gate-Oxidschicht wird dadurch vermieden. Da intrinsische Ladungsträger n_i beim SiC aufgrund der größeren Bandlücke geringer sind als beim Si, ist die Schwellspannung beim SiC auch bei gleichbleibender Dotierkonzentration höher als bei Si (Gleichung (2.8)). Die Schwellspannung U_{th} hat Einfluss auf die Ausgangskennlinie eines SiC-MOSFETs. Eine höhere Schwellspannung U_{th} hat zur Folge, dass der Gate-Treiber beim SiC-MOSFET bei einer höheren Spannung betrieben werden muss, sodass die erforderliche Leistung im Gate-Treiberschaltkreis $P_{G,sw}$ gemäß Gleichung (3.7) zunimmt. Dabei sind Q_G und f_{sw} die Gate-Ladung bzw. die Taktfrequenz.

$$P_{G,sw} = U_{GS} \cdot Q_G \cdot f_{sw} \quad (2.10)$$

In der grundlegenden D-Struktur ist die (n+)-Schicht in einer p-dotierten Region integriert. Um die Schwellspannung zu reduzieren, wird der p-dotierte Bereich durch einen n-dotierten Bereich zwischen der (n+)-Schicht und der Driftschicht ersetzt. Diese n-dotierte Schicht ist so dimensioniert und dotiert, dass diese mit der (p+)-Schicht einen pn-Übergang bildet, wenn keine Spannung am Gate angelegt wird. Alle freibeweglichen Ladungen werden aus dieser n-Schicht vollständig abgebaut und der SiC-MOSFET befindet sich in einem sperrenden Zustand. Liegt eine Spannung am Gate an, bildet sich eine Anreicherungsschicht aus Elektronen (leitfähiger Kanal) an der Grenzfläche zwischen dem Gateoxid und der n-Schicht. Diese Struktur wird ebenfalls als Accumulation-Mode MOSFET bezeichnet. In [40] wird berichtet, dass

die Schwellspannung mit zunehmender Dotierkonzentration in der n-Schicht sogar abnimmt. Ähnlich wie beim Si-MOSFET lässt sich die U-Struktur in einer modifizierten Form auf SiC anwenden, um den Durchlasswiderstand in der JFET-Region zu eliminieren. Ein weiterer Vorteil der U-Struktur ist es, dass die Zelle dieser Struktur kompakter aufgebaut ist als die der D-Struktur [28]. Durch Steigerung der Zelldichte in einer U-Struktur lässt sich der Durchlassverlust im MOSFET deutlich verringern. Um Degradationen der Oxidschicht zu vermeiden, werden zusätzlich tiefere Gräben in das Bauelement getrieben, um auf beiden Seiten der Gate-Elektrode jeweils eine (p+)- und eine p-dotierte Schirmschicht unterhalb der Gate-Trenchstruktur zu positionieren (Abbildung 13 rechts). Aus einem Beispieldesign geht hervor, dass bei einer Sperrspannung von 600 V die elektrische Feldstärke an der Gate-Oxidschicht um 29 % reduziert werden konnte [28].

IGBT (Insulated-Gate Bipolar Transistor)

Der wesentliche Unterschied zwischen der Struktur eines Si-MOSFETs in Abbildung 12 und der Struktur eines Si-IGBTs in Abbildung 14 besteht darin, dass das Substrat p+ dotiert ist. Diese wechselnde Struktur von positiv und negativ dotierten Schichten bilden einen parasitären Thyristor aus einem PNP- und NPN-Transistor [43]. Wie in Abbildung 14 dargestellt, sind die (n+)- und die (p+)-Schichten durch die Emitter-Metallisierung kurzgeschlossen, sodass die Basis und der Emitter des PNP-Transistors über den Widerstand R_{BE} verbunden sind. Aufgrund der starken positiven Dotierung in der (p+)-Schicht, ist R_{BE} vernachlässigbar gering [44]. Wenn der PNP-Transistor den Kollektorstrom führt, wäre der Spannungsabfall am R_{BE} geringer als die Schwellspannung des NPN-Transistors. Dieser Transistor ist somit unterdrückt und kann vernachlässigt werden.

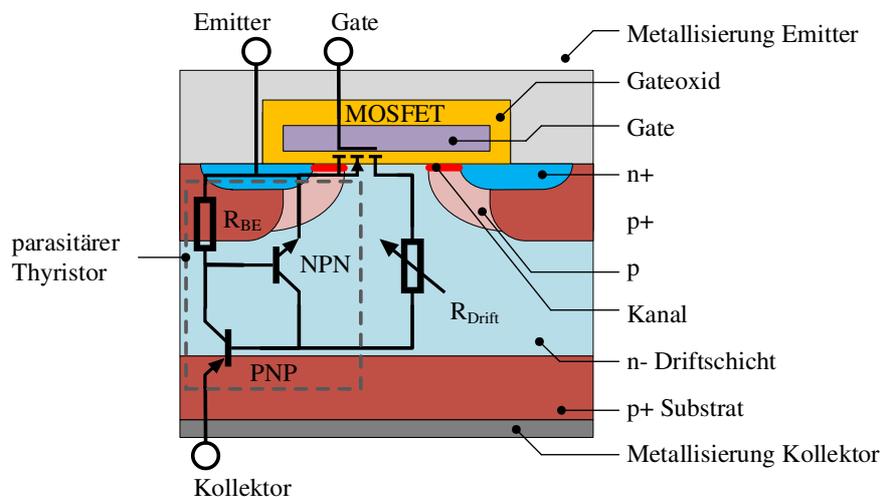


Abbildung 14: Struktur und Ersatzschaltbild eines Si-IGBTs [35]

Liegen jeweils eine positive Spannung zwischen den Anschlüssen Gate und Emitter sowie Kollektor und Emitter an, wird der MOSFET eingeschaltet und ein Drain-Strom beginnt durch den MOSFET zu fließen. Dies führt dazu, dass der PNP-Transistor eingeschaltet wird und der Strom hauptsächlich über die Basis zum MOSFET fließt. Dabei werden Löcher in die (n-)-Driftschicht injiziert, sodass die Leitfähigkeit in der Drift-Schicht gesteigert wird. Dies hat zur Folge, dass die Kollektor-Emitter-Sättigungsspannung des IGBTs abnimmt und der Durchlassverlust verringert wird. Dieser Vorgang wird als Leitfähigkeitsmodulation bezeichnet. Beim Abschaltvorgang wird die Spannung am Gate des MOSFET auf 0 V oder auf eine negative Spannung gesetzt und der Drain-Strom am MOSFET nimmt ab. Der IGBT führt weiterhin den Kollektorstrom, da die injizierten Ladungsträger in der (n-)-Driftschicht Zeit für die Rekombination benötigen. Dieser Strom wird als Schweifstrom bezeichnet.

2.1.4 Verlustberechnungen im Leistungshalbleiter

Si-IGBT und Diode

Während dem Betrieb des Inverters entstehen im Leistungshalbleiter elektrische Verluste, die vollständig in Wärme umgewandelt werden. Es muss sichergestellt sein, dass die entstehende Wärme vollständig über das Kühlungssystem des Inverters abgeführt wird. Für die thermische Auslegung eines Inverters ist es daher erforderlich die entstehenden Verlustleistungen für alle Leistungshalbleiter berechnen zu können. Leistungshalbleiter können die zwei Zustände leitend bzw. sperrend einnehmen und zwischen diesen Zuständen wechseln. Daher ergibt sich der Gesamtverlust $P_{total,diss}$ von einem nicht steuerbaren Leistungshalbleiter aus der Summe der Verluste in den beiden Zuständen (On-state Power Dissipation $P_{on,diss}$ und Off-state Power Dissipation $P_{off,diss}$) und dem Wechsel zwischen den beiden Zuständen (Turn-on Power Dissipation $P_{turn-on,diss}$ und Turn-off Power Dissipation $P_{turn-off,diss}$) (Gleichung (2.11)) [35].

$$P_{total,diss} = P_{on,diss} + P_{off,diss} + P_{turn-on,diss} + P_{turn-off,diss} \quad (2.11)$$

In den steuerbaren Leistungshalbleitern fällt eine zusätzliche Verlustleistung auf der Steuerungsseite (Control Power Dissipation $P_{control,diss}$) an. Für $P_{total,diss}$ gilt in diesem Fall folgende Gleichung:

$$P_{total,diss} = P_{on,diss} + P_{off,diss} + P_{turn-on,diss} + P_{turn-off,diss} + P_{control,diss} \quad (2.12)$$

Im Sperrzustand fließt durch den Leistungshalbleiter ein sehr kleiner Leckstrom. Im Vergleich zu den Verlustleistungen beim Schalten und im Durchlasszustand ist der Verlust für die Steuerung des Bauelementes sehr gering. Daher können $P_{off,diss}$ und $P_{control,diss}$ vernachlässigt werden bei der Bestimmung der Gesamtverlustleistung [35]. Die Verluste im leitenden Zustand $P_{on,diss}$ und sperrenden Zustand $P_{off,diss}$ werden als statische Verluste P_{stat} definiert. Die Verluste beim Einschalten $P_{turn-on,diss}$ und beim Ausschalten $P_{turn-off,diss}$ ergeben zusammen die dynamischen Verluste P_{dyn} (Schaltverluste) eines Leistungshalbleiters. Für P_{stat} und P_{dyn} gilt:

$$P_{stat} = P_{on,diss} + P_{off,diss} \approx P_{on,diss} \quad (2.13)$$

$$P_{dyn} = P_{turn-on,diss} + P_{turn-off,diss} \quad (2.14)$$

Die statischen Verluste für ein Si-IGBT und eine Si-Pin-Diode können mit folgenden Gleichungen berechnet werden [31]:

$$P_{stat,Diode} = \left[\frac{1}{2\pi} - \frac{M}{8} \cos(\varphi) \right] \cdot U_{F0}(T_j) \cdot \hat{I}_F + \left[\frac{1}{8} - \frac{M}{3\pi} \cos(\varphi) \right] \cdot r_D(T_j) \cdot \hat{I}_F^2 \quad (2.15)$$

$$P_{stat,IGBT} = \left[\frac{1}{2\pi} + \frac{M}{8} \cos(\varphi) \right] \cdot U_{ce0}(T_j) \cdot \hat{I}_c + \left[\frac{1}{8} + \frac{M}{3\pi} \cos(\varphi) \right] \cdot r_{ce}(T_j) \cdot \hat{I}_c^2 \quad (2.16)$$

Diese Verluste sind abhängig vom Modulationsfaktor M , vom Leistungsfaktor $\cos(\varphi)$ und vom Spitzenstrom \hat{I}_F durch die Diode bzw. vom Spitzenkollektorstrom \hat{I}_c durch den IGBT. In einem Inverter beschreibt der Modulationsfaktor das Verhältnis zwischen der Amplitude der Spannung am Inverterausgang und der halben Zwischenkreisspannung [45]. Die Ausgangskennlinie einer Diode beschreibt den Verlauf der Vorwärtsspannung U_F und wird in der Berechnung der statischen Verluste berücksichtigt. Im Durchlassbereich lässt sich die Ausgangskennlinie durch eine lineare Funktion approximieren. Wird diese lineare Funktion in Richtung der Abszisse verlängert, schneidet die Funktion die Abszisse an der Stelle U_{F0} . Der differentielle Widerstand r_D ist der Kehrwert der Steigung der Ausgangskennlinie der Diode. Analog dazu beschreiben

die Größen U_{ce0} und r_{ce} die lineare Approximation der Ausgangskennlinie des IGBTs. Die Größen U_{F0} , r_D , U_{ce0} und r_{ce} sind abhängig von der Sperrschichttemperatur T_j .

Für die dynamischen Verluste von Si-IGBT und Si-Pin-Diode gelten folgende Gleichungen [31]:

$$P_{dyn,IGBT} = \frac{1}{\pi} \cdot f_{sw} \cdot [E_{on}(T_j) + E_{off}(T_j)] \cdot \frac{U_{DC}}{U_{DC,nom}} \cdot \frac{\hat{I}_c}{I_{c,nom}} \cdot \cos(\varphi) \quad (2.17)$$

$$P_{dyn,Diode} \approx \frac{1}{\pi} \cdot f_{sw} \cdot E_{rec}(T_j) \cdot \frac{U_{DC}}{U_{DC,nom}} \cdot \frac{\hat{I}_F}{I_{F,nom}} \cdot \cos(\varphi) \quad (2.18)$$

Die Schaltverluste in einem IGBT sind von der Schaltverlustenergie beim Einschalten E_{on} und beim Ausschalten E_{off} sowie vom Leistungsfaktor $\cos(\varphi)$ abhängig. E_{on} und E_{off} sind bauteilspezifische Eigenschaften, die im Datenblatt des Leistungshalbleiters für eine Gleichspannung $U_{DC,nom}$ und einen Kollektor-Strom $I_{c,nom}$ bei einer Sperrschichttemperatur T_j angegeben sind. Bei der Berechnung der Schaltverluste werden die Schaltverlustenergien E_{on} und E_{off} mit dem Verhältnis aus der Gleichspannung U_{DC} und $U_{DC,nom}$ sowie dem Verhältnis aus dem Spitzenkollektorstrom \hat{I}_c und $I_{c,nom}$ skaliert. Diese Approximation liefert eine Ungenauigkeit von weniger als $\pm 20\%$ [31]. Bei der Diode dominieren die Schaltverluste beim Ausschalten, die auch als Sperrverzögerungsverluste bezeichnet werden. Beim Ausschaltvorgang werden nämlich die in der Raumladungszone gespeicherten Ladungsträger rekombiniert. Für die Abschätzung der Schaltverluste der Diode wird die Sperrverzögerungsenergie E_{rec} mit dem Verhältnis aus der anliegenden Spannung U_{DC} und $U_{DC,nom}$ sowie dem Verhältnis aus dem Spitzendiodenstrom \hat{I}_F und $I_{c,nom}$ skaliert. Die Schaltverluste sind sowohl beim IGBT als auch bei der Diode von der Schaltfrequenz f_{sw} abhängig.

SiC-MOSFET

Im eingeschalteten Zustand hat der SiC-MOSFET einen Durchlasswiderstand (engl. On-state Resistor $R_{DS,on}$), der abhängig ist von der Sperrschichttemperatur T_j , dem Drainstrom I_D und der Gate-Source-Spannung U_{GS} (engl. Gate-Source Voltage). Fließt ein Strom \hat{I} durch diesen Widerstand, dann entsteht ein Spannungsabfall über dem SiC-MOSFET. Gemäß der Gleichung (2.19) sind die statischen Verluste in einem MOSFET $P_{stat,MOSFET}$ abhängig von dem Modulationsfaktor M und dem Leistungsfaktor $\cos(\varphi)$ [46]. Ein MOSFET ist ein bidirektionaler Schalter, der den Strom in beiden Richtungen führen kann. Die Gleichung (2.19) berücksichtigt jedoch ausschließlich die Durchlassverluste in Vorwärtsbetrieb des MOSFETs. Außerdem wurde der Einfluss der Totzeit auf die Durchlassverluste vernachlässigt.

$$P_{stat,MOSFET} = R_{DS,on}(T_j, I_D, U_{GS}) \cdot \hat{I}^2 \cdot \left(\frac{1}{8} + M \frac{\cos(\varphi)}{3\pi} \right) \quad (2.19)$$

Die Schaltverlustleistung für den SiC-MOSFET $P_{dyn,MOSFET}$ ist wie folgt definiert [47]:

$$P_{dyn,MOSFET} = \frac{1}{\pi} \cdot f_{sw} \cdot [E_{on}(T_j) + E_{off}(T_j)] \cdot \frac{\hat{I}}{I_{nom}} \cdot \frac{U_{DC}}{U_{nom}} \quad (2.20)$$

Die Schaltverluste des MOSFETs ist abhängig von der Schaltfrequenz f_{sw} und von den Schaltverlustenergien E_{on} und E_{off} . Diese Schaltverlustenergien sind für einen bestimmten Arbeitspunkt mit je einem Referenzwert für Strom und Spannung definiert und werden bei der Berechnung der Schaltverluste in Gleichung (2.20) mit dem Strom \hat{I} und der anliegenden Spannung U_{DC} ins Verhältnis gesetzt.

2.2 Subtratechnologien

Beim Aufbau eines Leistungsmoduls werden die Leistungshalbleiter Chips auf das Substrat platziert und stoffschlüssig verbunden. Das Substrat besteht im Allgemeinen auf der Oberseite aus einer strukturierten elektrisch leitenden Schicht und aus einer darunterliegenden vollflächigen elektrisch isolierenden Schicht. Das Substrat erfüllt folgende vier zentrale Funktionen in einem Leistungsmodul:

- Das Substrat fungiert als Träger für die Leistungshalbleiter und die Oberseitenkontaktierungen beim Aufbau des Leistungsmoduls.
- Die oberseitige elektrisch leitende Schicht bildet durch die Strukturierung die Schaltungstopologie des Leistungsmoduls ab.
- Die darunterliegende vollflächige Isolationsschicht isoliert die unter hohe Spannung stehenden Leistungshalbleiter von der Grundplatte beziehungsweise vom Kühlkörper des Leistungsmoduls.
- Zudem sollte das Substrat die im Leistungshalbleiter entstehende Wärme während des Betriebs möglichst effektiv thermisch spreizen und nach unten hin abführen. Je nach Schichtstärke und spezifische thermische Kapazität des Substratmaterials kann das Substrat in Form einer effektiven thermischen Kapazität Temperaturspitzen im Leistungshalbleiter bei kurzzeitigen Peak-Belastungen im Anwendungsfall aufnehmen.

Substrate lassen sich in die zwei Subtratechnologien keramikbasierende Substrate (anorganische Substrate) und organische Substrate untergliedern. Während bei keramikbasierten Substraten eine Keramik, die sowohl thermisch leitend als auch elektrisch isolierend ist, als Isolationsschicht eingesetzt wird, wird bei organischen Substraten die elektrische Isolation durch eine organische Isolationsschicht bzw. Isolationsfolie gewährleistet. Nach dem aktuellen Stand der Technik werden für die Herstellung von Leistungsmodulen in der Regel keramikbasierende Substrate verwendet. Module auf Basis von organischen Substraten wurden bisher als Prototypen und als kommerzielle Leistungsmodul von japanischen Leistungsmodulherstellern angeboten [48].

2.2.1 Substrate auf Basis von anorganischen Keramikmaterialien

Ein keramikbasierendes Substrat besteht im Kern aus einer elektrisch isolierenden, aber thermisch leitenden Keramiksicht, die zwischen zwei metallischen Schichten flächig angebunden ist. Die Metallschichten haben höhere thermische Ausdehnungskoeffizienten als die Keramik. Daher ist eine symmetrische Sandwichbauweise erforderlich, um eine Verbiegung des Substrates durch den Bi-Metalleffekt zu vermeiden. Die Metallschichten können entweder durch ein eutektisches Verfahren oder durch ein Aktivlötverfahren stoffschlüssig mit der Keramik verbunden werden.

Direct Copper Bonding (DCB)

Bei der DCB-Herstellung werden zunächst die Kupferschichten durch einen thermischen Prozess voroxidiert, indem die Kupferschichten unter Atmosphäre mit einem Sauerstoffpartialdruck von ca. 4 ppm im Ofen erhitzt werden. Alternativ können die Kupferschichten durch eine chemische Lösung bei Raumtemperatur voroxidiert werden. Die Keramik wird zwischen die beiden Kupferschichten im Ofen platziert und der Gesamtaufbau wird durch eine Druckeinwirkung fixiert. Durch den Sauerstoffanteil im Kupferoxid (CuO_2) und durch den gleichbleibenden Sauerstoffpartialdruck in der Ofenkammer wird der Schmelzpunkt des Kupfers $T_{\text{melt,Cu}}$ von ursprünglich 1085 °C auf den Schmelzpunkt des Eutektikums $T_{\text{melt,Eu}}$ (1065 °C bei einer Sauerstoffkonzentration von 0,39 Gew. %) reduziert. In der Aufheizphase wird der Gesamtaufbau im Ofen auf die Temperatur über dem Schmelzpunkt des Eutektikums erhitzt ($T_{\text{melt,Cu}} > T > T_{\text{melt,Eu}}$). Während der Aufheiz- und Bondingphase sollte der Sauerstoffpartialdruck konstant gehalten werden. Ist dieser Wert

zu hoch nimmt die Stärke der Kupferoxidschicht und die Aufschmelzschicht durch Nachoxidation zu. Im ungünstigsten Fall kann sogar die Kupferschicht komplett schmelzen und durch die externe Krafteinwirkung verlaufen. Ist der Sauerstoffpartialdruck zu gering wird die Kupferoxidschicht zersetzt und der eutektische Schmelzpunkt wird gemäß dem Phasendiagramm von Kupfer (Cu) zu Sauerstoff (O₂) angehoben.

Während der Haltephase benetzt die eutektische Schmelze die Keramik und an den Grenzflächen bildet sich nach der Reaktion zwischen CuO₂ und Aluminiumoxid (Al₂O₃) ein Kupfer-Aluminiumspinell (CuAl₂O₄) gemäß folgender Reaktionsgleichung [49]:



In der Abkühlphase wird der Sauerstoffpartialdruck verringert, um den Sauerstoff von den Kupferschichten zu trennen. Dieser DCB-Prozess lässt sich für oxidische Keramiken realisieren wie beispielsweise Berylliumoxid (BeO) oder Zirkonoxid (ZrO₂). Bei einer Nitridkeramik, wie beispielsweise Aluminiumnitrid (AlN), muss die Keramik zunächst bei einer hohen Temperatur (> 800 °C) voroxidiert werden, sodass sich an der Keramikoberfläche eine dünne Aluminiumoxidschicht (weniger als 10 µm) als Haftvermittler bildet gemäß folgender Reaktionsgleichung:



Die Kupferschichten lassen sich dann nach dem gleichen Verfahren mit einer Al₂O₃-Keramik stoffschlüssig anbinden. Das DCB-Substrat wird in weiteren Verarbeitungsprozessen durch ein Ätzverfahren strukturiert. Zunächst wird die Kupferoberfläche durch ein mechanisches Bürsten oder durch ein chemisches Ätzen behandelt, um restliche Oxide zu entfernen und die Oberflächenrauheit zu minimieren. Danach wird ein Ätzresist mit der gewünschten Struktur durch ein Siebdruckverfahren oder durch ein Fotolaminat aufgebracht. Das freiliegende Kupfer wird in einem Kupferchlorid-Bad (CuCl₂) geätzt und die mit Fotoresist bedeckten Kupferflächen werden in einem Bad mit Natronlauge (NaOH) gestrippt. DCBs werden üblicherweise in einem Mastercard-Format mit einer Abmessung von 127 mm x 178 mm gefertigt, indem einzelne Substrate mit gleichen oder unterschiedlichen Layouts platziert sind. Beim Design der Mastercard sollen die einzelnen Substrate nach Möglichkeit gleiche Abmessungen aufweisen, um gerade Abbruchkanten zu erhalten. Die Abbruchkanten werden durch einen Laserbearbeitungsschritt erzeugt. Im Laserritzverfahren werden in einem regelmäßigen Abstand von 100-200 µm Sacklöcher auf der Oberseite in die Keramik mit einer Tiefe von 30% der Keramikstärke mittels eines Laserstrahls gebohrt, um Bruchkanten zu erzeugen. Dabei verdampft das Keramikmaterial und kondensiert auf der kalten Kupferoberfläche. In einem Feinätzbad mit Wasserstoffperoxid werden die Kupferflächen gesäubert und die Oberflächenrauigkeit auf eine Rautiefe von ca. 2 µm verringert, um die Bond- und Lötbarkeit der Kupferflächen zu gewährleisten. Nach der Herstellung muss das DCB unter sauerstoffarmer oder -freier Atmosphäre verpackt und gelagert werden, um die Kupferoberfläche vor Oxidation zu schützen. Optional können die Kupferflächen mit Gold (Au), Nickel-Gold (Ni-Au) oder Nickel-Palladium (Ni-Pd) vollflächig oder durch eine Maskierung selektiv metallisiert werden.

Active Metal Brazing (AMB)

Beim AMB-Substrat werden die Kupferfolien durch ein Aktivlötverfahren mit der Keramik stoffschlüssig verbunden (Abbildung 15). Aktivlote bestehen aus einer Legierung aus Silber (Ag), Kupfer (Cu) oder Aluminium (Al) mit einem geringen Anteil an aktiven Elementen wie beispielsweise Titan (Ti), Zirkonium (Zr) und Hafnium (Hf) [50]. 68.8Ag26.7Cu4.5Ti wäre eine übliche Zusammensetzung eines Aktivlotes [51]. Das Aktivelement ermöglicht eine gleichmäßige sowie gute Benetzung des Lotes auf keramische Oberflächen und steigert die Reaktionsfähigkeit des Aktivlotes unter der Voraussetzung, dass während des Lotvorgangs die Oxidation des Aktivmaterials durch eine geeignete Schutzatmosphäre verhindert wird. Alternativ

kann die Lötung unter Vakuum mit einem Restdruck von etwa 10^{-2} Pa durchgeführt werden. Der Gewichtsanteil der Aktivmaterialien sollte idealerweise etwa 1-4 % betragen, denn ein erhöhter Anteil der Aktivelemente würde die Lotschicht brüchig machen und die Haftfestigkeit zwischen der Metallschicht und der Keramik verringern [52]. Nach aktuellem Stand der Technik sind für die Herstellung von AMB-Substraten zwei Verfahren bekannt. Nach [53] werden die Kupferfolien zunächst gestanzt und anschließend gereinigt. Die Aktivlotpaste wird durch ein Druckverfahren gleichmäßig auf die Ober- und Unterseite der Keramik aufgetragen. Nachdem die gestanzten Kupferfolienteile auf die Lotpaste platziert wurden, wird der Gesamtaufbau in eine Vorrichtung fixiert und anschließend in einem Ofen geschoben. Dieser wird zunächst mit einem Schutzgas geflutet, um die Luft und das darin befindliche O_2 zu verdrängen. Nach der Evakuierung der Ofenkammer wird die Temperatur im Ofen auf die Liquidustemperatur des Aktivlotes erhöht. In einem weiteren Verfahren [49] wird die Aktivlotpaste beidseitig auf die Keramik gedruckt und die Kupferfolien werden auf die Lotpaste gesetzt und vollflächig mit der Keramik verlötet. Die Kupferflächen werden anschließend mit einem Ätzresist maskiert und durch ein Ätzverfahren strukturiert. Um das Aktivlot unterhalb des Kupfers entfernen zu können, werden entweder Flußsäure (HF) mit 2-55 % Gewichtsanteil oder eine Mischung aus HF und Salzsäure (HCL) mit 2-40 % Gewichtsanteil HF und 1-15 % Gewichtsanteil HCL eingesetzt [54].

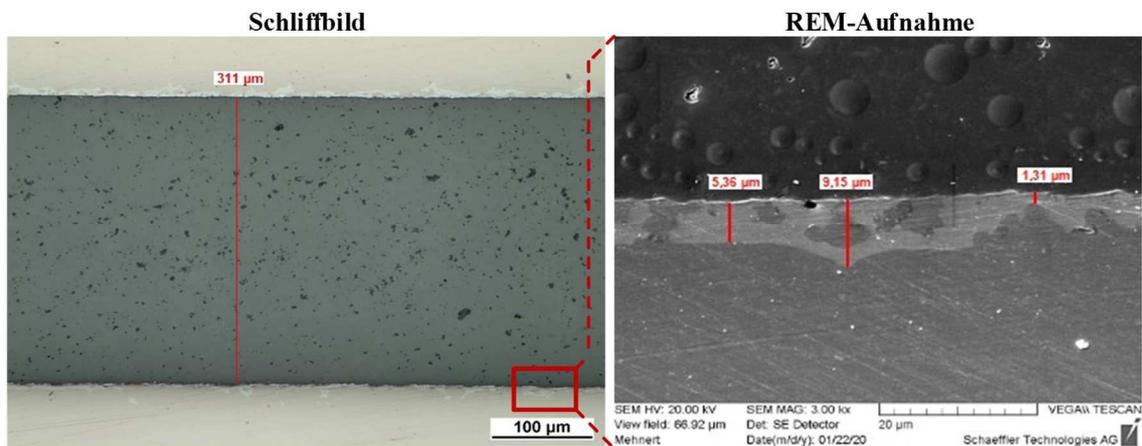


Abbildung 15: Schlichtbild von einem Si_3N_4 AMB-Substrat und Aufnahme der Aktivlotschicht unter einem Rasterelektronenmikroskop (REM)

Dickfilm-Technologie

Für die Dickfilm-Technologie existiert bisher keine genaue Definition. Gemäß [55] wäre eine aufgebraute Schichtstärke von 1-100 µm eine Dickfilmschicht oder die aufgebraute Metallschicht weist eine Mindeststeifigkeit auf, sodass diese sich selbst auch ohne das Keramiksubstrat tragen könnte. Eine Filmschicht besteht aus einem Zusammenschluss von zunächst einzelnen Partikeln auf einer Oberfläche, die nach dem Herstellungsprozess eine kontinuierliche Beschichtung auf dieser Fläche bildet. In einer weiteren Definition wird zwischen der Dickfilm- und Dünnschicht-Technik unterschieden. Demnach entsteht Dickfilm durch das Zusammenfügen von mehreren Clustern aus Atomen, Molekülen oder Ionen [56]. Eine Begrenzung der Dickfilm-Technologie auf eine Schichtstärke von 100 µm ist nach heutigem Stand der Technik nicht mehr aktuell, da die Schichtstärke für die Anwendung in der Leistungselektronik deutlich mehr als 100 µm betragen kann [57–59]. Je nach Stärke der Filmschicht lassen sich mit Dickfilm Strukturen mit einem Pitch von bis zu 100 µm realisieren [60].

Im Unterschied zu einem DCB oder AMB wird beim Dickfilm die Keramik durch ein additives Verfahren metallisiert. Mittels eines Siebdruckverfahrens werden elektrisch leitfähige Pasten oder Isolationspasten aufgetragen. Der Siebdruck ist ein Verfahren, das das aufzutragende Material mit einer Rakel durch ein

Siebgewebe gepresst wird [61]. Das Sieb besteht aus einem Aluminium- oder Stahlrahmen mit einem Rechteckprofil, auf dem ein Drahtgewebe aus Edelstahl oder Polyester gespannt und verklebt ist (Abbildung 16). Um ein Drucklayout auf dem Siebgewebe anbringen zu können, wird das Sieb zunächst auf das fotoempfindliche Filmmaterial gelegt und mit einem auswaschbaren Emulsionsklebstoff großflächig verklebt und für 2 Stunden bei etwa 36 °C getrocknet. Nachdem die Schutzfolie des Filmes entfernt wurde, wird der Film mit dem negativ gedruckten Layout belichtet. Nach dem Entwickeln bleiben die belichteten Flächen des Filmmaterials erhalten. Die frei gelegten Flächen, die von der wasserlöslichen Emulsion bedeckt sind, können mit einem Wasserstrahler ausgewaschen werden.

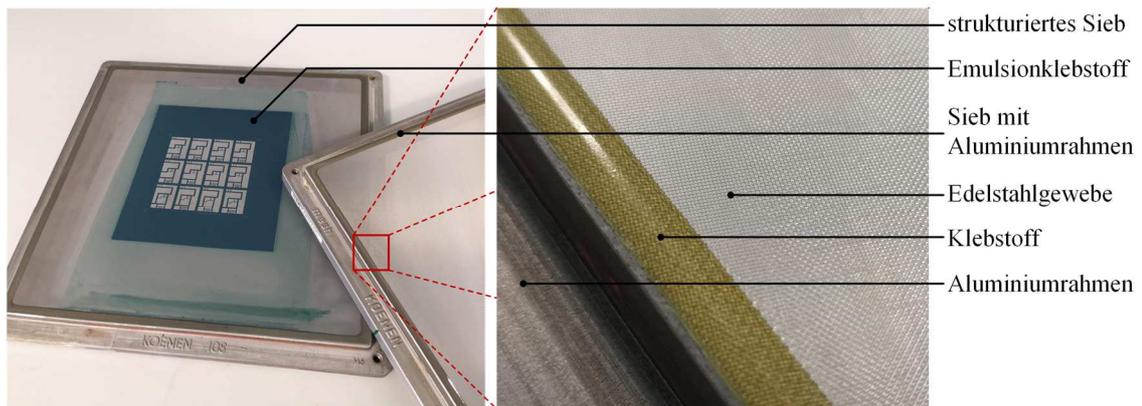


Abbildung 16: Sieb mit Aluminiumrahmen und Edelstahlsiebgewebe (rechts) und Sieb nach der Fotostrukturierung (links)

Das beschichtete Sieb wird auf eine Druckeranlage eingespannt. Die Keramik wird auf einem Vakuuntisch durch die Erzeugung eines Unterdruckes fixiert, unter das Siebgewebe geschoben und am Layout ausgerichtet. Die Ausrichtung bzw. Justierung werden in einer Druckeranlage mit Hilfe von Kameras und programmierbaren Bildmustern automatisiert durchgeführt. Die Keramik wird anschließend dicht an das Siebgewebe bis zu der Absprunghöhe gefahren. Das zu druckende Material wird als Paste auf der Oberseite des Siebgebewes aufgetragen. Eine Rakel, die aus einem plastischen Material wie Polyurethan besteht, ist über dem Sieb auf das Rakelwerk montiert. Mit Vorschub, aber ohne Anpressdruck der Rakel wird die Paste zunächst flächig über das Sieb verteilt (Fluten). Durch den Anpressdruck der Rakel wird das Siebgewebe auf die Keramik gedrückt und es stellt sich eine Schräglage zwischen der Rakel und der Keramik ein. Diese Schräglage in Kombination mit dem Vorschub drückt die Paste durch die Sieböffnungen und trägt somit eine möglichst gleichmäßige Schicht auf der Keramik auf. Die Stelle auf dem Siebgewebe, die keinen Rakeldruck erfährt löst sich aufgrund des eingestellten Absprungs von der gedruckten Paste und der Keramikoberfläche ab. Nachdem eine Seite der Keramik bedruckt und getrocknet wurde, lässt sich die Keramik auf die gleiche Art und Weise auf der gegenüberliegenden Seite beschichten. Das Substrat wird anschließend in einem Ofen in Stickstoffatmosphäre (N_2 -Atmosphäre) bei 925 °C eingebrannt (Einbrennprofil siehe Anhang A 5) Nach der Abkühlung kann der Prozess mehrfach wiederholt werden, um sehr starke Kupferschichten auf die Keramik aufbringen zu können oder um ein Multi-Layer-Dickfilm-Substrat herzustellen. Dickfilm-Pasten bestehen im Wesentlichen aus Kupferpartikel mit einem Gewichtsanteil von etwa 40-85 %, anorganischen Haftvermittlern wie beispielsweise Glasfritte und Metalloxiden mit einem Gewichtsanteil von etwa 4 % sowie aus organischen Lösungsmitteln, die das Pastengemisch druckfähig bzw. dispensierfähig machen [62–64]. Der Feststoffanteil von elektrisch leitfähigen Pasten besteht aus Metallpulver und zu einem geringen Anteil aus Metalloxidpulver. Im Gegensatz dazu bestehen Isolationspasten hauptsächlich aus Stoffen wie beispielsweise Al_2O_3 oder Titandioxid- (TiO_2) und Bornitridpulver (BN) mit einer Partikelgröße von einigen Mikrometern [65, 66]. Während des Einbrennvorgangs bis 400 °C verdampfen zunächst die organischen Stoffe. Zwischen 400 °C und 600 °C erweicht und versintert die Glasfritte zu

einer Glasschmelze. Bei höheren Temperaturen bis 1000 °C wandert die Glasschmelze nach unten in Richtung der Keramik und in die poröse Struktur der Keramik. Die Metalloxide reagieren mit dem Al im Substrat und bilden eine Oxid-Haftungsschicht. Bei einer Kupferpaste bildet sich CuAl_2O_4 , wie in Abbildung 17 dargestellt. Die Haftfestigkeit der Dickfilmschicht wird daher durch die Glas- und Oxidhaftung bestimmt und sollte zwischen 5 MPa und 10 MPa betragen [49].

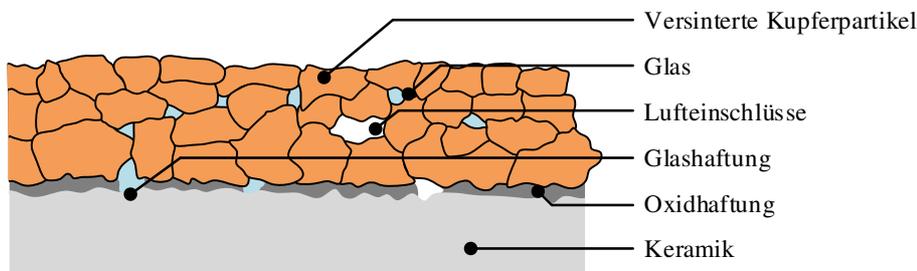


Abbildung 17: Haftsmechanismus beim Kupferdickfilm-Substrat [49]

Die poröse Struktur reduziert die thermomechanischen Spannungen, die durch die unterschiedlichen Ausdehnungskoeffizienten in den Materialien induziert werden. Sie steigert die Temperaturzyklenfestigkeit des Dickfilm-Substrates enorm [67].

2.2.2 Leadframe-Substrat mit einer organischen Isolationsfolie

Ein Leadframe-Substrat besteht aus einem Kupferstanzgitter, auf dem die Schaltungstopologie des Leistungsmoduls abgebildet ist, und einer darunter befindlichen organischen Isolationsschicht. Die Grundlage für ein Leadframe-Leistungsmodul liefern nicht isolierte diskrete Leistungsbaulemente mit beispielsweise einem TO-247-Gehäuse. In dem Patent aus dem Jahre 1987 werden Metallflächen und Anschlüsse aus einem Metallband durch ein Press- und Stanzverfahren erzeugt [68]. Der Leistungshalbleiter wird mit der Kupferfläche verbunden, oberseitig kontaktiert und mit einem Material auf Epoxidharzbasis verkapselt [68]. In [69] wird der erste Aufbau eines Leistungsmoduls mit elektrischer Isolation auf Basis eines Leadframes beschrieben. Der Leistungshalbleiter ist elektrisch und thermisch leitend an einem Leadframe angebunden, das wiederum durch eine beidseitig klebende Isolationsschicht mit der Grundplatte verbunden ist. Das Kupferstanzgitter ist in der Regel ein bis mehrere Millimeter stark und jede einzelne Kupferfläche des Leistungsmoduls sind über Stegen mit einem äußeren Rahmen verbunden. Bei einem keramikbasierten Substrat wird die Trägerfunktionalität durch den gesamten Schichtaufbau bestehend aus Metall-Keramik-Metall-Schichten abgebildet, während bei einem Leadframe-Substrat diese Funktion ausschließlich durch das Kupferstanzgitter realisiert wird. Weitere Funktionen eines Substrates, wie die Wärmespreizung, die Wärmeleitung und die Bildung einer thermischen Kapazität nahe dem Leistungshalbleiter, sind im Kupferstanzgitter verdichtet. Die elektrische Isolation des Kupferstanzgitters wird durch eine organische Isolationsfolie gewährleistet, welches auf Basis eines Epoxidharzmaterials besteht. Diese hat üblicherweise eine sehr geringe spezifische thermische Leitfähigkeit von etwa $0,24 \text{ Wm}^{-1}\text{K}^{-1}$ [70]. Die thermische Leitfähigkeit lässt sich durch die Zugabe von Keramikfüllpartikeln um ein Vielfaches steigern. Je nach Füllmaterial und Füllgrad kann die thermische Leitfähigkeit der Isolationsfolie bis zu $18 \text{ Wm}^{-1}\text{K}^{-1}$ betragen [71]. Während der Verarbeitung wird die Isolationsfolie zwischen dem Kupferstanzgitter und der Grundplatte bzw. Kühlerplatte gelegt und der Gesamtaufbau wird durch ein Laminationsverfahren im Vakuum unter einem geringen Druck von etwa 4 MPa und bei einer Temperatur von etwa 190 °C verbunden.

2.3 Die-Attachment-Technologien

Die-Attachment ist in der Aufbau- und Verbindungstechnik für die Leistungselektronik ein Prozess, der den Leistungshalbleiter mit dem Substrat thermisch und elektrisch dauerhaft verbindet. Über die Die-Attach-Verbindung fließt der gesamte elektrische Strom als auch ein Großteil des Wärmeflusses aus dem Leistungshalbleiter. Da der Leistungshalbleiter und das Substrat unterschiedliche Ausdehnungskoeffizienten haben und die Die-Attach-Schicht sich zwischen Chip und Substrat befindet, fungiert die Die-Attach-Verbindung als eine Ausgleichsschicht für die im Betrieb entstehenden thermomechanischen Spannungen. Die Die-Attach-Verbindung spielt daher eine wichtige Rolle beim Aufbau eines Leistungsmoduls und beeinflusst maßgeblich die Performanz und die Zuverlässigkeit des leistungselektronischen Systems [72]. Beim Die-Attach-Prozess wird zwischen den zwei Verbindungsarten organische und metallurgische Verbindung unterschieden. Organische Verbindungen basieren auf elektrisch und thermisch leitenden Klebstoffen auf Epoxidharzbasis mit Härtemittel und Haftvermittler. Durch die Zugabe von Silberpartikeln mit einem Gewichtsanteil von bis zu 90 % kann zum einen die thermische und elektrische Leitfähigkeit der Klebeschicht gesteigert werden und zum anderen lässt sich die Thixotropie des Klebstoffes beeinflussen [73]. Untersuchungen in [74] zeigen, dass Klebstoffe eine relativ hohe elektrische Leitfähigkeit aufweisen. Klebstoffe können bis zu einer Stromdichte von $2,4 \text{ A mm}^{-2}$ ohne Kühlung eingesetzt werden. Die Zuverlässigkeit und Scherfestigkeit der Klebeverbindung ist aufgrund des geringen Elastizitätsmoduls sogar besser bzw. vergleichbar mit dem einer Lötverbindung. Der Die-Attach-Prozess wird bei einer relativ geringen Aushärtungstemperatur des Klebers und ohne Druckeinwirkung durchgeführt, sodass die Wahrscheinlichkeit einer Chipbeschädigung minimiert wird. Nach aktuellem Stand der Technik eignet sich die Klebtechnik jedoch nicht für den Einsatz als Die-Attach-Verbindung für die Leistungselektronik. Im Vergleich zu einer metallurgischen Verbindung sind die elektrischen und insbesondere die thermischen Eigenschaften des Klebstoffs nicht ausreichend performant. Bei einer metallurgischen Verbindung besteht das Füllmaterial zwischen den zwei Fügepartnern aus einem Metall oder einer Metalllegierung. Die Löt- und Sintertechnologien sind relevant für den Aufbau von leistungselektronischen Modulen.

2.3.1 Lötverfahren

Beim Löten wird ein Füllmetall, durch Hitzeeinwirkung verflüssigt, sodass diese die beiden benachbarten metallischen Oberflächen benetzt und in die Metalloberflächen diffundiert. Dabei bildet sich an der Grenze zur Metalloberfläche eine intermetallische Schicht [75]. Das Füllmetall besteht aus einer Legierung von mindestens zwei Metallen, durch deren Kombination der Schmelzpunkt der Legierung deutlich unterhalb der Schmelztemperatur der Ausgangsmetalle gesenkt wird. Daher ist die Löttemperatur stets niedriger als die Schmelztemperatur der Fügemetalle. Nach Definition der American Welding Society wird die Prozess-temperatur für das Weichlöten auf maximal 450 °C begrenzt. Liegt die Löttemperatur über 450 °C , spricht man von Hartlöten [76].

Bei konventionellen Leistungsmodulen wurden Si-Leistungshalbleiter zum größten Teil mittels einer Lötverbindung mit dem Substrat verbunden. Die Auswahl eines geeigneten Lotmaterials sollte unbedingt an den späteren Anwendungsfall angepasst sein. Der Schmelzpunkt der Lotlegierung für das Die-Attachment sollte mindestens 10 K über der maximalen Sperrschichttemperatur des Leistungshalbleiters und unter 310 °C liegen [77]. Die untere Grenze verhindert ein Wiederschmelzen des Lotes während des Betriebs des Leistungsmoduls und die obere Grenze limitiert den im Leistungshalbleiter entstehenden thermomechanischen Stress nach dem Abkühlen. Als Verbindungsschicht zwischen Chip und Substrat sollte das Lotmaterial einen geringen Ausdehnungskoeffizienten (CTE) von weniger als 29 ppm K^{-1} und ein geringes Elastizitätsmodul (E-Modul) von unter 20 GPa aufweisen, um die thermomechanischen Spannungen zu minimieren [77]. Um Wärme und Strom durch die Lotschicht gut leiten zu können, wird sowohl eine hohe thermische als auch elektrische Leitfähigkeit von mindestens $30 \text{ W m}^{-1} \text{ K}^{-1}$ bzw. $10^{-6} \text{ } \Omega \text{ cm}$ vorausgesetzt.

Die Kombinationen der Eigenschaften, geringer CTE, geringes E-Modul, hohe thermische Leitfähigkeit und hohe mechanische Festigkeit haben einen positiven Einfluss auf die Zuverlässigkeit der Lotverbindung. Um die Bildung von thermischen Hotspots im Leistungshalbleiter zu vermeiden, sollten Lufteinschlüsse in der Lotschicht (Voids), die durch das Verdampfen von Flussmittel im Lot verursacht wird, minimiert werden (Abbildung 18) [78]. Lotmaterialien beinhalten in der Regel etwa zwischen 3 % [79] und 17 % [80] Flussmittel zur Reinigung der Fügeflächen von organischen Rückständen, zur Entfernung der Oxidschichten auf den Metallflächen sowie zur Reduktion der Oberflächenspannung des flüssigen Lotes, um die Benetzungsfähigkeit und die Diffusion des Lotes in die Metallschicht zu steigern [81]. Während des Lötprozesses verdampfen und zersetzen sich die im Flussmittel enthaltenen Lösungsmitteln bzw. Harze und die Aktivatoren reagieren mit den Oxiden und verursachen so die Gasbildung. Durch einen Lötprozess unter Vakuum und durch den Einsatz von „Low-Voiding“ Lotmaterialien mit einem geeigneten Lötprofil lässt sich die Lunkerbildung deutlich verringern. Während der Aufheizphase im Lötprozess, bevor das Lot einen flüssigen Zustand annimmt, sollte ein großer Teil des Flussmittels entweichen, um die Gasbildung im flüssigen Lot gering zu halten [80].

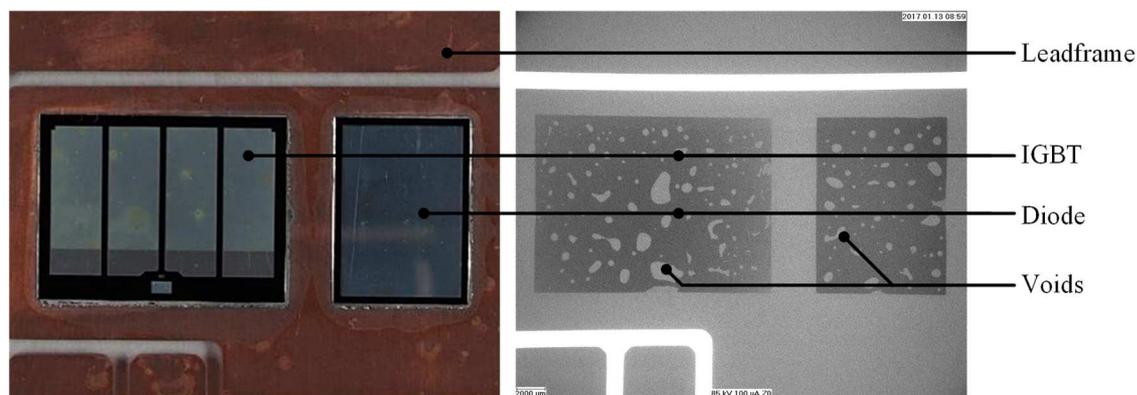


Abbildung 18: Lufteinschlüsse in der Lotschicht unter einem IGBT und einer Diode

In der Vergangenheit wurden sehr häufig Lote mit einem Bleigehalt von mehr als 85 % eingesetzt. Durch höhere Betriebstemperaturen von Leistungsmodulen mit neuen Wide-Bandgap-Leistungshalbleitern, durch die höheren Anforderungen an die Lebensdauer der Leistungsmodule sowie durch die gesetzlichen Vorgaben und Richtlinien (z.B. RoHS – Restriction of the Use of Certain Hazardous Substances) wird der Einsatz von bleifreien Lotmaterialien beziehungsweise alternativen Die-Attach-Verfahren, wie beispielsweise das Sintern, begünstigt [82].

2.3.2 Sinterverfahren

Gemäß [83] ist Sintern ein thermischer Prozess, um Partikel zu einer zusammenhängenden und mehrheitlich festen Struktur zu verbinden. Dies geschieht durch einen Massentransport im atomaren Maßstab. Das Sintern führt zu einer Zunahme der Festigkeit und Materialdichte in der Struktur. Der Materialtransport wird verursacht durch eine Diffusionskraft auf der atomaren Ebene, die durch die Minimierung der Grenzflächen- und Oberflächenenergie hervorgerufen wird [72]. Beim Löten wird das Lot aufgeschmolzen und diese benetzt und reagiert mit der Kontaktfläche, um eine intermetallische Phase zu bilden. Im Gegensatz dazu basiert die Sinterverbindung auf der Bildung einer Materialdiffusionsschicht zwischen dem Sintermaterial und der Kontaktfläche. Beim Sintern wird zwischen Flüssigphasen- und Festphasensintern unterschieden. Beim Flüssigphasensintern werden zwei oder mehrere Materialien (z. B. Legierungen) mit unterschiedlichen Schmelztemperaturen miteinander verbunden, sodass die Materialien in eine flüssige Phase übergehen. Festphasensintern basiert dagegen auf Diffusionsprozessen der Materialien (z. B. nichtlegierte

Metalle oder Keramiken) im festen Zustand [84]. Für die Aufbau- und Verbindungstechnik in der Leistungselektronik spielt das Festphasensintern von Metallen (z. B. Ag oder Cu) eine entscheidende Rolle.

Der Sinterprozess lässt sich anhand von einem Zweiteilchenmodell in Abbildung 19 vereinfacht darstellen. In einer Sinterpaste sind die Partikel zunächst durch Stabilisatoren voneinander abgegrenzt, die eine Initiierung des Sinterprozesses verhindern [72]. Durch die Zuführung von thermischer Energie zerfallen diese organischen Stabilisatoren. Die für den Sinterprozess erforderliche Temperatur liegt deutlich unter der Schmelztemperatur des Sintermaterials. Die Minimierung der Oberflächenenergie sowie die Teilchendiffusion auf atomarer Ebene sind die treibenden Kräfte beim Sintern. Die Verringerung der Oberflächenenergie erzeugt einen Druck bzw. eine Kraft, die die Teilchen zusammenzieht, um den Sinterprozess zu initiieren. Parallel dazu diffundieren Materialien an der Partikeloberfläche der beiden Teilchen zu der Kontaktstelle und bilden so eine Sinterbrücke zwischen den beiden Teilchen.

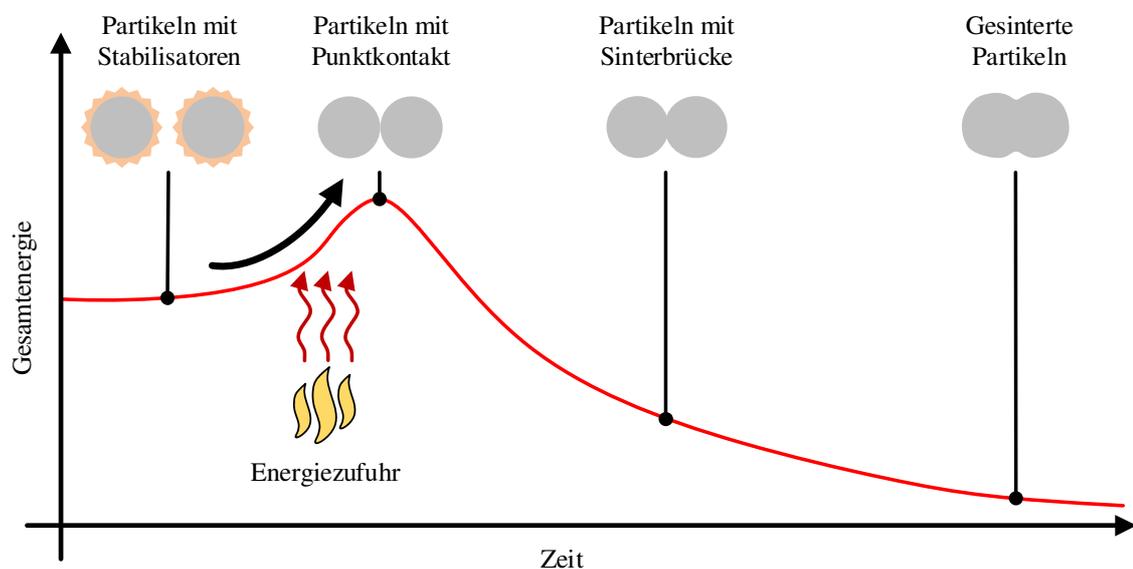


Abbildung 19: Vereinfachte Darstellung des Sinterprozesses mit dem Zwei-Kugel-Modell

Gemäß [83] lässt sich der auf die Teilchen wirkende Druck im Zwei-Teilchen-Modell mit W_0 als die Oberflächenenergie, D als den Teilchendurchmesser und X als die Breite der Sinterbrücke wie folgt abschätzen:

$$\sigma = W_0 \left[\frac{2}{X} - \frac{4D}{X^2} \right] \quad (2.23)$$

Bei der Sinterbrückenbildung nimmt die Verdichtung etwa um 2 – 3 % zu. Mit zunehmender Temperatur werden Korngrenzen- und Volumendiffusion dominanter und aufgrund des zunehmenden Materialtransportes werden die Poren zwischen den Teilchen deutlich verkleinert, sodass eine Schrumpfung der Sinterschicht stattfindet [72]. Gemäß dem Fick'schen Diffusionsgesetz in Gleichung (2.24) ist die Teilchenstromdichte J abhängig von dem Diffusionskoeffizienten D und dem Konzentrationsgefälle dc/dx in beiden Teilchen [84].

$$J = -D \frac{dc}{dx} \quad (2.24)$$

Im weiteren Verlauf können die feinen Poren weiter geschlossen werden, was theoretisch zur Bildung eines Vollmaterials (Bulk) führen kann. Die Festigkeit der Sinterverbindung, die Porosität bzw. der Grad der

Verdichtung, die Bildung von Luftporen sowie die Haftfestigkeit zum Substrat sind wichtige Bewertungskriterien des Sinterprozesses. Das Sinterergebnis ist abhängig von den geometrischen Parametern, Materialparametern sowie Prozessparametern [83]. Geometrische Parameter beschreiben die geometrischen Eigenschaften der Sinterpartikel, wie z. B. die Partikelgröße, die Porosität und die Oberfläche der Partikel. Die Materialeigenschaften der Sinterpartikel werden z. B. durch die Oberflächenenergie, die Schmelztemperatur und die Diffusionskonstante vorgegeben. Es wird unterschieden zwischen Drucksintern und drucklosem Sintern. Wichtige Prozessparameter beim Sintern sind Sinter Temperatur, -druck und -dauer sowie die Atmosphäre, in der der Prozess durchgeführt wird. Beim drucklosen Sintern werden Sinterpasten mit Nanopartikeln benötigt, da die Oberflächenenergie der Nanopartikel und die Sinter Temperatur ausreichend sind, um den Sinterprozess anzutreiben [72]. Sinterpasten für Drucksintern beinhalten Mikropartikel. Im Falle von sogenannten Hybridpasten bestehen diese aus einer Mischung von Mikro- und Nanopartikeln. Nanopartikel sind eher kugelförmig und haben eine Größe von bis zu 50 nm. Mikropartikel sind plättchenförmig mit einer Stärke etwa 300 nm und eine Länge von etwa 500 nm [85]. Nach aktuellem Stand der Technik erzielen Hybridpasten sogar bessere Sinterergebnisse als Sinterpasten mit reinen Nano- oder Mikropartikeln [85].

Tabelle 3: Gegenüberstellung einer mit einem Standard-SAC-Lot gelöteten Verbindung und einer gesinterten Verbindung mit 15 % Porosität [72, 85–87]

Eigenschaften		Die-Attach Material	
		SAC-Lot Sn96,5Ag3Cu0,5	Ag-Sintern (15 % Porosität)
Elektrische Leitfähigkeit	[MS m ⁻¹]	7,69	40
Thermische Leitfähigkeit	[W (m K) ⁻¹]	58,7	265,2 ^{*1}
Thermischer Ausdehnungskoeffizient	[ppm K ⁻¹]	23,5	20
Elastizitätsmodul	[GPa]	44	44
Zugfestigkeit	[MPa]	29,7	166,6 ^{*2}
Scherfestigkeit bei Raumtemperatur	[MPa]	27	60 ^{*3}
Schmelztemperatur	[°C]	221	961
Homologe Temperatur (bei 150°C Betriebstemperatur)		0,856	0,343

^{*1}: geschätzt mit der Gleichung $y=435,17 \exp(-0,033x)$ mit $x = 15\%$ Porosität
^{*2}: geschätzt mit der Gleichung $y=-7,086x + 272,91$ mit $x = 15\%$ Porosität
^{*3}: Sinterparameter (14 MPa, 300 °C, 5 Min)

Die Eigenschaften einer gesinterten Verbindung werden durch die Porosität der Sinterschicht beeinflusst. Tabelle 3 vergleicht die Eigenschaften einer gesinterten Verbindung mit einer Porosität von etwa 15 % mit einer Standard-SAC-Lötverbindung. Die Sinterverbindung hat eine in etwa 5-fach höhere elektrische und eine 4-fach höhere thermische Leitfähigkeit als eine Lötverbindung. Der thermische Ausdehnungskoeffizient sowie das E-Modul weisen vergleichbare Werte auf, sodass die thermomechanischen Spannungen in der Die-Attach-Schicht vergleichbar sind. Allerdings hat die Sinterschicht eine 5-mal höhere Zugfestigkeit, eine doppelt so hohe Haftfestigkeit und insbesondere eine deutlich geringere homologe Temperatur als die Lotschicht. Die homologe Temperatur $T_{\text{homologous}}$, die das Verhältnis zwischen der Betriebstemperatur $T_{\text{operation}}$ und dem Schmelzpunkt des Materials T_{melt} beschreibt, hat einen entscheidenden Einfluss auf die Wechselfestigkeit bzw. Zuverlässigkeit der Die-Attach-Verbindung. Liegt diese unter 40 % ist die Auswirkung auf die Verbindungsstelle sehr gering. Zwischen 40 % und 60 % unterliegt die Verbindung der Kriechdeformation und oberhalb von 60 % nimmt die Festigkeit des Materials deutlich ab. Für Wide-Bandgap-Leistungshalbleiter, die theoretisch weit über 200 °C betrieben werden können, können Standard-Weichlote als Die-Attach-Material daher nicht eingesetzt werden [88].

2.4 Chip-Oberseitenkontaktierung

In einem Leistungsmodul stellt die Chip-Oberseitenkontaktierung eine elektrisch leitende Verbindung zwischen der oberen Metallbeschichtung eines Leistungshalbleiters und den benachbarten Leistungshalbleitern oder der oberen Metallschicht des Substrates her. Dabei bilden diese Oberseitenkontaktierungen gemeinsam mit den Leistungsschaltern, dem strukturierten Substrat und die Die-Attach Verbindungen die komplette Schaltungstopologie des Leistungsmoduls ab. Die klassische Kontaktierung durch Dickdrahtbondverbindungen (Dickdraht) erfüllen die Hauptfunktion als Hochstrom- bzw. Signalleitung. Andere alternative Kontaktierungsverfahren, wie beispielsweise das „Direct Lead Bonding“ (DLB), bieten zusätzlich die Funktionen als wirksame thermische Kapazität auf der Chip-Oberseite an [89]. Die sogenannte SKiN® Technologie von der Firma SEMIKRON International GmbH kontaktiert die Chip-Oberseite mittels einer flexiblen Leiterplatte, auf der eine Elektronik zur Erzeugung des Gate-Ansteuersignals integriert werden kann [90]. Nach aktuellem Stand der Technik existieren vier Verbindungsverfahren: Ultraschallschweißen, Lötten, Sintern und Galvanisierung zur Realisierung der Oberseitenkontaktierung. Tabelle 4 ordnet die unterschiedlichen Kontaktierungstechnologien den jeweiligen Verbindungsverfahren zu.

Tabelle 4: Übersicht über unterschiedliche Kontaktierungstechnologien

Verbindungsverfahren	Kontaktierungstechnologie	
Ultraschallreißschweißverfahren	Dickdrahtbonden	Bändchenbonden
Lötten	Direct Lead Bonding	
Sintern	SEMIKRON SKiN® Technologie	
galvanische Abscheidung	SiPLIT (Siemens Planar Interconnect Technology)	

2.4.1 Dickdrahtbondverbindungen

Beim Ultraschallbonden werden zwei gleiche oder unterschiedliche metallische Werkstoffe durch Zugabe von Druck und Ultraschallenergie stoffschlüssig miteinander verbunden, ohne dass die Verbindungspartner in eine flüssige Phase übergehen [91]. Das Ultraschallbonden ist ein hochautomatisierter Prozess, der mittels eines Drahtbondautomaten durchgeführt wird. Es ist ein häufig verwendeter Kontaktierungsprozess in der Aufbau- und Verbindungstechnik und bietet Vorteile im Hinblick auf Kosten, Prozesssicherheit und -stabilität sowie Flexibilität bei Designänderungen [92]. Für den Aufbau von Leistungsmodulen werden Dickdrähte (Heavy Wires) mit einem Drahtdurchmesser von 100 µm bis 500 µm eingesetzt [93]. Die Dickdrahtspule wird am Bondautomaten befestigt und der Draht muss zunächst in den Bondkopf eingefädelt werden. Der Bondkopf ist die zentrale Einheit eines Bondautomaten und besteht im Wesentlichen aus einem Ultraschallgenerator, einem Bondwerkzeug (V-Groove), einem Messer, einer Drahtklammer und einer Drahtführung (Anhang A 6). Der Dickdraht wird über eine Drahtführung bis zum Bondwerkzeug vorgeschoben und unter dessen V-förmigen Nut geführt. Der Runddraht wird durch das Bondwerkzeug fixiert und über diese wird eine Presskraft sowie eine Ultraschalleistung beim Bonden übertragen. Wie im Anhang A 6 dargestellt, liegt der Ausgangspunkt, auch „Source“ genannt, bei der Herstellung einer Bondverbindung zwischen Chip und Substrat stets auf der Chip-Oberfläche. Der Bondkopf wird über der vorgesehenen Bondstelle auf dem Chip positioniert und anschließend soweit vertikal nach unten bewegt, bis der Draht die Chip-Oberfläche erreicht. Dabei wird der Draht vordeformiert, um eine Kontaktfläche zwischen Bonddraht und Chip-Oberfläche für den Ultraschallschweißvorgang zu generieren. Die auf der Bondstelle wirkende Kraft wird bis zu der eingestellten Bondkraft erhöht und simultan dazu wird die eingestellte Ultraschalleistung über das Bondwerkzeug an den Bonddraht übertragen. Je nach Drahtmaterial, Drahtquerschnitt sowie Beschaffenheit der Bondfläche variieren die erforderliche Ultraschallfrequenz und -leistung. Für Aluminiumdrähte liegt die Ultraschallfrequenz bei 60 kHz bis 80 kHz und etwa 65 Watt Ultraschall-

leistung, wohingegen für Kupferdrähte eine Ultraschallleistung von etwa 150 W und eine Ultraschallfrequenz von etwa 80 kHz benötigt wird [94]. Während des Schweißprozesses wird der Draht weiter deformiert und passt sich der V-Nutform des Bondwerkzeuges an. Die Dauer des Schweißprozesses liegt bei etwa 80 ms bis 200 ms [93]. Nachdem die Kaltschweißverbindung am „Source“ hergestellt wurde, wird im Bondkopf die Drahtklammer gelöst, um die Drahtnachführung bei der Loopbildung der Bondverbindung zwischen Chip und Substrat zu ermöglichen. Dabei fährt der Bondkopf eine programmierbare Folge von vertikalen und horizontalen Bewegungen nach, um die gewünschte Krümmung der Bondverbindung zu erzielen. An der zweiten Bondstelle, auch „Destination“ genannt, wird der Draht ebenso vordeformiert und verschweißt. Gesetzt den Fall, dass der Bondkopf ein Backcut-System hat, wird der Bonddraht nach dem Schweißen von der Drahtklammer festgehalten und von dem Messer bis zu einer eingestellten Schnitttiefe angeschnitten und durch die Bewegung des Bondkopfes nach hinten abgerissen (Anhang A 7). Bei einem Frontcut bewegt sich der Bondkopf zunächst um eine Tail-Länge nach hinten bevor der Bonddraht angeschnitten und abgerissen wird. Sofern die Bondoberfläche dies erlaubt, besteht ebenso die Möglichkeit, den Bonddraht komplett abzuschneiden, sodass ein Abreißweg nicht erforderlich ist [95]. Ein Frontcut-System hat daher einen Vorteil in engen Bondbereichen (z. B. Kontaktierung zwischen Substrat und Anschlusspin).

Aluminium- und AlX-Dickdraht

Speziell für den Bereich der Aufbau- und Verbindungstechnik für die Leistungselektronik werden Aluminium und Kupfer als Werkstoffe bevorzugt. Für den Aufbau von konventionellen IGBT-Leistungsmodulen werden zumeist Aluminiumdrähte eingesetzt, da diese mit der Chip-Oberseitenmetallisierung aus Aluminium direkt gebondet werden kann (Abbildung 20 links). Eine Weiterentwicklung des konventionellen Aluminiumdrahtes im Hinblick auf eine höhere Zuverlässigkeit ist der sogenannte „AlX-Draht“ von der Firma Heraeus. Dieser Draht besteht aus einer Aluminium-Scandium-Legierung mit einem Massenanteil von weniger als 1 % Scandium [96]. Der Draht wird bei etwa 300 °C vorgeglüht. Dabei findet eine Ausscheidungshärtung statt, in dem Scandium-Partikel sich an den Korngrenzen lagern. Dadurch werden Rekristallisationsprozesse im Aluminium und somit auch eine Entfestigung des Materials sehr stark eingeschränkt. Untersuchungen in [97] zeigen, dass Scandium die höchste Festigkeitszunahme pro Atomprozent in einer Legierung bewirkt. Durch Bondparameteroptimierung konnten anhand eines AlX-Drahtes mit einem Durchmesser von 300 µm die Scherfestigkeit und die Pullwerte um 25 % bzw. um 40 % gegenüber einem Aluminiumdraht mit dem gleichen Drahtdurchmesser gesteigert werden [98]. AlX-Drahtverbindungen weisen eine mehr als fünfmal höhere Lebensdauer auf als bei einem konventionellen Aluminiumdraht AlH11. Analysen der Degradationsstellen zeigen, dass die Rissbildung beim AlX-Draht in der Chipmetallisierung und beim Aluminiumdraht über der Chipmetallisierung im Draht selbst verläuft [99].

Kupferdickdraht

Im Vergleich zu Aluminium ist die thermische und elektrische Leitfähigkeit bei Kupfer um etwa 80 % bzw. um 60 % höher [100]. Werden die Aluminiumdrahtverbindungen durch Kupferdrahtverbindungen ersetzt, lässt sich die Stromdichte deutlich steigern, da zum einen die Bondverbindungen aufgrund des geringeren Ohmschen Widerstandes bei gleichbleibender Stromstärke sich deutlich weniger erwärmen und zum anderen die im Draht entstehende Wärme auf dem Substrat effektiver abgeführt wird. Eine Reduzierung der maximalen Temperatur im Bonddraht um bis zu 38 % ist möglich [101]. Kupfer hat einen geringen thermischen Ausdehnungskoeffizienten und eine höhere Streckgrenze, in der die Metallverbindung eine plastische Dehnung erfährt [93]. Kombiniert mit einer höheren Festigkeit des Materials haben Kupferbondverbindungen eine bis zu 200-mal höhere Lebensdauer im Vergleich zu konventionellen Aluminiumbondverbindungen [102]. Beim Ultraschallbonden würde der Kupferdraht jedoch die Aluminiumbeschichtung der Chip-Oberfläche beschädigen, da Kupfer deutlich härter ist als Aluminium. Daher wird beim Kupferbonden eine Kupferoberfläche mit ausreichender Schichtstärke vorausgesetzt. Allerdings kann Cu leicht in Si diffundieren und die elektrischen Funktionen des Siliziumbauelements beeinträchtigen

[103]. Bereits ab einer Temperatur ab 150 °C reagiert Cu mit Si und formt dabei eine Kupfersilicidschicht, die durch ihr zunehmendes Wachstum den PN-Übergang zerstören kann. Eine direkte Kupfermetallisierung auf einem Siliziumhalbleiter erfordert daher eine ausreichend starke und zuverlässige Wolfram-Diffusionsbarriere (W) zwischen Si und Cu (Infineon „XT Technologie“) [104]. Bei der „Danfoss Bond Buffer Technologie“ (DBB) wird eine 70 µm starke Kupferfolie durch Ag-Drucksintern auf die Oberseite des Leistungshalbleiters aufgebracht. Jedoch muss die Chip-Oberseite vorher aufwendig mit einer sinterfähigen Schicht nachmetallisiert werden. Diese Folie soll zum einen als zusätzliche thermische Kapazität und Wärmepreizer fungieren und zum anderen die mechanische Belastung beim Kupferbonden absorbieren [105]. Kupferdrahtbonding erfordern Investitionen in einem speziellen Bondkopf, mit dem eine höhere Bondkraft, Klemmkraft, Reißkraft und Ultraschalleistung eingestellt werden kann, da Kupfer ein 2,8-faches Elastizitätsmodul und eine 2-fache Reißlast hat im Vergleich zu Aluminium (Abbildung 20 rechts) [94].

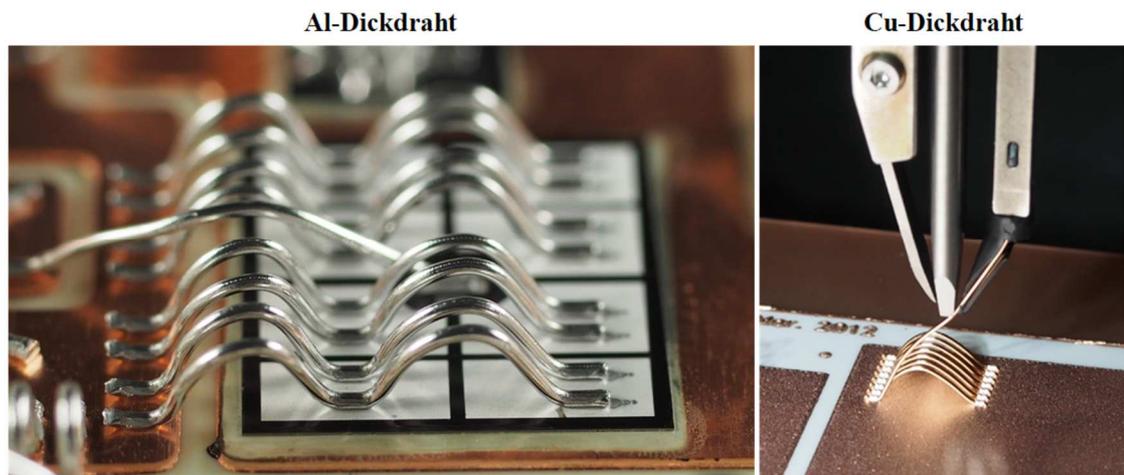


Abbildung 20: Aluminiumdickdrahtbonding auf einem Si-IGBT (links) und Cu-Dickdrahtbonding auf einem Cu-Dickfilm-Substrat (rechts)

CucorAl

Der CucorAl-Dickdraht von dem Hersteller Heraeus besteht zu etwa 70 % aus einem Kupferkern, der von einer Aluminiumschicht umrandet ist [106]. Dieser Draht kombiniert die Vorteile von einem Aluminiumdraht und einem Kupferdraht, denn dieser lässt sich mit einem konventionellen Bondautomaten direkt auf die Standard-Aluminiumchipmetallisierung bonden. Der Kupferkern steigert die Stromtragfähigkeit des Drahtes um etwa 30 % und die Lebensdauer um das 22-Fache [107]. Allerdings lässt sich der Draht nur mit einer höheren Bondkraft und einer höheren Spannung bonden, sodass eine größere Gefahr besteht den Leistungshalbleiter zu beschädigen.

Bändchenbonden

Beim Bändchenbonden werden anstatt dicker Runddrähte flache Leiterbändchen ultraschallgeschweißt. Vergleichbar mit Runddrähten gibt es ebenfalls drei unterschiedliche Sorten von Flachbändern aus Aluminium, Kupfer bzw. aus Kupfer mit einer einseitigen Aluminiumbeschichtung („Al-Cladded Copper Ribbon Bonds“) [108]. Die Parallelschaltung von mehreren runden Bonddrähten hat den Nachteil, dass bei hohen Frequenzen der Strom durch Skin- und Proximityeffekte an beiden Rändern der äußeren Drähte verdrängt wird, sodass der effektive Querschnitt deutlich minimiert wird. Ein Vergleich der Stromverdrängungseffekte von Runddrähten und flachen Bändchen zeigt, dass beim flachen Bändchen der effektive Querschnitt deutlich größer ist. Aus diesem Grund werden insbesondere in der Hochfrequenztechnik Bändchen für die Kontaktierung eingesetzt [109]. Bei der Oberseitenkontaktierung des Leistungshalbleiters kann auf der

bondbaren Chip-Oberfläche nur eine begrenzte Anzahl an runden Bonddrähten kontaktiert werden. Die Geometrie des Bondtools (Wedge) bestimmt dabei den minimalen Abstand zwischen den Bonddrähten. Flache Bändchen haben eine deutlich größere Chipkontaktfläche als Runddrähte mit vergleichbarem Leiterquerschnitt. Im Gegensatz zu Runddrähten können zwei Bändchen übereinandergesetzt ultraschallverschweißt werden (Stagging), um die parasitäre Induktivität im Leistungsmodul und gleichzeitig die Stromdichte im Bändchen zu verringern. Die Substitution von Dickdrähten durch Bändchen steigert den Durchsatz bei der Modulproduktion, da ein Bändchen mehrere Dickdrahtbondverbindungen ersetzen kann. Durch den Einsatz von Wide-Bandgap-Leistungshalbleitern können höhere Flankensteilheiten beim Schalten realisiert werden. Signale mit hohen Flankensteilheiten weisen hohe Frequenzanteile im Spektrum auf. Wide-Bandgap-Leistungshalbleiter haben eine kleinere Chipfläche als ein vergleichbarer Siliziumchip, so dass die zur Verfügung stehende Chipfläche effektiver genutzt werden sollte. Bändchen bieten mechanische Vorteile gegenüber Runddrähten aufgrund der besseren Loop-Stabilität in Bezug auf Seitenbeschleunigungen [109]. Aufgrund der zahlreichen elektrischen, mechanischen und wirtschaftlichen Vorteile von flachen Bändchen, könnten diese als eine interessante alternative Kontaktierung für den Aufbau von Wide-Bandgap-Leistungsmodulen sein.

2.4.2 Alternative Kontaktierungsverfahren

Direct-Lead Bonding (DLB)

Abbildung 21 (links) zeigt, dass beim DLB ein Kupferstanzgitter, das als Anschlussterminal des Leistungsmoduls ausgeführt sein kann, auf die Chip-Oberseite gelötet wird. Aufgrund der vergleichsweise kleinen Struktur der Gate-Verbindungsfläche und des geringen Stromflusses, wird diese ausschließlich mit einem Aluminiumdickdraht gebondet. Die flächige Anbindung des Leistungshalbleiters im Source- bzw. Emitter-Bereich ermöglicht eine gleichmäßige Verteilung des Stromes und Spreizung der im Chip entstehenden Wärme. Selbst Spitzentemperaturen in den Hotspots, die durch kleine Lufteinschlüsse in den Verbindungsschichten unter und über dem Chip hervorgerufen werden, können verringert werden. Das Kupferstanzteil über dem Chip fungiert als zusätzliche thermische Kapazität und reduziert den transienten thermischen Widerstand um etwa 35 % [89]. Zuverlässigkeitstests zeigen, dass die Lebensdauer der DLB-Verbindungen um den Faktor 10 erhöht werden kann (bei $\Delta T_j = 100$ K). Durch die flächige Kontaktierung mit dem Kupferstanzteil lassen sich der parasitäre Widerstand des Moduls, bestehend aus Kontaktwiderständen und Leitungswiderständen des Kupferstanzgitters, um 50 % reduzieren. Im Vergleich zu einem Leistungsmodul mit Dickdrahtbondverbindungen kann die parasitäre Induktivität im Modul mit DLB um etwa 30 % reduziert werden [110], da der Abstand zwischen der Kupferlage des Substrates und dem Kupferstanzgitter sehr klein ist und die eingeschlossene Fläche im Kommutierungskreis verringert werden kann.

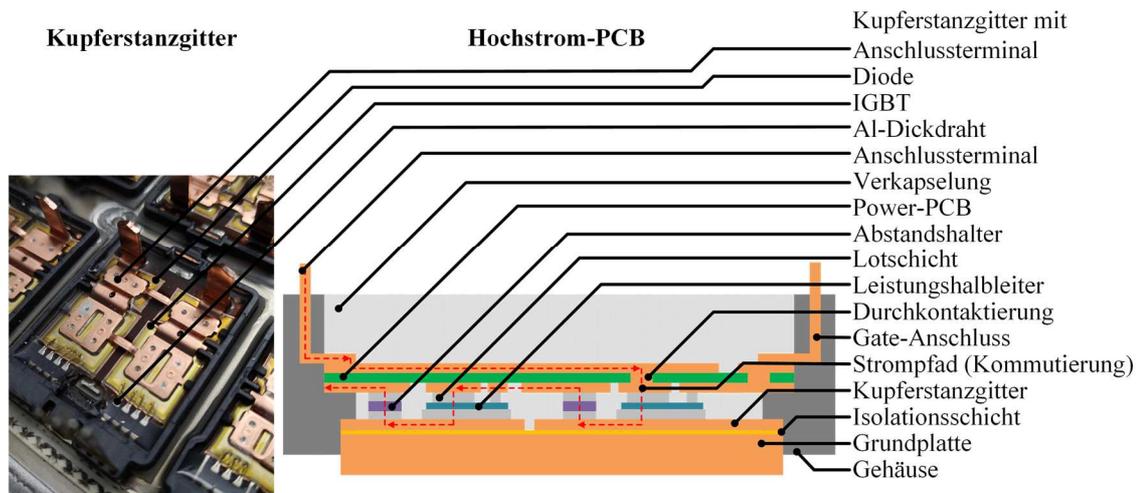


Abbildung 21: Lötenschnittstelle eines Kupferstanzgitters mit Anschlussterminal (links) oder einer Leiterplatte (rechts) direkt auf die Chip-Oberseite [111].

In einer weiteren Realisierungsmöglichkeit wird die Oberseite der Leistungshalbleiter mit einer hochoberflächigen, hochstromfähigen und doppelseitigen Leiterplatte verlötet (Abbildung 21 rechts). Somit wird ein Teil des Stromrückpfades innerhalb des Leistungsmoduls durch diese Leiterplatte geführt und die umschlossene Fläche des Kommutierungspfades minimiert. Die parasitäre Induktivität kann im Vergleich zu einem gebondeten Leistungsmodul um 40 % reduziert werden. Die Gate-Kontakte werden ebenfalls mit der Leiterplatte kontaktiert, sodass ein weiterer Dickdrahtbondprozess eliminiert wird. Durch die Verlagerung des Strompfades in die dritte Dimension kann die Grundfläche des Leistungsmoduls um 36 % verkleinert werden [111].

Semikron SKiN® Technologie

Die Semikron SKiN® Technologie basiert auf einer flexiblen hochoberflächigen Leiterplatte aus Polyamide-Material (Abbildung 22). Die Oberseite der Flexleiterplatte beinhaltet Leiterstrukturen für die Gate-Ansteuerung mit einer Kupferstärke von 35 µm. Die stromführende Kupferschicht hat je nach Stromstärke eine Stärke von bis zu 100 µm und befindet sich auf der Unterseite der Flexleiterplatte. Daher ist die Stromtragfähigkeit der Flexleiterplatte limitiert bzw. die Anzahl der Lagen der Flexleiterplatte muss erhöht werden. Vor der Kontaktierung der Flexleiterplatte mit den Leistungshalbleitern wird ein elektrisch isolierendes Füllmaterial um den Chip aufgetragen, um dessen Ecken und Kanten vor mechanischen Belastungen während dem nachfolgenden Silbersinterprozess zu schützen [89]. Optional besteht die Möglichkeit weitere SMD-Bauelemente (z. B. Gate-Treiberkomponenten, Sensoren) auf die Flexleiterplatte aufzulöten.

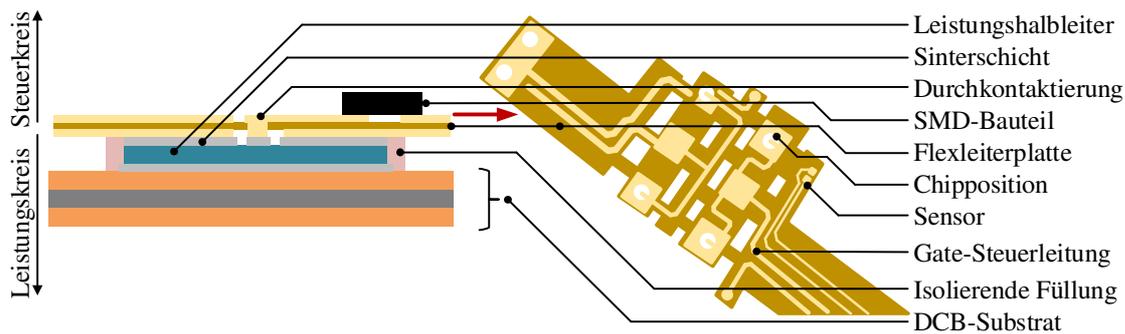


Abbildung 22: Bei der Semikron SKiN® Technologie wird eine flexible Leiterplatte auf die Oberseite des Leistungshalbleiters Ag-gesintert. Mittels Durchkontaktierungen wird der Gate-Kontakt des Leistungshalbleiters auf die Oberseite der flexiblen Leiterplatte geführt und mit der Gate-Ansteuerung verbunden [112]. Die linke Abbildung zeigt den Querschnitt des Leistungsmoduls und die rechte Abbildung die Draufsicht der Flexleiterplatte.

Durch die flächige Kontaktierung wird der Strom auf dem Chip gleichmäßig verteilt und aufgrund der geringeren Loop-Höhe der Flexleiterplatte wird die parasitäre Induktivität im Kommutierungskreis in Relation zu konventionellem Dickdrahtbonding um etwa 15 % reduziert [113]. Im Vergleich zu Aluminiumdickdrahtbonding kann die Lebensdauer eines Leistungsmoduls mit der SKiN-Technologie um bis zu Faktor 10 gesteigert werden (bei $\Delta T_j = 110 \text{ K}$) [112].

Siemens Planar Interconnect Technology (SiPLIT)

Bei der SiPLIT wird die Chip-Oberseite durch Kupferabscheidung in einem galvanischen Prozess flächig kontaktiert (siehe Anhang A 8). Nach dem Die-Attach-Prozess wird ein Isolationsfilm über dem Substrat und den Leistungshalbleiter laminiert. Dieser Laminationsprozess wurde für Leistungshalbleiter mit einer Stärke von $100 \mu\text{m}$ bis $700 \mu\text{m}$ erfolgreich durchgeführt. Die zu kontaktierenden Stellen auf der Chip-Oberseite und auf dem Substrat werden mithilfe eines Hochleistungslasers geöffnet und eine dünne Kupfer-Seed-Lage wird auf die gesamte Fläche gesputtert, um eine elektrisch leitfähige Fläche zu generieren. Darauf wird eine bis zu $200 \mu\text{m}$ dicke Kupferschicht galvanisch abgeschieden. Diese Kupferfläche wird ähnlich wie bei einem Leiterplattenprozess mit einer lichtempfindlichen Resistschicht aufgesprüht und anschließend belichtet und entwickelt. Die freiliegenden Kupferflächen werden in einem Ätzprozess entfernt, um die erforderlichen Kupferstrukturen zu erzeugen. Zuletzt wird das Resist gestrippt. Bei einer Hochvoltanwendung wird das komplette Substrat optional mit einer zweiten Isolationsfilm laminiert [114]. Die parasitäre Induktivität kann im Vergleich zu einer Bondverbindung um 50 % verringert werden [115] und gleichzeitig lässt sich die Lebensdauer der Kontaktierung um den Faktor neun steigern ($\Delta T_j = 100 \text{ K}$) [114].

2.5 Verkapselung

Die Verkapselung schützt das Leistungsmodul vor Umwelteinflüssen, wie beispielsweise Feuchtigkeit, Schmutz und Staub sowie vor mechanischen Belastungen (z. B. Vibration, Querbeschleunigung). Das Substrat und die Verkapselung bilden gemeinsam eine elektrische Isolation um das Modul, sodass ausschließlich an den Anschlussklemmen hohe elektrische Spannungen anliegen können. Optional kann die Verkapselung als zusätzliches Element für die Wärmespreizung und Wärmekapazität genutzt werden, um dynamisch thermisches Verhalten des Leistungsmoduls zu optimieren [116]. Dies setzt jedoch voraus, dass das eingesetzte Verkapselungsmaterial eine hohe thermische Leitfähigkeit bzw. thermische Kapazität besitzt.

2.5.1 Pottingverfahren

Beim Pottingverfahren werden empfindliche elektronische Baugruppen, die in einem Gehäuse befestigt sind, mit einem Füllmaterial in flüssiger Ausgangsform vergossen, um diese vor Umwelteinflüssen zu schützen. Der Verguss kann je nach Material und Mischungsverhältnis nach dem Aushärten weich oder hart sein.

Verguss mit Silikongel

Silikongel ist ein Vergussmaterial, das aus einem anorganischen Silizium-Sauerstoff molekularen Hauptstrang mit angebenen organischen Bestandteilen aus der Methylgruppe (CH_3) oder Vinylgruppe (CH_2) besteht [117] [118] (Abbildung 23). Silikone gehören daher zu der Klasse der semi-anorganischen Polymere [119].

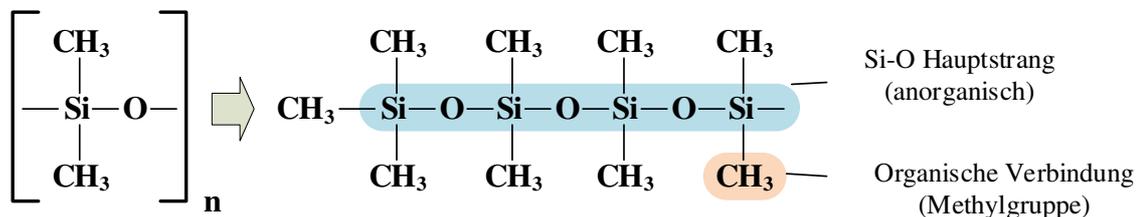


Abbildung 23: Polymerkettensystem eines Standard-Silikonmaterials aus Polydimethylsiloxane ($\text{C}_2\text{H}_6\text{OSi}$)_n

Standard-Silikonmaterialien aus Polydimethylsiloxane ($(\text{C}_2\text{H}_6\text{OSi})_n$) sind weich und können thermomechanische Belastungen sowie unterschiedliche Ausdehnungen der verschiedenen Komponenten im Leistungsmodul gut kompensieren. Das Material ist sehr gut elektrisch isolierend mit einer elektrischen Durchschlagsfestigkeit von mehr 23 kV mm^{-1} und einer geringen Feuchtigkeitsaufnahme von weniger als $500 \text{ ppm } 24\text{h}^{-1}$ bei Raumtemperatur. Die Betriebstemperatur des Materials ist zwischen -40 und $200 \text{ }^\circ\text{C}$ spezifiziert [120]. Wird das Silikongel bei hohen Temperaturen ausgelagert, reagieren die organischen Methylgruppen (CH_3), wie in Abbildung 24 dargestellt, zunächst mit dem O_2 zu Karbonsäure (COOH) und in weiteren Schritten durch Abgabe von Kohlendioxid (CO_2) zu Wasserstoff. Dabei verliert das Vergussmaterial immer mehr Feuchtigkeit sowie Elastizität und es bilden sich Blasen im Vergussmaterial. Dies begünstigt die Delamination des Silikongels vom Substrat [121]. Durch weitere Reaktionen mit dem Sauerstoff kann noch mehr Feuchtigkeit entweichen und die Polymerketten reagieren im Endzustand zu Siliziumdioxid (SiO_2).

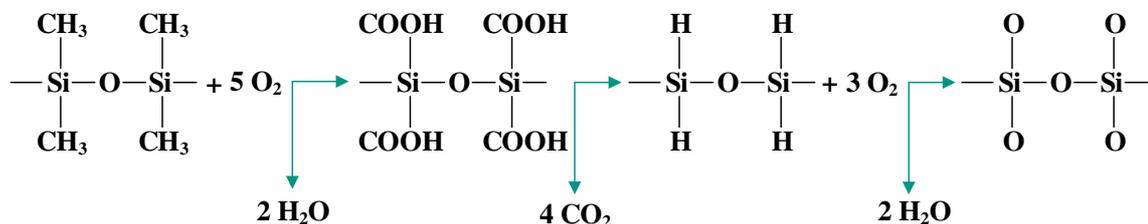


Abbildung 24: Ablauf der chemischen Reaktionen bei einer thermischen Auslagerung eines konventionellen Silikongels

Neuartige Silikongele sind für eine Betriebstemperatur von bis zu $215 \text{ }^\circ\text{C}$ spezifiziert und können für den Einsatz in Wide-Bandgap-Leistungsmodulen verwendet werden [117].

Epoxid-Formmasse

Kunststoffen wird hauptsächlich zwischen Thermoplasten und Duroplasten unterschieden. Thermoplaste bestehen aus unvernetzten ineinander verwobenen Molekülketten. Abbildung 25 zeigt, dass bei Thermoplasten die Molekülketten eine amorphe bzw. eine teilkristalline Struktur aufweisen können. Bei Thermoplasten mit einer amorphen Struktur, wie z. B. Polycarbonat, sind die Molekülketten ungeordnet. Während bei einem Thermoplast mit einer teilkristallinen Struktur, wie z. B. Polyamid, bilden sich beim Abkühlen des Polymers in Teilbereichen parallele Molekülketten. Thermoplaste können beliebig oft geschmolzen und geformt werden. Duroplaste können im Gegensatz zu Thermoplasten nur einmal geschmolzen und geformt werden. Bei der Abkühlung des Polymers bilden sich amorphe Molekülketten mit engmaschigen Quervernetzungen (engl. Cross Linking).

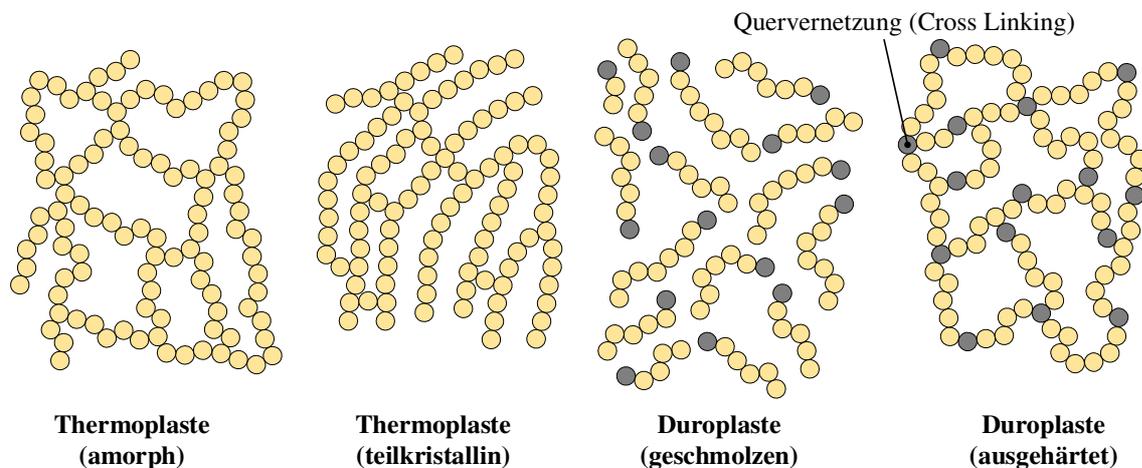


Abbildung 25: Aufbau der Molekülketten von Thermoplasten und Duroplasten

Im Unterschied zum Silikongel ist die Epoxid-Formmasse (engl. Epoxy Molding Compound – EMC) ein Duroplast, das hauptsächlich aus Epoxidharz, Füllmaterial und Additiven besteht. Zu den wichtigsten Additiven zählen Aushärtemittel, Trennmittel, Farbstoffe, Flammenschutzmittel und Zusatzmittel für Spannungsentlastung [122]. Vor dem Aufschmelzen der Epoxid-Formmasse besteht das Epoxidharz aus einzelnen Polymermolekülketten. Beim Aushärtungsprozess bildet das Epoxidharz zusammen mit dem Härter ein engmaschiges Polymer mit zahlreichen Quervernetzungen. Nach dem Erstarren ist die Verkapselung hart und die Polymerverbindungen sind thermisch sehr stabil, sodass der Kunststoff nicht mehr aufgeschmolzen werden kann. Als Füllmaterialien werden in der Regel SiO_2 oder AlN und Al_2O_3 verwendet, um die Eigenschaften der Verkapselung, wie z. B. thermische Leitfähigkeit, Ausdehnungskoeffizient, Feuchtigkeitsaufnahme-fähigkeit, zu optimieren. Andere Additive nehmen Einfluss auf bestimmte Eigenschaften wie die Entflammbarkeit, die mechanische Widerstandsfähigkeit oder das Aussehen.

Potting-Epoxid-Materialien sind als flüssiges Vergussmaterial, in Tablettenform (engl. Pellets) oder als Pulver verfügbar. Epoxid-Verkapselungen sind widerstandsfähig gegen Feuchtigkeit und chemische Einflüsse. Sie haben eine hohe elektrische Isolationsfestigkeit von etwa $15\text{-}20 \text{ kV mm}^{-1}$ und eine hohe Temperaturbeständigkeit von $T_g > 200 \text{ °C}$. Prototypmaterialien können sogar eine $T_g = 270 \text{ °C}$ aufweisen. EMC-Materialien sind daher besonders für die Verkapselung von Hochtemperaturleistungsmodulen geeignet.

2.5.2 Resin-Transfer-Molding-Technik (RTM)

Transfer-Molding ist ein Prozess, um ein duroplastisches Material, wie z. B. das EMC, zu formen [123]. Wie in Abbildung 26 dargestellt, besteht eine Transfer-Molding-Anlage im Wesentlichen aus einer Molding-Form mit Kavitäten, Führungskanälen, Auswerferstiften, Moulding-Werkzeugen mit integrierten Heizelementen sowie aus einer Presse mit beheiztem Drucktopf und Kolben. Die Form ist in der Regel zweiteilig mit einer horizontalen Trennung in der Mitte und wird aus Werkzeugstahl gefertigt [124]. Die Innenflächen der Kavitäten sind mit Chrom (Cr) oder Titannitrid (TiN) beschichtet, um das gemoldete Element nach dem Prozess leicht von der Form trennen zu können [123]. Eine umgehende Dichtung auf der Schließseite der Form verhindert, dass die Formmasse unkontrolliert aufgrund des Druckes beim Transfer-Molding Prozess aus der Form austritt. In den Formen sind ebenso Führungsstifte integriert, um einen Versatz beim Schließen der Formteile zu vermeiden.

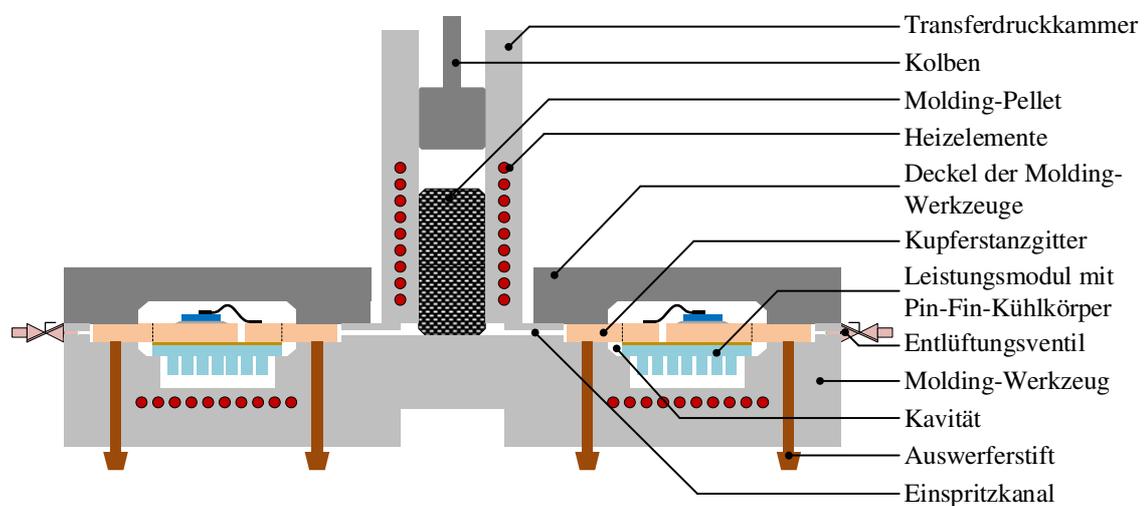


Abbildung 26: Schematischer Aufbau einer Moldinganlage (Querschnitt)

Zunächst werden die kontaktierten Leadframeleistungsmodul in die einzelnen Kavitäten platziert und die beiden Formhälften, die an die Pressplatten montiert sind, werden geschlossen (Anhang A 9). Das EMC-Material wird als Pellet in den Drucktopf der Presse eingeführt. Dieses wird durch die Heizelemente aufgeschmolzen und mittels des Kolbens wird das Material durch die in der Molding-Form integrierten Kanäle in die Kavitäten der Form transportiert. Dabei kann die Luft in den Kavitäten über Entlüftungskanäle entweichen um eine void-freie Verkapselung zu erzielen. Optional können die Hohlräume in den Kavitäten vor dem Pressvorgang evakuiert werden. Nach der Injektion werden die Entlüftungskanäle geschlossen und über den Kolben wird der Druck im duroplastischen Material konstant gehalten, um eine geringe Reaktionsschwindigkeit des Materials ausgleichen zu können und eine hohe Oberflächenqualität zu erzielen [124]. Dies ist besonders wichtig, da die Verkapselung bei einem gemoldeten Leistungsmodul das Modulgehäuse ersetzt. Nach dem Abkühlprozess wird die Form geöffnet und die Leistungsmodul werden durch Auswerferstifte aus der Molding-Form entfernt. Gemäß Anhang A 9 dauert der Aushärtevorgang etwa 3- bis 5-mal länger als den Transferprozess mit einer Dauer von etwa 4 Minuten, abhängig vom Gesamtvolumen aller Kavitäten [125]. Um die Taktzeit in einer Serienproduktion zu steigern, können die Modul jedoch unmittelbar nach dem Injizieren ausgeworfen werden, sobald das Duroplast zu etwa 75% vernetzt ist. Die vollständige Aushärtung kann in einem Ofen erfolgen [124]. Nach dem Auswurf des Leistungsmoduls müssen die Kavitäten und Kanäle gereinigt werden, bevor ein neuer Prozess gestartet werden kann.

Für das Transfer-Molding werden EMC-Materialien im festen Zustand und in einer genannten „B-staged“ Form benötigt. Die Herstellung des B-staged EMC-Materials erfolgt bei etwa 70-80 °C Hitze, um eine partielle Reaktion zwischen dem Epoxidharz und dem Härtemittel hervorzurufen [122]. Im B-staged Material sind die Vernetzungsvorgänge bei geringer Hitze zwar zum Teil initiiert, aber nicht vollständig abgeschlossen worden. Aus diesem Grund bleibt das feste B-staged Material schmelzbar. Durch das Aufbringen von Hitze und Druck lässt sich die Viskosität des EMC-Materials stark reduzieren und in die Molding-Form pressen. Bei der Abkühlung auf Raumtemperatur steigt die Viskosität aufgrund von chemischen Reaktionen erneut auf den Initialwert [126]. Im B-staged Zustand lässt sich das Material leicht transportieren und weiterverarbeiten, denn dieses enthält bereits die richtige EMC-Mischung und ist ebenfalls in einer für den Kunden spezifizierten Menge für den Transfer-Molding-Prozess vorportioniert [127].

2.6 Konventionelle Leistungsmodule

2.6.1 Standard-Modulaufbauprozess

Beim Aufbau eines konventionellen Leistungsmoduls wird die Lotpaste auf das DCB mittels des Schablonendruckes oder durch ein Dispensingverfahren aufgetragen. Es wird vermehrt Lötformteile (engl. Solder Preforms) als Alternative für den Die-Attach Prozess eingesetzt [77]. Diese werden durch einen Pick&Place-Prozess auf das DCB platziert. Anschließend werden die bereits vereinzelt IGBT-Chips im Bestückungsautomaten aus der Waferfolie ausgestochen, vom Vakuum-Bestückkopf aufgepickt und auf das Lot-Depot bzw. auf das Lötformteil gesetzt. Die Chips werden anschließend in einer Reflow-Lötanlage platziert und unter einer Stickstoff (N_2) Atmosphäre verlötet, um Oxidation der Kupferoberflächen des Substrates zu vermeiden. Der N_2 im Reflowofen ist dabei das wärmetransportierende Medium und erwärmt das Substrat in der Vorheizzone (engl. Preheating Zone) bis kurz vor dem Schmelzpunkt des Lotes. Um Luft einschließen unter den Chips zu vermeiden, wird das Substrat nach dem Aufschmelzen des Lotes in der Peak-Zone in eine Vakuumkammer transportiert. Bei einer geringeren Produktionsmenge kann der Lötprozess ebenfalls mit einem Vakuumlötofen abgebildet werden. Nach dem Abkühlen des Substrates wird diese gegebenenfalls vor dem Dickdrahtbondprozess gereinigt, um die Flussmittelreste zu entfernen. Nach der Oberseitenkontaktierung sollte der Aufbau elektrisch getestet werden. Einzelne Substrate können als Stichproben entnommen werden, um die Qualität der bisherigen Produktionsschritte zu kontrollieren. Die Lötstellen können beispielsweise durch ein Röntgenverfahren analysiert und die Qualität der Bondverbindung kann durch einen Pull-Test bewertet werden. Anschließend werden weitere Lötformteile auf die Grundplatte des Leistungsmoduls platziert. Mehrere Substrate, die zu einem Leistungsmodul gruppiert worden sind, werden mit Lötformteilen auf die Grundplatte verlötet. Die Substrate werden mit einem Graphitrahmen an der Grundplatte fixiert, bevor das Modul einen zweiten Lötprozess durchläuft. Das verwendete Lotmaterial für den zweiten Lötprozess ist in der Regel etwa 25-40 K geringer als das eingesetzte Lotmaterial für den Die-Attach-Prozess. Je nach Moduldesign werden die Anschlusskontakte des Leistungsmoduls auf das Substrat geschweißt oder am Gehäuse befestigt. Nach dem zweiten Reinigungsprozess wird das Gehäuse mit der Grundplatte verbunden. Gegebenenfalls wird in einem zweiten Drahtbondingprozess die Verbindung zwischen den Substraten und den Anschlusskontakten hergestellt, bevor das Leistungsmodul mit einem Silikongel versiegelt wird. Abschließend wird das gesamte Leistungsmodul vor der Auslieferung einem Funktionstest unterzogen. Einzelne Module werden als Stichprobe herausgesucht und charakterisiert.

2.6.2 Thermische Anforderungen an das Design von Standard-Si-Leistungsmodulen

Während des Betriebs entstehen im Leistungshalbleiter statische und dynamische Verluste, die vollständig in Wärme umgewandelt werden. Die statischen Verluste für ein IGBT können mit den Gleichungen (2.15) und (2.16) und die dynamischen Verluste mit den Gleichungen (2.17) und (2.18) berechnet werden. Die statischen Verluste in den IGBTs und den Dioden sind maximal bei einem Modulationsgrad von $m=1$ und bei der Phasenverschiebung von $\varphi=0^\circ$. Zur Vereinfachung wird angenommen, dass der Spitzstrom am Phasenausgang dem nominellen Strom und die maximale Spannungsamplitude der Zwischenkreisspannung entspricht. Dadurch lassen sich die Gleichungen zur Berechnung der statischen und dynamischen Verluste in den Leistungshalbleiter zu den Gleichungen (2.25) bis (2.28) vereinfachen:

$$P_{stat,Diode} = \left(\frac{1}{2\pi} + \frac{1}{8}\right) U_{F0}(T_j) \hat{I} + \left(\frac{1}{8} + \frac{1}{3\pi}\right) r_D(T_j) \hat{I}^2 \quad (2.25)$$

$$P_{stat,IGBT} = \left(\frac{1}{2\pi} + \frac{1}{8}\right) U_{ce0}(T_j) \hat{I} + \left(\frac{1}{8} + \frac{1}{3\pi}\right) r_{ce}(T_j) \hat{I}^2 \quad (2.26)$$

$$P_{dyn,Diode} = \frac{1}{\pi} \cdot f_s \cdot E_{rec}(I_{nom}, U_{nom}, T_j) \quad (2.27)$$

$$P_{dyn,IGBT} = \frac{1}{\pi} \cdot f_s \cdot [E_{on}(I_{nom}, U_{nom}, T_j) + E_{off}(I_{nom}, U_{nom}, T_j)] \quad (2.28)$$

In Tabelle 5 werden am Beispiel eines 1200 V IGBT-Halbbrückenmoduls die Gesamtverlustleistungen in den jeweiligen Leistungshalbleitern bei einer Sperrschichttemperatur $T_j=125^\circ\text{C}$ und einer Schaltfrequenz von $f_s=10\text{ kHz}$ berechnet. Si-Leistungshalbleiter können bei einer maximalen Sperrschichttemperatur $T_{j,max}=150^\circ\text{C}$ betrieben werden. In der Automotive-Anwendung wird eine maximale Kühlmitteltemperatur von $T_{coolant,max}=65^\circ\text{C}$ angenommen und bei einer Sicherheitsreserve von etwa 15 % bzw. 25 K ergibt sich eine Temperaturdifferenz von $\Delta T=60\text{ K}$ zwischen Chip- und Kühlmitteltemperatur. Aus der Temperaturdifferenz und der Gesamtverlustleistung im Leistungshalbleiter lässt sich gemäß Gleichung (2.29) der maximal mögliche thermische Widerstand $R_{th,j,coolant}$ berechnen.

$$R_{th,j,coolant} = \frac{T_j - T_{coolant}}{P_V} \quad (2.29)$$

Gemäß Datenblatt wird in diesem Leistungsmodul ein Al_2O_3 -Keramiks substrat eingesetzt. Trotz der geringeren thermischen Leitfähigkeit des Substratmaterials beträgt der thermische Widerstand für eine Diode bei $R_{th,j,coolant,Diode} = 0,41\text{ K W}^{-1}$ und für ein IGBT bei $R_{th,j,coolant,IGBT} = 0,235\text{ K W}^{-1}$. Der vorliegende Aufbau genügt den thermischen Anforderungen, da die Si-Leistungshalbleiter eine vergleichsweise große Chipfläche aufweisen.

Tabelle 5: Bestimmung der Gesamtverlustleistung und der maximal möglichen thermischen Widerstände zwischen den Leistungshalbleitern und dem Kühlmittel am Beispiel eines 1200 V IGBT-Halbbrückenmoduls bei $T_j = 125^\circ\text{C}$ und einer Schaltfrequenz $f_s = 10\text{ kHz}$

1200 V 200 A IGBT-Halbbrückenmodul FF600R12ME4		Diode	IGBT
differenzieller Widerstand $r_{ce, 125^\circ\text{C}} / r_{D, 125^\circ\text{C}}$	[Ω]	3,334E-03	5,556E-03
Schwellwert-Spannung $U_{ce0, 125^\circ\text{C}} / U_{F0, 125^\circ\text{C}}$	[V]	0,95	0,8
Spitzenstromstärke \hat{i}	[A]	200	200
Statische Verlustleistung $P_{\text{statisch}, 125^\circ\text{C}}$	[W]	84,8	96,8
Abschaltverlustenergie $E_{\text{rec}, 200\text{A}, 125^\circ\text{C}}$	[mJ]	14,5	-
Einschaltverlustenergie $E_{\text{dynamisch_on}, 200\text{A}, 600\text{V}, 125^\circ\text{C}}$	[mJ]	-	18,5
Ausschaltverlustenergie $E_{\text{dynamisch_off}, 200\text{A}, 600\text{V}, 125^\circ\text{C}}$	[mJ]	-	16,5
Schaltfrequenz f_s	[kHz]	10	10
Dynamische Verlustleistung $P_{\text{dynamisch}}$	[W]	46,2	111,4
Gesamtverlustleistung P_{gesamt}	[W]	131,0	208,2
maximale Sperrschichttemperatur T_j	[$^\circ\text{C}$]	150	150
maximale Kühlmitteltemperatur T_{coolant}	[$^\circ\text{C}$]	65	65
Sicherheitsreserve T_{reserve}	[K]	25	25
Temperaturdifferenz ΔT	[K]	60	60
maximaler thermischer Widerstand $R_{\text{th}, j, \text{coolant}}$	[K W^{-1}]	0,458	0,288

2.6.3 Elektrische Anforderungen an das Design von Standard-Si-Leistungsmodulen

Tabelle 6 zeigt die üblichen Spannungsklassen für Hybrid- und batterieelektrische Fahrzeuge (Battery Electric Vehicle – BEV) sowie die jeweils dazu übliche Sperrspannung des Leistungsschalters. Für Niederspannungssysteme werden in der Regel Si-MOSFETs verwendet und für Hochspannungssysteme bis 400 V Zwischenkreisspannung können Silizium-Superjunction-MOSFETs mit einer maximalen Sperrspannung von 600 V bis 950 V eingesetzt werden. Für den gleichen Spannungsbereich bei höheren Leistungen, wie beispielsweise im Traktionsbereich, werden in der Regel 650 V IGBT-Leistungsmodule verwendet. Hochperformante Antriebssysteme werden bei 800 V Zwischenkreisspannung mit 1200 V IGBT-Leistungsmodulen betrieben. Aus der maximalen Halbleitersperrspannung lässt sich für jede Spannungsklasse die Spannungsreserve und somit auch die maximal erlaubte Spannungsüberschwingung beim Ausschaltvorgang gemäß Gleichung (2.30) bestimmen (3.7).

$$U_{\text{ind}} = -L_{\sigma, \text{max}} \cdot \frac{di}{dt} \quad (2.30)$$

Aus der maximalen Spannungsüberschwingung und der maximalen Stromflankensteilheit bei Ausschaltvorgang lässt sich die maximal erlaubte parasitäre Induktivität im Zwischenkreis bestimmen. Moderne Mild-Hybrid Fahrzeuge sind mit einem Riemenstarter-Generator oder einem integrierten Startergenerator ausgestattet, der beim Anfahren ein zusätzliches Drehmoment für das Fahrzeug generiert oder beim Bremsen rekuperiert, um Energie in das 48 V Boardnetz zurückzuspeisen [128]. Die Leistungselektronik ist in der elektrischen Maschine integriert und die Leistungsschalter sind auf einer gleichen Leiterplatte niederinduktiv mit dem Zwischenkreiskondensator angebunden. In dieser Anwendung werden die Si-MOSFETs mit einer Stromflankensteilheit von etwa $0,5\text{ A ns}^{-1}$ ausgeschaltet [129]. Für den Antriebsstrang von Plugin-Hybrid-Fahrzeugen und batterieelektrischen Fahrzeugen werden Leistungsmodule eingesetzt, die

mit der Busbar des externen Zwischenkreiskondensators verbunden sind. Die gesamte parasitäre Induktivität ergibt sich aus der Summe der parasitären Induktivitäten des Leistungsmoduls und des Zwischenkreiskondensators. Die parasitäre Induktivität innerhalb des Leistungsmoduls wird hauptsächlich durch die Bondverbindungen, die Kupferflächen auf dem Substrat und die Kontaktierung am Gehäuse verursacht. Si-IGBTs werden in Abhängigkeit vom Gate-Vorwiderstand mit einer Stromflankensteilheit von etwa 6 A ns^{-1} ausgeschaltet. Unter der Annahme, dass die parasitären Induktivitäten eines Standard-Zwischenkreiskondensators für den Einsatz in einem IGBT-Inverter etwa 15 nH beträgt [130], sollte ein 650 V IGBT-Leistungsmodul eine parasitäre Induktivität von etwa maximal 16 nH aufweisen. Für ein 1200 V IGBT-Leistungsmodul liegt diese Grenze bei etwa 32 nH aufgrund der höheren Spannungsreserve. Die hohe Sperrspannung über dem Leistungshalbleiter hat einen negativen Einfluss auf dessen Lebensdauer. Daher wird empfohlen 10% der maximalen Sperrspannung als Sicherheitsreserve einzuplanen [131].

Tabelle 6: Spannungsklassen für unterschiedliche Fahrzeugtypen und die maximal erlaubte parasitäre Induktivität im Kommutierungskreis des Inverters

Fahrzeugtypen		Mild-Hybrid	Plugin-Hybrid / BEV	BEV
DC-Spannung $U_{\text{DC-Link}}$	[V]	48	400	800
Si-Leistungsschalter	-	MOSFET	IGBT	
max. Stromflankensteilheit	$[\text{A ns}^{-1}]$	0,5	6	
Halbleitersperrspannung $U_{\text{BR,CEmax}}$ bzw. $U_{\text{BR,DSmax}}$	[V]	80	650	1200
10 % Spannungsreserve U_{reserve}	[V]	8	65	120
max. Spannungsüberschwingung	[V]	24	185	280
max. parasitäre Induktivität im Kommutierungskreis $L_{\sigma,\text{max}}$	[nH]	48	31	47

2.7 Charakterisierung von Leistungsmodulen

Um die thermischen und die elektrischen Eigenschaften eines Leistungsmoduls bestimmen zu können, müssen diese vermessen werden. Mittels einer statischen Charakterisierung, die ebenfalls als thermische Charakterisierung bezeichnet wird, soll die thermische Performanz des Leistungsmoduls bestimmt werden. Diese wird von dem Design des Leistungsmoduls, von der Aufbau- und Verbindungstechnik, von dem verwendeten Material im Modul und von der Qualität der Herstellungsprozesse beeinflusst. Die dynamische bzw. elektrische Charakterisierung gibt Aufschluss über das elektrische Schaltverhalten des Leistungsmoduls, das durch die verwendeten Leistungshalbleiter, das Moduldesign sowie durch die Aufbau- und Verbindungstechnik bestimmt wird. Die Ergebnisse aus der thermischen Charakterisierung lassen sich als Parameter in thermische und elektrische Simulationen, wie beispielsweise SPICE (Simulation Program with Integrated Circuit Emphasis) integrieren.

2.7.1 Statische Charakterisierung

Bei der thermischen Charakterisierung soll der gesamte thermische Widerstand R_{th} bzw. die thermische Impedanz Z_{th} zwischen dem Leistungshalbleiterbauelement und der Baseplate bzw. dem Kühlungsmedium bestimmt werden. Wie in Abbildung 27 dargestellt, wird das Leistungsmodul auf ein Temperiersystem montiert. Gleichzeitig soll dieses mit Wärmeleitpaste möglichst gut thermisch mit dem Leistungsmodul angebunden sein. Im Temperiersystem sind Temperaturfühler in vertikaler Richtung direkt unterhalb der Leistungshalbleiter einbettet, um die Temperatur T_{case} an der Grundplatte möglichst genau zu messen. Das Leistungsmodul ist von einer thermisch isolierenden Gehäuse umschlossen, um die thermische Konvektion

mit der Umgebung zu minimieren [132]. Während der thermischen Charakterisierung werden die zu vermessenden Leistungshalbleiter mit einem konstanten Strom beaufschlagt und simultan dazu werden die Spannungen direkt an den Bauelementen, wie beispielsweise U_{DS} bei einem MOSFET und U_F bei einer Diode, erfasst. Daraus lässt sich die im Leistungshalbleiter entstehende Verlustleistung P_V berechnen. Um den thermischen Widerstand gemäß der Gleichung (2.29) berechnen zu können, ist die Messung der Sperrschichttemperatur T_j erforderlich. Die Chipsperrschichttemperatur lässt sich entweder durch temperatur-sensitive elektrische Parameter, durch einen im Leistungshalbleiter integrierten Temperatursensor bzw. durch Infrarotthermografie bestimmen. Temperatursensitive elektrische Parameter (engl. Temperature Sensitive Electrical Parameters – TSEP) eines Leistungshalbleiters, wie z. B. die Kollektor-Emitter-Sättigungsspannung $U_{CE,sat}$ bei einem IGBT bzw. der Durchlasswiderstand im eingeschalteten Zustand $R_{DS,ON}$ bei einem MOSFET sowie die Einschaltwellenspannung beim IGBT $U_{th,GE}$ oder beim MOSFET $U_{th,GS}$, verändern sich in Abhängigkeit der Sperrschichttemperatur [133, 134]. Zur Überwachung der Sperrschichttemperatur von IGBTs wird in den meisten Fällen die lineare Abhängigkeit der TSEP $U_{CE,sat}$ von der T_j verwendet, die eine Sensitivität von etwa -2 mV K^{-1} besitzt [134, 135]. In [136] sind in einem Leistungsmodul die IGBTs mit integrierten Temperatursensoren verbaut. Der Sensor ist im Mittelpunkt auf der Chip-Oberfläche platziert, sodass diese eine geringfügig höhere Sperrschichttemperatur liefert als die durch TSEP ermittelte Durchschnittssperrschichttemperatur. Mittels einer Infrarotkamera lässt sich die Oberflächentemperaturverteilung auf dem Leistungsmodul aufzeichnen, sodass neben der durchschnittlichen Sperrschichttemperatur auch zusätzliche Informationen wie thermische Hotspots und Wärmespreizung sichtbar gemacht werden.

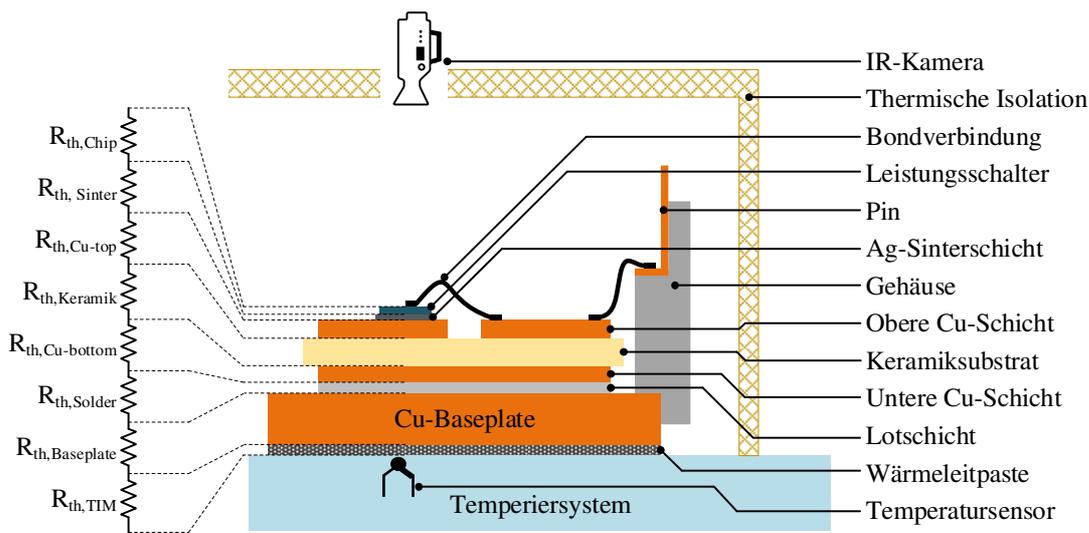


Abbildung 27: Beispiel für ein Messaufbau für die thermische Charakterisierung eines Leistungsmoduls am KIT im Querschnitt

Bei Leistungsmodulen mit direkter Kühlung wird der thermische Widerstand vom Chip bis zum Kühlmedium angegeben, sodass der thermische Übergangswiderstand zum Medium mitberücksichtigt wird. Gemäß Definition von [137] wird zur Berechnung des thermischen Widerstandes die Temperatur des Kühlmediums am Einlass gewählt. Gemäß Gleichung (2.31) wird die thermische Impedanz Z_{th} als das Verhältnis zwischen der Differenz der aktuellen Sperrschichttemperatur zu der Sperrschichttemperatur zum Zeitpunkt t_0 des Leistungshalbleiters und der Verlustleistung P_V nach einer festgelegten Impulsdauer t_p definiert [138].

$$Z_{th}(t_p) = \frac{T_j - T_{j,t0}}{P_V} \quad (2.31)$$

Während der Impulsdauer t_p wird Wärme im Leistungshalbleiter generiert, die in die umliegenden Materialschichten diffundiert. Durch die Änderung von t_p lässt sich die Diffusionstiefe und somit auch die Anzahl der Materialschichten, die charakterisiert werden soll, einstellen. Z_{th} liefert Informationen über die thermische Kapazität sowie über die thermische Diffusivität der einzelnen Materialschichten im Modul.

2.7.2 Dynamische Charakterisierung

Ziel einer dynamischen Charakterisierung des Leistungsmoduls ist die Messung der Signalverläufe der Spannung über dem Leistungsschalter und des Stromes durch die Leistungshalbleiter (Schalter und Diode) [139]. Aus den Signalverläufen von Spannung und Strom lassen sich die Schaltenergien beim Ein- und Ausschalten sowie der Reverse-Recovery-Verlust der antiparallelen Diode berechnen. Der Spannungsverlauf gibt ebenso Aufschluss über das Überschwingverhalten des Schalters beim Abschalten. Die dynamische Charakterisierung soll bei unterschiedlichen Sperrschichttemperaturen und Spannungen durchgeführt werden, um den Einfluss von Temperatur, Drain-Source-Spannung bzw. Kollektor-Emitter-Spannung und Stromstärke auf das Schaltverhalten des Leistungshalbleiters im Leistungsmodul darzustellen [31].

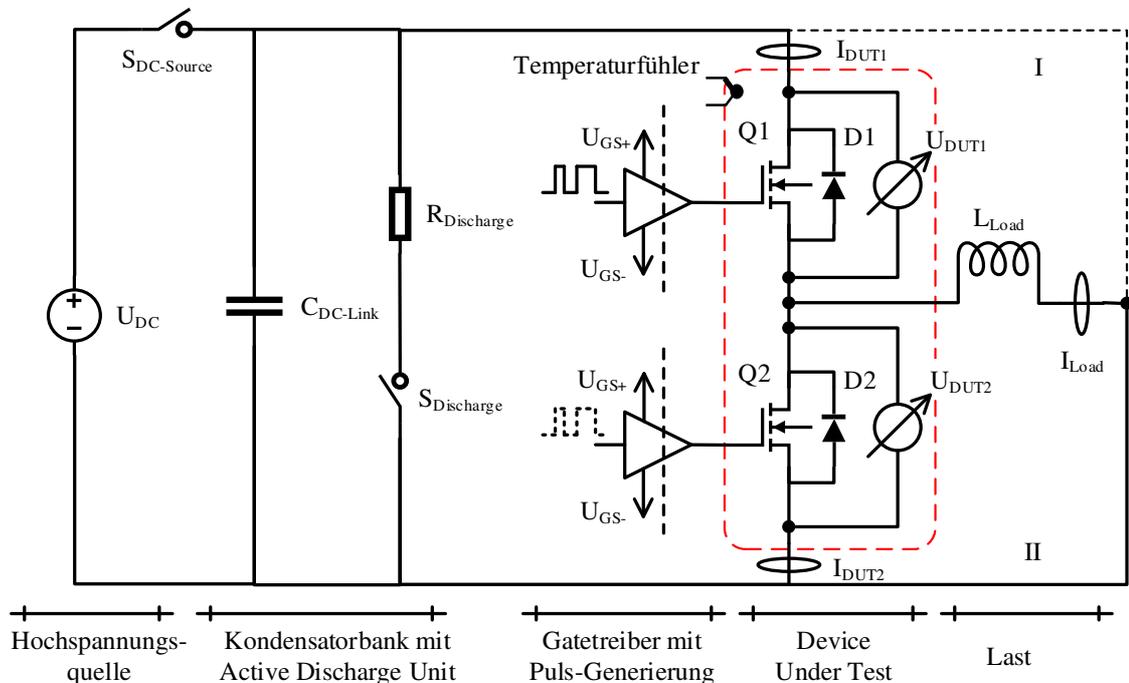


Abbildung 28: Schaltungstechnischer Aufbau eines Doppelpulstests mit einer Halbbrücke als Device Under Test (DUT)

Die genannten Messungen werden an einem sogenannten Doppelpulstest durchgeführt. Abbildung 28 zeigt eine mögliche Schaltungsaufbauvariante des Doppelpulstests, die im Wesentlichen aus einer Hochspannungsquelle, aus einer Kondensatorbank, aus potentialgetrennten Gate-Treibereinheiten, aus dem Device Under Test (DUT) und aus einer induktiven Last besteht. Die DC-Spannungsquelle liefert die erforderliche Spannung und die elektrische Energie für den Doppelpulstest. In dieser schaltungstechnischen Variante für den Aufbau eines Doppelpulstests wird eine Halbbrücke als DUT verwendet. Das DUT wird mit einem Temperiersystem (rote Umrandung) thermisch kontaktiert um das Modul auf eine definierte Temperatur zu bringen. Über einen Temperaturfühler (z. B. PT100) wird die Temperatur kontrolliert. Zunächst wird die Kondensatorbank vom Zeitpunkt t_0 bis t_1 auf eine definierte Zwischenkreisspannung geladen. Dabei speichert der Kondensator die erforderliche elektrische Energie zwischen. Vor dem Start des Doppelpulsversuchs sollte die Spannungsquelle aus Sicherheitsaspekten durch den Schalter $S_{DC-Source}$ vom Netz getrennt

werden, um die Gesamtenergie im Testsystem zu begrenzen [31]. Um den Schalter Q1 zu charakterisieren, wird, wie in Abbildung 29 dargestellt, zum Zeitpunkt t_1 Q1 eingeschaltet, um die induktive Last L_{Load} zu bestromen. Der Strom I_{Load} steigt bis zum Abschaltzeitpunkt t_2 vom Schalter Q1 linear bis zur eingestellten Stromstärke an, bei dem der Schalter Q1 charakterisiert werden soll. Nachdem der Schalter Q1 abgeschaltet ist, übernimmt die Diode D2 für den kurzen Zeitraum von t_2 bis t_3 den kontinuierlichen Stromfluss durch L_{Load} . Das Ausschaltverhalten des Schalters Q1 wird um t_2 aufgezeichnet. Zum Zeitpunkt t_3 wird Schalter Q1 erneut eingeschaltet und dieser übernimmt wieder den Stromfluss durch die induktive Last. Allerdings findet weiterhin ein Stromfluss durch D2 aufgrund der Sperrverzögerung (engl. Reverse Recovery Effect) der Diode statt. Die Signalverläufe um den Zeitpunkt t_3 stellen das Einschaltverhalten des Schalters Q1 und die Reverse-Recovery-Eigenschaft der Diode D2 dar. Abschließend wird in t_4 Q1 abgeschaltet, um den Messvorgang abzuschließen.

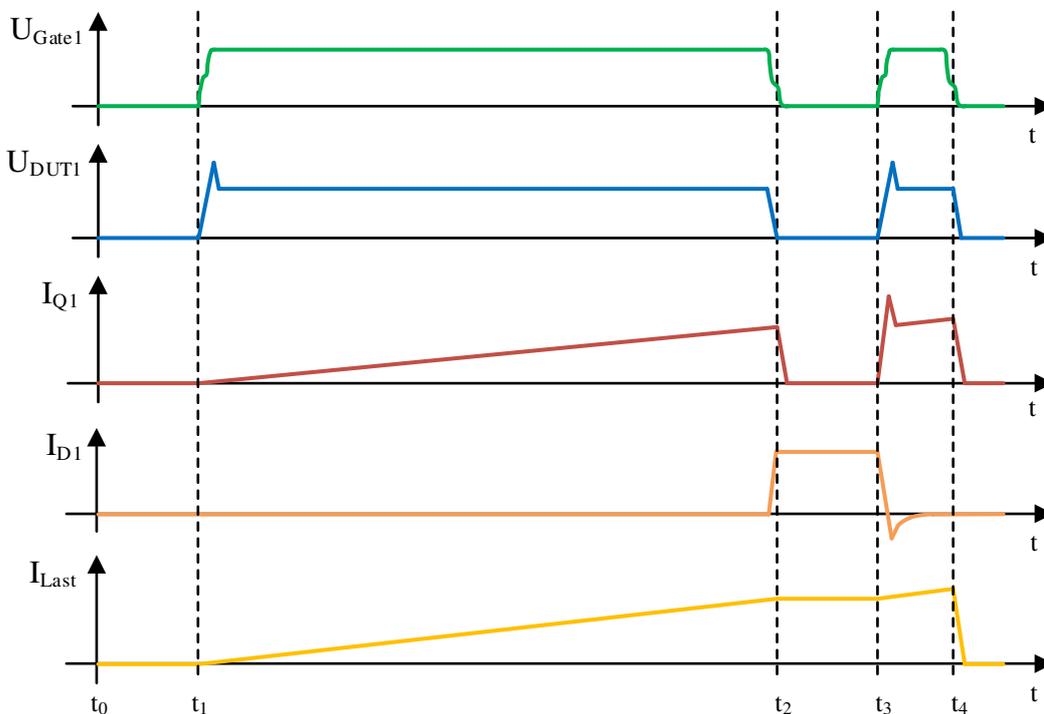


Abbildung 29: Signalverläufe von Strom und Spannung beim Doppelpulstest

Insgesamt werden beim Doppelpulstest, wie bereits der Name impliziert, zwei Gate-Impulse generiert. Mit der Pulsbreite des ersten Impulses wird die gewünschte Stromstärke für die Charakterisierung eingestellt und das Ausschaltverhalten des Schalters Q1 sowie das Reverse-Recovery Verhalten von D2 ermittelt. Mit dem zweiten Puls wird das Einschaltverhalten des Schalters Q1 bestimmt. Über die gesamte Vermessungsdauer sollte der Schalter Q2 durch das Anlegen einer negativen Gate-Spannung abgeschaltet sein, um ein parasitäres Wiedereinschalten zu vermeiden. Für die Charakterisierung von Schalter Q2 und Diode D1 muss die induktive Last über die Verbindung (I) mit DC+ verbunden werden. Um die Temperaturabhängigkeit des Schaltverhaltens zu erfassen, wird die Temperatur des Temperiersystems variiert, um die Charakterisierung bei unterschiedlichen Sperrschichttemperaturen durchzuführen. Da für den Test ausschließlich zwei Pulse ausgelöst werden, sollte das DUT sich dabei nur unwesentlich erwärmen [140]. Aus den Signalverläufen von Strom und Spannung lassen sich die Ein- und Ausschaltverluste des Schalters, sowie die Reverse-Recovery-Verluste der Diode durch ein Postprocessing berechnen.

3 Technologische Anforderungen an das Design von SiC-Leistungsmodulen

Die zukünftige Leistungselektronik in einem batterieelektrischen oder Hybridfahrzeug soll möglichst eine hohe Energieeffizienz und eine hohe Leistungsdichte aufweisen. Eine effizientere Leistungselektronik kann die Reichweite eines elektrisch angetriebenen Fahrzeuges erhöhen oder die erforderliche Batteriekapazität reduzieren. Gemäß den Schätzungen von der Wharton University of Pennsylvania und Bloomberg New Energy Finance (BNEF), lagen die Batteriekosten für das Jahr 2019 im Durchschnitt bei etwa 161 USD kWh^{-1} bzw. 156 USD kWh^{-1} [141]. Laut BNEF liegen die Batteriekosten auf Zellebene bei Tesla und Volkswagen sogar unter 100 USD kWh^{-1} und auf Batterieebene unter 140 USD kWh^{-1} [142]. Wenn beispielsweise die Effizienz der Leistungselektronik so gesteigert werden kann, dass über den gesamten Fahrzyklus etwa 2 % Energieeinsparungen erzielt werden können, könnte man bei einem Elektrofahrzeug mit einem 100 kWh Akku eine Einsparung von 2 kWh Batteriekapazität erzielen. Dieser Vorteil äußert sich in einer Kosteneinsparung von etwa 200 - 300 USD oder in einer Reichweitenverlängerung. In heutigen Fahrzeugen ist eine Vielzahl von Komfortfunktionen (z. B. Klimaanlage und Multimediasysteme) und Sicherheitsfunktionen (z. B. Sensoren für Fahrerassistenzsysteme) integriert, die Bauraum benötigen und einen relevanten Anteil des Fahrzeuggesamtgewichts verursachen. Bei einem batterieelektrischen Fahrzeug oder Hybridfahrzeug nehmen die Energiespeicher zusätzlich einen enormen Raum ein [143]. Eine Optimierung der Leistungsdichte eines Motorinverters oder einer Ladeelektronik hätte eine Gewichts- und Volumenreduktion zur Folge.

Um die Effizienz des leistungselektronischen Systems steigern zu können, müssen Si-Leistungshalbleiter durch Wide-Bandgap-Leistungshalbleiter ersetzt werden. Wide-Bandgap-Leistungshalbleiter können mit einer höheren Flankensteilheit ein- und ausgeschaltet werden, sodass die Schaltverluste deutlich minimiert werden können. Durch die Erhöhung der Schaltfrequenz lässt sich die Größe der passiven Bauelemente in der Leistungselektronik reduzieren und somit die Leistungsdichte steigern. Nach aktuellem Stand der Technik eignen sich insbesondere SiC-Leistungsschalter für den Einsatz als Motorinverter bzw. Ladeinverter für batterieelektrische Fahrzeuge mit einer Zwischenkreisspannung von etwa 800 V und einer motorischen Leistung von mehreren 100 kW. GaN-Leistungshalbleiter sind für diese Spannungs- und Leistungsklasse noch nicht einsetzbar, sodass diese in dieser wissenschaftlichen Arbeit nicht betrachtet werden. Den Einsatz von SiC stellt jedoch neue Anforderungen an das Design und das thermische Management von Leistungsmodulen. In diesem Kapitel werden diese relevanten Anforderungen an ein leistungselektronisches System im Hinblick auf eine Automotive-Anwendung erläutert.

3.1 Thermische Performanz

SiC-Leistungsschalter können bei sehr hohen Schaltfrequenzen bis zu einer Sperrschichttemperatur von $T_j = 250 \text{ °C}$ mit einer dafür erforderlichen Aufbau- und Verbindungstechnik (AVT) betrieben werden [144]. Der Durchlassverlust in einem SiC-MOSFET ist von dem Durchlasswiderstand $R_{DS,on}$ abhängig. Der $R_{DS,on}$ wird im Wesentlichen von dem Driftwiderstand R_{Drift} und dem Kanalwiderstand $R_{Channel}$ bestimmt. Mit steigender Sperrschichttemperatur verringert sich die Mobilität der Ladungsträger in der Driftregion, sodass der Widerstand in der Driftschicht zunimmt. Gemäß Gleichung (3.7) nimmt $R_{Channel}$ mit sinkender Schwellspannung U_{th} ab. Dabei sind $L_{Channel}$ die Kanallänge, a ist Abstand der einzelnen Zellen im MOSFET, μ_{inv} die Ladungsträgermobilität in der Inversionsschicht und C_{Oxide} die spezifische Kapazität der Gate-Oxidschicht.

$$R_{Channel} = \frac{L_{channel} \cdot a}{\mu_{inv} \cdot C_{Oxide} \cdot (U_{GS} - U_{th})} \quad (3.1)$$

Die Schwellspannung nimmt mit steigender Temperatur ab, da die intrinsische Ladungsträgerkonzentration ansteigt (siehe Gleichung (2.8) im Abschnitt 2.1.3). Aus diesem Grund ist die Temperaturabhängigkeit von $R_{Channel}$ gegenläufig zur Temperaturabhängigkeit von R_{Drift} . Beim Si-MOSFET ist die Driftschicht deutlich länger als der Kanal, sodass R_{Drift} dominant ist und den $R_{DS,on}$ maßgeblich beeinflusst. Beim SiC-MOSFET ist die Driftschicht aufgrund der höheren Durchbruchfeldstärke des SiC-Materials deutlich dünner. Je nach Spannungsfestigkeit des Bauteils variiert die Stärke der Driftschicht und somit auch der Einfluss von R_{Drift} auf den $R_{DS,on}$ [145]. Beispielsweise entspricht die Zunahme des Durchlasswiderstandes von $T_j=25^\circ\text{C}$ auf $T_j=150^\circ\text{C}$ bei einem 900 V SiC-MOSFET etwa dem Faktor 1,4. Bei einem 1200 V Bauteil erhöht sich dieser Faktor auf 1,8. Bei einem Si-MOSFET nimmt der $R_{DS,on}$ im Temperaturbereich $T_j < RT$ aufgrund des dominierenden R_{Drift} weiter stetig ab. Beim SiC-MOSFET kann der $R_{DS,on}$ je nach angelegter Gate-Source-Spannung U_{GS} mit abnehmender Temperatur wieder zunehmen, da $R_{Channel}$ einen negativen Temperaturkoeffizienten aufweist und einen vergleichbaren Einfluss auf $R_{DS,on}$ hat wie R_{Drift} . Die Durchlassverluste nehmen im Temperaturbereich $T_j < RT$ zu. Allerdings steigt T_j im Betrieb aufgrund der geringen thermischen Kapazität des Leistungshalbleiters sehr rasch wieder an, sodass der Temperaturbereich $T_j < RT$ bei der Verlustbetrachtung eine untergeordnete Rolle spielt. Im höheren Temperaturbereich nehmen die Durchlassverluste mit steigender Temperatur zu. Die Schaltverluste in einem SiC-MOSFET nehmen mit steigender T_j in geringem Umfang zu, da die parasitären Kapazitäten des SiC-MOSFETs (C_{GS} , C_{GD} und C_{DS}) bei einer hohen Drain-Source-Spannung U_{DS} nahezu temperaturunabhängig sind [35, 145]. Die Verluste der Body-Diode eines SiC-MOSFETs aufgrund der Sperrverzögerung nehmen mit steigender Temperatur geringfügig ab. T_j hat einen sehr geringen Einfluss auf den Strom der Body-Diode, da eine geringe Menge an Minoritätsladungsträger in der SiC-MOSFET-Struktur gespeichert sind [146]. Insgesamt sind die dynamischen Verluste nahezu temperaturunabhängig. SiC-Hersteller erlauben in der Regel eine maximale Sperrschichttemperatur von 175°C , da insbesondere die Durchlassverluste mit steigender T_j stark zunehmen.

Ein wichtiges Ziel beim Moduldesign ist es, den thermischen Widerstand R_{th} zwischen Chip und Kühlmedium durch einen optimalen Modulaufbau und eine geeignete AVT zu minimieren und die Sperrschichttemperatur in jedem definierten Arbeitspunkt des Leistungsmoduls durch ausreichende Kühlung auf den Maximalwert zu begrenzen. Der Gesamtverlust eines MOSFETs setzt sich aus dem Schalt- und Durchlassverlust zusammen, die in den Gleichungen (2.19) bis (2.20) beschrieben sind. Bei einer Sinus-Dreieck-Modulation zur Ansteuerung der Leistungsschalter in einem Inverter beträgt der Modulationsgrad maximal 1 [147]. Zur Vereinfachung werden Phasenverschiebung $\varphi=0^\circ$, Spitzenstrom $\hat{I}=I_{nom}$ und Spitzenspannung $\hat{U}=U_{nom}$ gesetzt, sodass die Verlustleistungen mit den Gleichungen (3.2) und (3.3) approximiert werden.

$$P_{V,stat,MOSFET} = R_{DS,on}(T_j, I_D, U_{GS}) \cdot \hat{I}^2 \cdot \left(\frac{1}{8} + \frac{1}{3\pi} \right) \quad (3.2)$$

$$P_{V,dyn,MOSFET} = \frac{1}{\pi} \cdot f_s \cdot [E_{on}(T_j) + E_{off}(T_j)] \quad (3.3)$$

SiC-Leistungsschalter haben zwar deutlich geringere statische und dynamische Verluste, jedoch haben SiC-Leistungshalbleiter etwa eine 4-fach geringere Chipfläche. Die Verlustleistung pro Chipfläche ist bei SiC höher als bei einem Si-IGBT mit einer vergleichbaren Leistungsklasse. Daher stellt SiC eine höhere Anforderung an das Thermomanagement eines Leistungsmoduls als beim Si-Leistungshalbleiter.

Gemäß [148] und [149] hat die Sperrschichttemperatur T_j einen wesentlichen Einfluss auf das dynamische Verhalten eines SiC-Leistungsschalters. Die wesentlichen Erkenntnisse sind:

- Die Verzögerungszeit beim Ausschaltvorgang $t_{\text{dly,sw,OFF}}$ nimmt bei einem kleinen Gate-Vorwiderstand (z. B. $R_{\text{Gate}} < 10 \Omega$) mit steigendem T_j zu. Bei einem relativ großen Gate-Vorwiderstand (z. B. $R_{\text{Gate}} > 150 \Omega$) ist das Schaltverhalten nahezu temperaturunabhängig.
- Die Verzögerungszeit beim Einschaltvorgang $t_{\text{dly,sw,ON}}$ nimmt bei einem kleinen Gate-Vorwiderstand (z. B. $R_{\text{Gate}} < 10 \Omega$) mit steigendem T_j in geringem Maße ab.
- Die Spannungsflankensteilheit ($dU_{\text{DS}} \cdot dt^{-1}$) und die Stromflankensteilheit ($dI_{\text{D}} \cdot dt^{-1}$) nehmen bei gleichem R_{Gate} mit steigendem T_j ab.

Wenn innerhalb einer Halbbrücke ein Leistungsschalter aufgrund einer schlechteren thermischen Anbindung eine höhere T_j aufweist, kann dies abhängig von dem gewählten Gate-Vorwiderstand zu längeren $t_{\text{dly,sw,OFF}}$ beim Schalten führen. Dies führt dazu, dass die notwendige Totzeit erhöht bzw. mehr Reserven vorgesehen werden müssen (siehe Gleichung (3.6) im Abschnitt 3.3). Aus diesen Gründen sollen alle Schalter thermisch möglichst gleichmäßig angebunden sein.

3.2 Niederinduktives Design

SiC-Leistungsschalter können mit einer Spannungsflankensteilheit von bis zu 50 V ns^{-1} und abhängig von der Impedanz am Ausgang mit einer Stromflankensteilheit von bis zu 15 A ns^{-1} schalten [150]. Gemäß Gleichung (2.30) verursachen hohe Stromflankensteilheiten in Kombination mit einer hohen parasitären Induktivität im Kommutierungskreis eine hohe Spannungsüberschwingung beim Ausschaltvorgang am SiC-MOSFET. Beim Kommutierungsvorgang wird der Stromfluss in einem stromführenden Zweig an einen anderen Zweig übergeben [151]. Abbildung 30 zeigt den Kommutierungsvorgang am Beispiel der linken Halbbrücke. Zunächst fließt der Strom vom Zwischenkreis durch den Schalter Q1 zu der induktiven Last. Beim Ausschaltvorgang von Q1 nimmt der Strom I_{D} vom Wert des Ausgangsstromes $I_{\text{AC,U}}$ zu 0 ab. Simultan steigt der Strom I_{F} , der durch die Body-Diode vom Schalter Q2 fließt, von 0 auf $I_{\text{AC,U}}$ an. Die Abnahme von I_{D} induziert Spannungen an den parasitären Induktivitäten im DC-Link-Kondensator und in den elektrischen Verbindungen innerhalb des Leistungsmoduls (z. B. induzierte Spannungen $U_{\text{ind,DC-Link}}$ und $U_{\text{ind,Q1}}$). Diese induzierten Teilspannungen werden zur DC-Link-Spannung $U_{\text{DC-Link}}$ addiert und liegen als Spannung U_{Q1} am Schalter Q1 an. Um einen Spannungsdurchbruch am Leistungshalbleiter zu vermeiden, muss eines oder mehrere der nachfolgenden Maßnahmen umgesetzt werden:

- die Stromflankensteilheit durch das Vorschalten eines Gate-Widerstandes reduzieren
- einen Leistungsschalter mit einer höheren Sperrspannung einsetzen
- die parasitäre Induktivität im Zwischenkreis verringern

Eine geringere Flankensteilheit beim Schalten steigert jedoch die dynamischen Verluste, sodass ein wesentlicher Vorteil von einem SiC-Leistungsschalter nicht genutzt werden kann. Eine hohe Spannungsreserve verhindert zwar einen Spannungsdurchbruch. Allerdings lässt sich durch die Anwendung der beiden ersten Maßnahmen das Potential des SiC-Leistungsschalters nicht in vollem Umfang ausschöpfen. Die parasitäre Induktivität im Kommutierungskreis lässt sich durch folgende Maßnahmen minimieren:

- Optimierung des Layouts des Leistungsmoduls
- Einsatz von niederinduktiver Aufbau- und Verbindungstechnik (z. B. flächige Kontaktierungsverfahren anstatt konventioneller Dickdrahtverbindungen oder planparalleler Anordnung der Leiterstrukturen im Leistungsmodul)
- Einsatz eines Zwischenkreiskondensators mit einer möglichst geringen parasitären Induktivität (Equivalent Series Inductance – ESL)

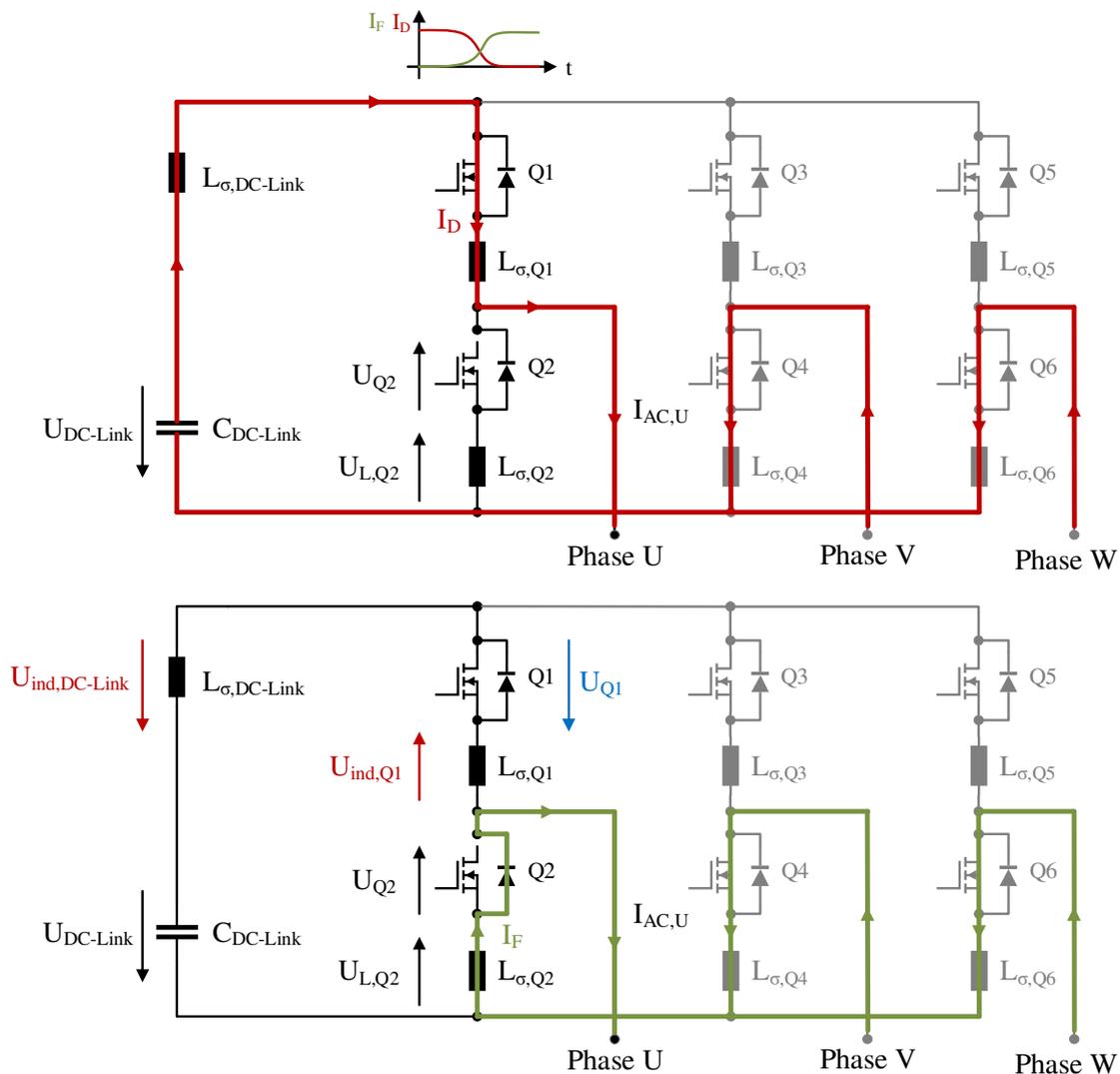


Abbildung 30: Darstellung des Kommutierungskreises sowie der parasitären Induktivitäten im gesamten Kommutierungskreis der ersten Phase von einem dreiphasigen Inverter

Tabelle 7 zeigt, dass in Automotive-Anwendungen die maximale Stromflankensteilheit auf etwa 10 A ns^{-1} begrenzt wird, um die Spannungsüberschwingung am Leistungsschalter und die Intensität der elektromagnetischen Interferenz (EMV) zu verringern. Die parasitäre Induktivität im Kommutierungskreis bildet mit den parasitären Kapazitäten des Leistungshalbleiters (Output Capacitance - C_{OSS}) einen Serienschwingkreis, der beim Schalten zusätzliche Oszillationen im zweistelligen MHz-Bereich und somit elektromagnetische Interferenzen verursacht [152]. Bei einer Zwischenkreisspannung von 400 V und 450 V werden SiC-Leistungshalbleiter mit einer Sperrspannung von 900 V eingesetzt. Ausgehend von einem Zwischenkreiskondensator mit einem geringen ESL von etwa 10 nH [153] und unter Berücksichtigung einer Spannungsreserve von etwa 10 % der maximalen Halbleitersperrspannung sollte die Spannungsüberschwingung auf etwa 410 V bzw. 360 V begrenzt sein. Ein 900 V SiC-Leistungsmodul sollte eine parasitäre Kommutierungsinduktivität von maximal 31 nH bzw. 26 nH aufweisen. Bei einem 1200 V SiC-Leistungsmodul wäre eine parasitäre Kommutierungsinduktivität im Modul von maximal 18 nH tolerierbar.

Tabelle 7: Spannungsklassen für unterschiedliche Fahrzeugtypen und die maximal erlaubte parasitäre Induktivität im Kommutierungskreis von einem SiC-Inverter

Fahrzeugtypen		Plugin-Hybrid / BEV		BEV
DC-Spannung $U_{DC-Link}$	[V]	400	450	800
max. Stromflankensteilheit	[A ns ⁻¹]	10		
Halbleitersperrspannung $U_{BR,DSmax}$ [V]	[V]	900	900	1200
10 % Spannungsreserve $U_{reserve}$ [V]	[V]	90	90	120
max. Spannungsüberschwingung	[V]	410	360	280
max. parasitäre Induktivität im Kommutierungskreis $L_{\sigma,max}$	[nH]	41	36	28

Die steilen Schaltflanken beim SiC-Leistungshalbleiter wirken sich auf den Gate-Treiberschaltkreis aus. Wie in Abbildung 31 dargestellt, bilden die beiden parasitären Kapazitäten des MOSFETs, die Miller-Kapazität C_{GD} und die Gate-Source-Kapazität C_{GS} , einen kapazitiven Spannungsteiler. Beim Ausschaltvorgang verursacht der Spannungsanstieg am Drain-Anschluss des MOSFETs einen Stromfluss I_{GD} durch C_{GD} und baut eine Spannung U_{GD} über diesen auf. Der Strom I_{GD} teilt sich in den Gate-Strom I_G und den Strom I_{GS} durch die Kapazität C_{GS} . Der maximale Gate-Strom I_G wird durch das Gate-Treiberbauelement, den Gate-Vorwiderstand R_{Gate} und die parasitäre Induktivität im Gate-Treiberschaltkreis $L_{\sigma,Gate}$ begrenzt. Der Strom I_{GS} und die Spannung an der Gate-Source-Kapazität U_{GS} ist daher abhängig vom I_G bzw. von der Impedanz im Gate-Treiberschaltkreis. Übersteigt U_{GS} aufgrund der steilen Schaltflanken die Schwellwertspannung $U_{GS,th}$ des SiC-MOSFETs, wird der MOSFET kurzzeitig wieder eingeschaltet, sodass ein Kurzschluss über die Schalter Q1 und Q2 gebildet wird. Um ein parasitäres Wiedereinschalten zu vermeiden, sollte U_{GS} minimal bzw. das Spannungsverhältnis ($U_{GD} \cdot U_{GS}^{-1}$) maximal sein. Gleichung (3.4) stellt den Zusammenhang zwischen dem Spannungsverhältnis ($U_{GD} \cdot U_{GS}^{-1}$) und den Impedanzen im Gate-Treiberschaltkreis dar [154]. Dabei ist $U_{Driver,OFF}$ die Spannung beim Ausschalten des Leistungsschalters. Z_{GD} und Z_{GS} sind die Impedanzen des kapazitiven Spannungsteilers des Leistungsschalters. Der externe Gate-Vorwiderstand R_{Gate} und die parasitäre Induktivität $L_{\sigma,Gate}$ im Gate-Treiberkreis ergeben zusammen die Gate-Impedanz Z_{Gate} .

$$\frac{U_{GD}}{U_{GS}} = \left(\frac{Z_{GD}}{Z_{GS}} + \frac{Z_{GD}}{Z_{Gate}} \right) - \frac{U_{Driver,OFF}}{Z_{Gate}} \quad (3.4)$$

Gemäß dieser Gleichung ist das Spannungsverhältnis ($U_{GD} \cdot U_{GS}^{-1}$) ausreichend groß, wenn:

- die Ausschaltspannung am Gate-Treiberbauelement $U_{Driver,OFF} < 0$ V ist,
- Z_{Gate} bzw. R_{Gate} und $L_{\sigma,Gate}$ minimal sind,
- das Verhältnis zwischen ($C_{GS} \cdot C_{GD}^{-1}$) > 15 ist [154].

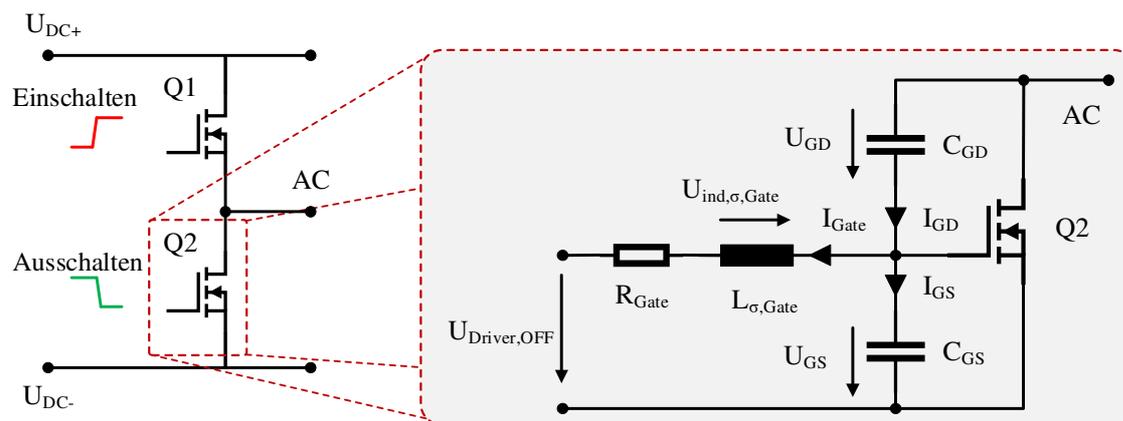


Abbildung 31: Parasitäre Elemente im Gate-Treiberschaltkreis eines SiC-Leistungsschalters in einer SiC-Halbbrücke

Im Vergleich zu einem Si-IGBT darf die Gate-Spannung bei einem SiC-MOSFET in der Regel nicht kleiner sein als -5 V . Allerdings ist die Schwellwertspannung $U_{GS,th}$ etwa halb so groß wie bei einem Si-IGBT und liegt etwa bei 3 V . Beim SiC-MOSFET sollte U_{GS} kleiner sein als die Differenz von $U_{GS,th}$ und der Ausschaltspannung des Gate-Treiberbauelementes $U_{Driver,OFF}$. ($U_{GS} < 8\text{ V}$). Das Verhältnis ($C_{GS} \cdot C_{GD}^{-1}$) ist eine spezifische Eigenschaft des Halbleiterbauelementes und lässt sich daher durch das Design des Leistungsmoduls nicht beeinflussen. Herstellerseitig wird C_{GS} des MOSFETs ausreichend groß ausgelegt. Um Z_{Gate} zu verkleinern, sollte die parasitäre Induktivität im Gate-Treiberschaltkreis $L_{\sigma,Gate}$ minimiert werden.

Wenn am Source-Anschluss des SiC-MOSFETs keine getrennte Kontaktierung für den Rückpfad des Gate-Stromes, der als Kelvin-Kontakt bezeichnet wird, vorhanden ist, würde der Gate-Treiberschaltkreis und der Kommutierungskreis an der Source-Verbindung einen gemeinsamen Strompfad und eine gemeinsame parasitäre Induktivität $L_{\sigma,Source}$ teilen. Wie in Abbildung 32 dargestellt, wird beim Einschaltvorgang an der parasitären Induktivität am Source-Anschluss eine Spannung $U_{ind,\sigma,Source}$ induziert, die der Einschaltspannung des Gate-Treiberbauelementes entgegenwirkt. Dadurch wird die effektive U_{GS} während des Schaltvorgangs verkleinert. Dies hat zur Folge, dass die Einschaltdynamik des MOSFETs verringert wird. Dieser negative Einfluss tritt ebenso beim Ausschaltvorgang auf [155]. Den Einfluss des Drain-Stroms auf die effektive U_{GS} beim Einschalten eines Leistungsschalters ohne Kelvin-Kontakt lässt sich mit der Gleichung (3.5) beschreiben. Dabei ist $U_{Driver,ON}$ die Spannung beim Einschalten des Leistungsschalters Ein SiC-Leistungsschalter (z. B. diskretes Bauteil in einem TO247-4 Gehäuse) mit Kelvin-Kontakt hat aufgrund der höheren Dynamik beim Einschalten 40% und beim Ausschalten 10% weniger Verluste [156].

$$\begin{aligned}
 U_{GS} = & U_{Driver,ON} - R_{Gate} \cdot I_{Gate} + \left(-L_{\sigma,Gate} \cdot \frac{dI_{Gate}}{dt} \right) \\
 & + \left(-L_{\sigma,Source} \cdot \frac{dI_{Gate} + dI_D}{dt} \right)
 \end{aligned} \tag{3.5}$$

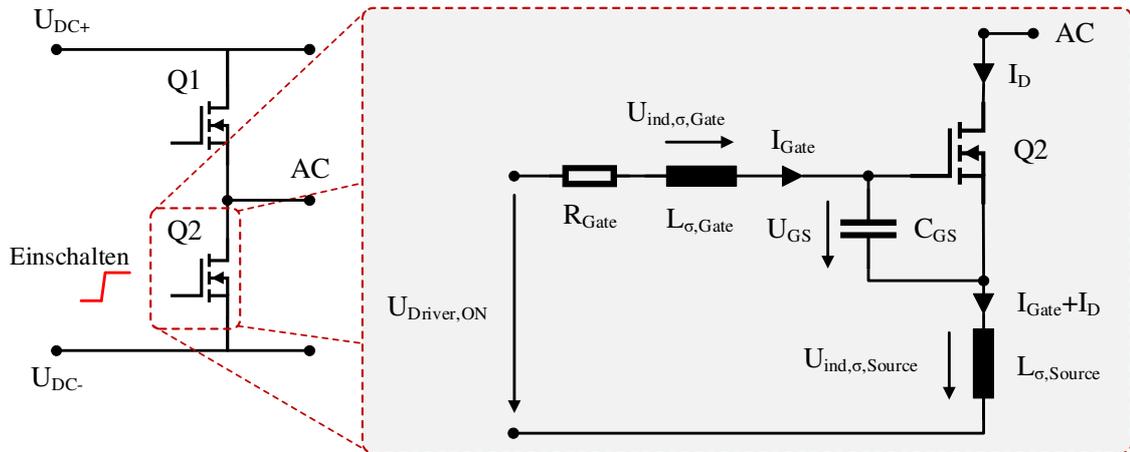


Abbildung 32: Einschaltvorgang eines SiC-Leistungshalbleiters ohne Kelvin-Kontakt

3.3 Symmetrische Auslegung

Ein N-phasiger 2-Level Motorinverter setzt sich aus N-Halbbrückenmodulen zusammen, die zu einem Leistungsmodul des Invertersystems verbunden werden. Beim Design und Aufbau des Leistungsmoduls ist darauf zu achten, dass in den jeweiligen Halbbrücken die parasitäre Induktivität im Kommutierungskreis und die in den Gate-Treiberschaltkreisen des Highside- und Lowside-Schalters möglichst gleich groß sind. Wären die Kommutierungskreise zwischen einer Halbbrücke und dem Zwischenkreiskondensator unterschiedlich groß, würden beim Schalten unterschiedlich hohe Spannungsüberschwingungen an den Schaltern der jeweiligen Halbbrücke entstehen. Die Dynamik der gesamten Leistungselektronik muss an der Halbbrücke mit der höchsten parasitären Induktivität im Kommutierungskreis eingestellt sein. Bei der Ansteuerung der Highside- und Lowside-Schalter wird eine Totzeit t_{tot} zwischen den Schaltvorgängen der beiden Schalter eingehalten. Die Totzeit soll sicherstellen, dass, wenn der Highside-Schalter eingeschaltet ist, der Lowside-Schalter bereits einen ausgeschalteten Zustand eingenommen hat. Somit sollte eine Kurzschlussbildung und eine Beschädigung der Halbbrückenschaltung vermieden werden. Bevor der Lowside-Schalter den AC-Ausgang mit dem negativen DC-Link-Anschluss verbindet, muss der Highside-Schalter bereits ausgeschaltet sein [157]. Mit der Gleichung (3.6) lässt sich beispielsweise die Totzeit für das Einschalten des Highside-Schalters und das Ausschalten des Lowside-Schalters berechnen. Die Herleitung der Totzeit wird in Anhang A 10 genauer erläutert.

$$t_{dead} = \left| (t_{dly,Gate,OFF} - t_{dly,Gate,ON}) + (t_{dly,sw,OFF} - t_{dly,sw,ON}) + (t_f - t_r) \right| \cdot F_{reserve} \quad (3.6)$$

Die parasitäre Induktivität $L_{\sigma,Gate}$ im Gate-Treiberschaltkreis verzögert das transiente Gate-Stromsignal. Die Verzögerungszeit $t_{dly,\sigma,Gate}$, die das Gate-Stromsignal benötigt, um 90 % seines stationären Wertes zu erreichen, lässt sich mit Gleichung (3.7) abschätzen. $t_{dly,\sigma,Gate}$ hängt von der parasitären Induktivität $L_{\sigma,Gate}$ im Gate-Treiberschaltkreis und dem Gate-Vorwiderstand R_{Gate} ab.

$$t_{dly,\sigma,Gate} \approx 2,3 \cdot \frac{L_{\sigma,Gate}}{R_{Gate}} \quad (3.7)$$

Sind die parasitären Induktivitäten im Gate-Treiberschaltkreis des Highside- und Lowside-Schalters nicht identisch, wird das Gate-Schaltsignal unterschiedlich stark verzögert. Für den Fall, dass $L_{\sigma,Gate}$ des

Highside-Schalters größer wäre als die des Lowside-Schalters, würde es beim Ausschalten des Highside-Schalters und beim Einschalten des Lowside-Schalters zu einer Kurzschlussbildung kommen, wenn diese zusätzliche Verzögerung durch $L_{\sigma, \text{Gate}}$ nicht berücksichtigt wird (Abbildung 33). Für den umgekehrten Fall, wenn $L_{\sigma, \text{Gate}}$ des Lowside-Schalters größer wäre, könnte beim Einschalten des Highside-Schalters ein Kurzschluss über der Halbbrücke entstehen. In diesem Fall muss die Totzeit verlängert werden, um eine Kurzschlussbildung zu vermeiden.

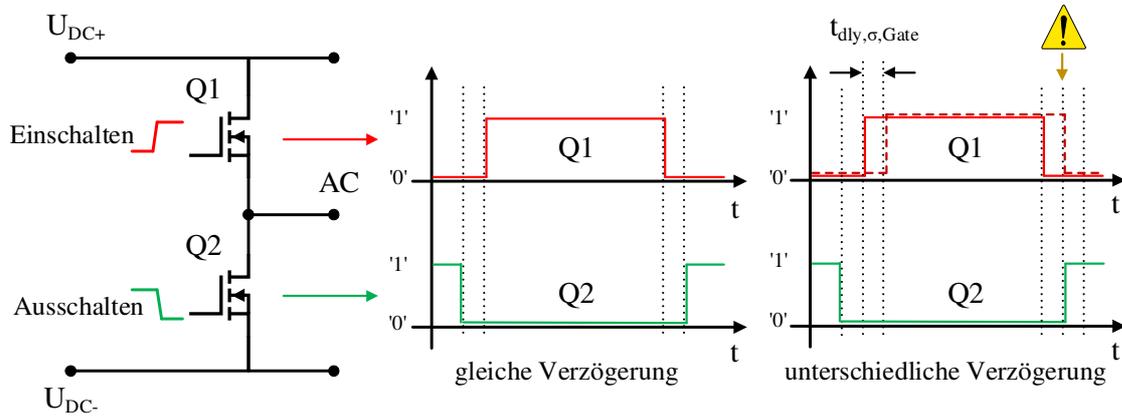


Abbildung 33: Einfluss der parasitären Induktivität im Gate-Treiberschaltkreis des Schalters Q1 und Q2 auf das Schaltverhalten der Halbbrücke

4 Thermische Simulationen von Leistungsmodulen

Dieses Kapitel erläutert die Modellierung und Parametrisierung bei den thermischen Simulationen von leistungselektronischen Modulen mit keramikbasierten Substraten bzw. Leadframe-Substraten. Insbesondere werden die Herausforderungen durch den Einsatz von SiC-Leistungshalbleitern in Bezug auf die thermische Performanz des Leistungsmoduls herausgearbeitet.

4.1 FEM-Simulation der Wärmeleitung

Bei der Wärmeübertragung wird Wärmemenge von einem Ort an einem anderen Ort transportiert, wenn zwischen den beiden Koordinaten eine Temperaturdifferenz besteht. Gemäß Nußelt und Bosch gibt es ausschließlich zwei Arten von Wärmeübertragungen. Die Wärmeübertragung erfolgt entweder in Form einer Wärmestrahlung bzw. Wärmeleitung [158, 159]. Bei der Wärmestrahlung wird die thermische Energie von der Oberfläche einer Wärmequelle zu den anderen Oberflächen ausschließlich durch elektromagnetische Wellen transportiert (z. B. Wärmestrahlung von der Sonne zur Erde durch das Vakuum). Im Vergleich dazu erfolgt die Wärmeübertragung bei der Wärmeleitung in Feststoffen durch Elektronen und Phononen (Gitterschwingungen) bei elektrisch leitfähigen Metallen und ausschließlich durch Phononen bei Isolatoren. Eine besondere Form der Wärmeleitung ist die Konvektion, bei der die Wärme von einem Feststoff zu einem Fluid oder Gas übertragen wird. Bei der freien Konvektion wird eine Strömung im Fluid durch Temperatur- und Dichteunterschiede generiert. Durch den Einsatz von Lüftern und Pumpen lässt sich die Strömung des Fluids aktiv erzeugen, um eine Konvektion zu erzwingen (Abbildung 34). Die Wärmeübertragung in einem leistungselektronischen Modul erfolgt hauptsächlich durch Wärmeleitung in Feststoffen und Konvektion in Fluiden. Eine Ausnahme bilden Leistungsmodule mit einer Zweiphasenkühlung bzw. einer direkten Sprühkühlung der Leistungshalbleiter [160].

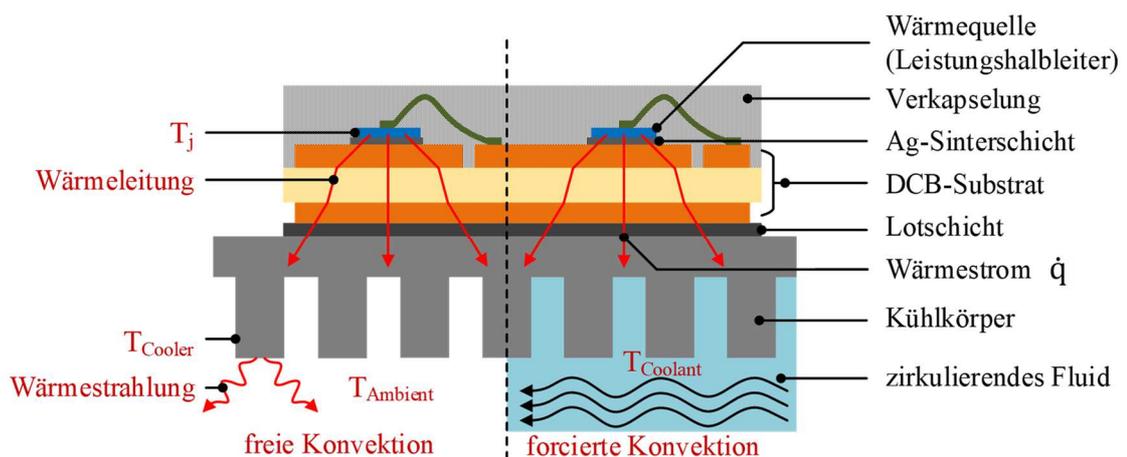


Abbildung 34: Darstellung der unterschiedlichen Arten der Wärmeübertragung in einem Leistungsmodul

Aufgrund der relativ geringen Temperatur am Kühlkörper ($< 100 \text{ }^\circ\text{C}$) kann die Wärmestrahlung vernachlässigt werden. Die im Leistungshalbleiter entstehende Wärme wird durch Wärmeleitung durch die einzelnen Metall- und Isolationsschichten in Richtung der Wärmesenke geleitet. Am Kühlkörper wird die Wärme

durch Konvektion ins Fluid übertragen. Leistungsmodul mit geringen Verlusten können durch freie Konvektion luftgekühlt werden. In Automotive-Anwendungen werden die Leistungsmodul durch forcierte Konvektion im Kühlmittel gekühlt.

Mittels der thermischen Simulation soll für eine gegebene Geometrie mit einer Wärmesenke und einer Wärmequelle mit einer erzeugten Wärmemenge das Temperaturfeld in diesem Körper bestimmt werden. Das Temperaturfeld ordnet für jeden Punkt in dieser Geometrie einen skalaren Temperaturwert zu. Wie in Abbildung 34 dargestellt, werden die Leistungshalbleiter als Wärmequellen definiert, die jeweils eine Wärmestromdichte \vec{q} erzeugen. Das Temperaturfeld gibt Aufschluss über:

- die Temperaturverteilung im Leistungsmodul und auf der Moduloberfläche
- die Sperrschichttemperatur T_j
- die Wärmespreizung im Leistungsmodul
- die Lokalisierung von Temperatur-Hotspots

Aus der Sperrschichttemperatur T_j und der Leistung der Wärmequelle lassen sich die thermische Impedanz bzw. der thermische Widerstand zwischen der Wärmequelle und dem Fluid berechnen.

Zur Beschreibung der Wärmeleitung in Feststoffen wird die Fourier-Gleichung (4.1) herangezogen [161]. Diese besagt, dass der Wärmestrom \vec{q} durch einen Körper proportional zum Temperaturgradienten ΔT ist und stets in Richtung der geringeren Temperatur fließt (\vec{q} ist negativ).

$$\vec{q} = -\underline{\lambda} \cdot \Delta(T) \quad (4.1)$$

Im Falle einer stationären Wärmeleitung ist die Temperatur zeitunabhängig, sodass die Gleichung (4.1) zu Gleichung (4.2) vereinfacht werden kann. Für die stationäre Wärmeleitung ist sowohl die thermische Kapazität als auch die Dichte der Materialien nicht relevant.

$$\underline{\lambda} \cdot \Delta T + \vec{q} = 0 \quad (4.2)$$

Gemäß dem thermischen Gleichgewicht ist die Wärmemenge Q , die in einem Körper durch eine Wärmequelle generiert wird, gleich dem Wärmestrom $\nabla(\vec{q})$, der aus dem Körper austritt (Gleichung (4.3)).

$$Q - \nabla(\vec{q}) = 0 \quad (4.3)$$

Setzt man Gleichung (4.2) in (4.3), ergibt sich folgende Gleichung:

$$Q - \text{div}(-\underline{\lambda} \cdot \text{grad}(T)) = 0 \quad (4.4)$$

Diese Differentialgleichung (4.4) muss gelöst werden, um das Temperaturfeld zu bestimmen. Das Ziel einer Finite-Elemente-Methode besteht darin, durch ein numerisches Verfahren stetige Näherungsfunktionen zu bestimmen, die die Temperaturfunktion approximieren.

4.1.1 Randbedingungen bei der thermischen Simulation

Zur Lösung der Differentialgleichung müssen Randbedingen festgelegt werden. Für die Wärmeleitung gelten im allgemeinen folgende Randbedingungen, die für Flächen und Linie definiert werden [162]:

- Randbedingung 1. Art bzw. Dirichlet-Bedingung

- An den definierten Stellen bzw. in einer definierten Umgebung hat die Temperatur eine bestimmte Dirichlet-Temperatur ($T = T_d$). Diese Bedingung kann als Wärmeabfuhr durch einer Konvektion in einer Umgebung mit der Temperatur T_d mit sehr hohem Wärmeübergangskoeffizient interpretiert werden.
- Randbedingung 2. Art bzw. Neumann-Bedingung bzw. Symmetriebedingung
 - Bei der Symmetriebedingung tritt an der definierten Stelle treten keine Temperaturänderung auf, die einen Wärmetransport hervorrufen ($q=0$). Gleiches gilt für Stellen mit einer idealen thermischen Isolation.
 - Definierte Stellen im Modell können einen konstanten Wärmefluss annehmen ($q = -\lambda \cdot \nabla T$).
- Randbedingung 3. Art bzw. Fourier-Bedingung
 - An den definierten Stellen findet eine Wärmeleitung durch beispielsweise Konvektion mit einem definierten Wärmeübergangskoeffizient statt ($q(T) = \alpha \cdot (T_{\text{ext}} - T)$).

4.1.2 Vernetzung

Die Finite-Elemente-Methode (FEM) ist eine Diskretisierungsmethode, die ein Gebiet bzw. einen Körper in eine endliche Anzahl an kleinen endlichen und sich nicht überlappenden Teilgebieten, auch Finite-Elemente bzw. Kontrollvolumina genannt, zu unterteilen. Dieser Prozess wird als Vernetzung bezeichnet und die Vereinigung aller Teilgebiete ergibt das Netz des Körpers. Abbildung 35 zeigt beispielsweise die Vernetzung eines DCB-Substrates eines Leistungsmoduls für eine thermische Simulation mit Tetraederelementen mit unterschiedlichen Elementgrößen. Durch eine Verfeinerung des Netzes nähert sich die Vernetzung der tatsächlichen Geometrie an.

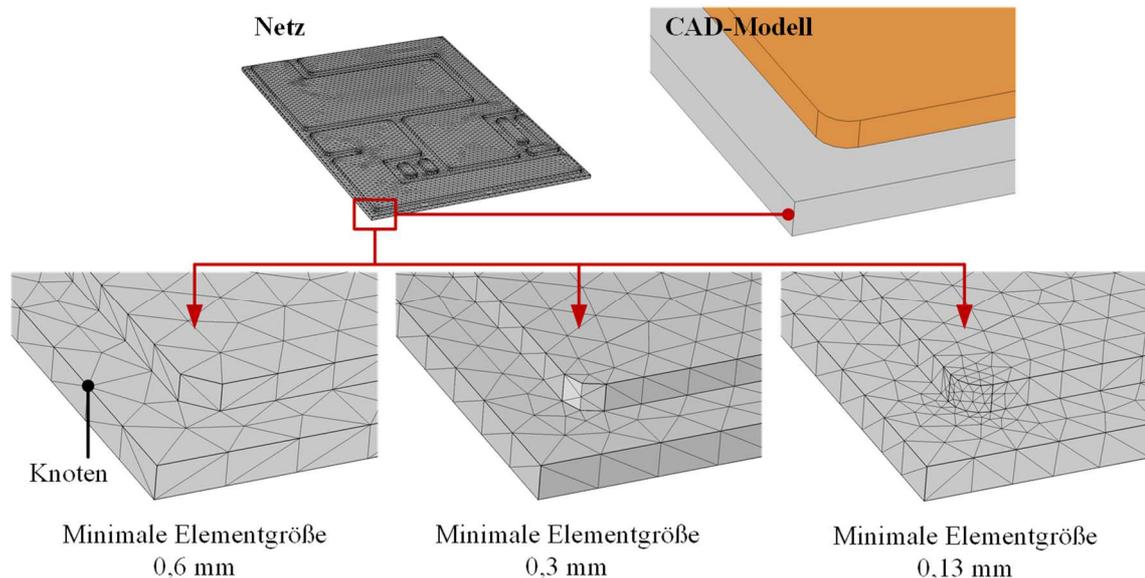


Abbildung 35: Vernetzung eines DCB-Substrates für eine 3D thermische Simulation mit unterschiedlichen Elementgrößen

Die Verbindungsstellen der einzelnen Elemente werden als Knoten bezeichnet. Für jeden Knoten müssen Matrizen zur Bestimmung des Temperaturvektors aufgestellt und das daraus entstehende lineare Gleichungssystem berechnet werden. Je feiner die Vernetzung ist, desto höher ist der Berechnungsaufwand. In Abhängigkeit des Anwendungsfalls muss abgeschätzt werden, an welcher Stelle eine Verfeinerung der Vernetzung sinnvoll ist. Beispielsweise wäre bei einer thermischen Simulation eine feine Vernetzung an

den Rändern und Ecken nicht erforderlich, wenn die Wärmequelle weit entfernt positioniert ist und die zu erwartenden Temperaturgradienten an diesen Stellen gering sind. Bei thermomechanischen Simulationen sind die mechanischen Spannungen und Dehnungen an den Randstellen besonders stark, sodass eine dichte Vernetzung dort notwendig ist. Für die Vernetzung können in Abhängigkeit der Dimension der vorliegenden Geometrie unterschiedliche Vernetzungselemente, wie beispielsweise Dreieck- oder Hexaeder-Elemente, verwendet werden. Bei der Vernetzung des CAD-Modells für die thermische Simulation werden in der Regel Tetraeder-Elemente verwendet.

4.2 Stationäre thermische Simulation

4.2.1 Zielsetzung

Mittels der thermischen Simulation soll bestimmt werden wie der Modulaufbau, die Strukturierung und die Dimensionierung des Moduls die thermische Performanz des Leistungsmoduls beeinflusst. In Bezug auf den Modulaufbau und die Strukturierung werden bei den thermischen Untersuchungen insbesondere keramikbasierte Module und Stanzgitterleistungsmodul betrachtet. SiC- und Si-Leistungshalbleiter mit vergleichbarer Spannungsklasse und vergleichbaren Leistungsbereichen haben unterschiedliche Größen. SiC-Wafer haben einen wesentlich geringeren Durchmesser und eine höhere Defektkonzentration, sodass die Chipfläche minimiert werden muss, um die Ausbeute und die Chipkosten auf einem akzeptablen Niveau zu halten (Abschnitt 2.1.2). Eine sehr kleine Chipfläche hat zur Folge, dass die Wärmeflussdichte beim SiC-Leistungshalbleiter höher ist als beim Si-Leistungshalbleiter. Mit den thermischen Simulationen soll bestimmt werden, welche Auswirkungen der Einsatz von SiC auf das Moduldesign hat.

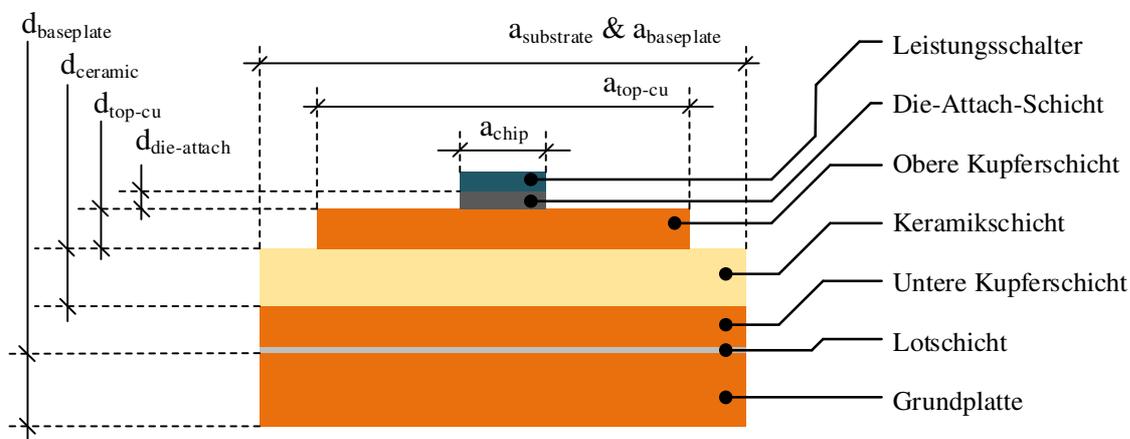


Abbildung 36: Parametervariation bei der thermischen Simulation eines Leistungsmoduls mit Al_2O_3 - bzw. AlN-DCB

Bei einem keramikbasierten Leistungsmodul ist der Leistungshalbleiter auf das Substrat gelötet bzw. gesintert. Das Substrat ist wiederum durch eine zweite Lötverbindung mit der Grundplatte bzw. mit dem Kühlkörper verbunden (siehe Abschnitt 2.6.1). Der Wärmestrom fließt aus dem Leistungshalbleiter durch die Die-Attach-Schicht in das Substrat. In der oberen Kupferschicht des Keramiksubstrates wird die Wärme gespreizt und fließt durch die Keramik- und die untere Kupferschicht in die Grundplatte. Die Stärke, das Material und die Materialstruktur (z. B. Luft einschüsse oder Porosität) der Die-Attach-Schicht beeinflussen den thermischen Fluss. Der Wärmefluss und die Wärmespreizung im Substrat hängen von der Stärke, der thermischen Leitfähigkeit und die für die Wärmespreizung zur Verfügung stehenden Substratfläche ab. Diese grundlegenden Fragestellungen werden anhand eines vereinfachten parametrisierbaren Modells eines keramikbasierten Leistungsmoduls simulativ untersucht (Abbildung 36).

Dieses Modell besteht aus einem Si- bzw. SiC-Leistungshalbleiter mit einer parametrisierbaren Chipkantenlänge, um unterschiedliche Chipflächen und Wärmeflussdichten abzubilden. Die Die-Attach-Schicht kann in ihrer Stärke und thermischen Leitfähigkeit variiert werden, um verschiedene Die-Attachment-Technologien darzustellen. Die Fläche der Die-Attach-Schicht entspricht die der Chipfläche. Beim keramikbasierten Substrat ist sowohl die Stärke der Kupfer- also auch die der Keramiksichten parametrisierbar. Die Kantenlänge der oberen Kupferschicht kann eine kleinere Abmessung annehmen als die der Keramik- bzw. der unteren Kupferschicht. Den Effekt der Wärmespreizung in der oberen Kupferschicht lässt sich somit unabhängig von der Wärmespreizung im gesamten Substrat variieren. Die Stärke und die Kantenlänge der Grundplatte sind im Modell über die entsprechenden Parameter einstellbar.

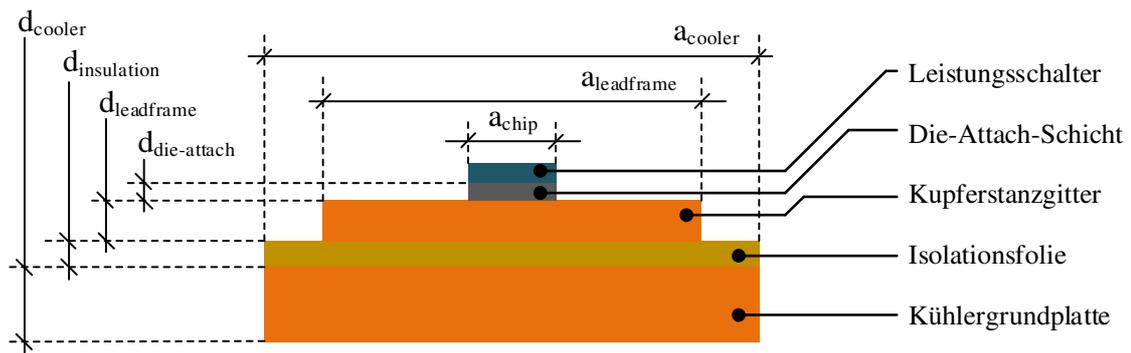


Abbildung 37: Parametervariation bei der thermischen Simulation eines Kupferstanzgitterleistungsmoduls

Beim Kupferstanzgitterleistungsmodul ist der Chip auf dem Leadframe gesintert bzw. gelötet. Dieses Leadframe ist mittels einer thermisch leitenden und elektrisch isolierenden Folie auf dem Kühlkörper direkt laminiert (siehe Abschnitt 5.2). Dieser Kühlkörper kann beispielsweise als eine Pin-Fin-Kühlung ausgeführt sein. Im Gegensatz zu einem keramikbasierten Leistungsmodul wird dieses Kupferstanzgittermodul direkt gekühlt. Bei der thermischen Simulation wird ausschließlich die Kühlung zwischen dem Leistungshalbleiter und der Kühlergrundplatte analysiert, sodass die Pin-Fin-Strukturen in der Modellbildung nicht betrachtet werden müssen. In diesem Aufbau wird die Wärme zunächst im Leadframe gespreizt und fließt anschließend durch die Isolationsfolie und den Kühlkörper zur Wärmesenke. In diesem Modell ist die Fläche des Leistungshalbleiters über die Chipkantenlänge variierbar. Die Stärke und thermische Leitfähigkeit der Die-Attach-Schicht lässt sich auf gleiche die Weise wie im oberen keramikbasierten Modul verändern. Die Stärke und Kantenlänge des Kupferstanzgitters werden parametrisiert, um die Wärmespreizung im Leadframe zu beeinflussen. Bei der Isolationsfolie zwischen dem Leadframe und dem Kühlkörper sind die Stärke und die thermische Leitfähigkeit der Folie einstellbar, sodass der Wärmefluss zum Kühlkörper variiert werden kann. Die Stärke und die Kantenlänge der Kühlergrundplatte sind in diesem Modell ebenso veränderbar (Abbildung 37).

4.2.2 Modellbildung und Vereinfachung

Bei der thermischen Simulation von Leistungsmodulen werden die Leistungshalbleiter als Wärmequellen mit einer Verlustleistung P_V definiert. Diese Leistungshalbleiter erzeugen einen Wärmestrom Q , der in Richtung der Wärmesenke bzw. des Kühlkörpers fließt. Die CAD-Daten und Materialdaten liefern Informationen über den Aufbau und die Struktur des Leistungsmoduls. Bei der Modellbildung werden den einzelnen Schichten unterschiedliche Materialeigenschaften zugewiesen. Bei der Vernetzung des CAD-Modells werden Tetraeder-Elemente verwendet. Die Verbindungsschichten zwischen dem Chip und der Kupferschicht sowie zwischen dem Substrat und dem Kühlkörper sind dünner im Vergleich zu den Komponenten im Leistungsmodul. Beispielsweise hat die Die-Attach-Schicht eine Stärke von etwa 50 μm und

das Verhältnis zwischen der Kupferschicht des Substrates und der Die-Attach-Schicht beträgt etwa 6 zu 1. Um die beiden Schichten innerhalb eines Modells ausreichend genau zu approximieren, muss das Netz im Bereich der Die-Attach-Schicht stark verfeinert werden. Die Anzahl an Knoten nimmt zu und steigert den Rechenaufwand enorm. Eine Vereinfachung wäre, die Verbindungsschichten im CAD-Modell durch eine thermische Isolationsschicht ohne geometrische Ausdehnung zu ersetzen, sodass diese nicht vernetzt werden muss. Die Isolationsschicht hat eine definierte Schichtstärke d_s und eine materialabhängige Wärmeleitfähigkeit λ . In der Simulation wird der thermische Widerstand der Isolationsschicht $R_{th,layer}$ durch folgende Gleichung analytisch berechnet:

$$R_{th,layer} = \frac{d_s}{\lambda \cdot A} \quad (4.5)$$

Bei der Modellierung sollten Komponenten, die keinen Einfluss auf den Wärmefluss zwischen Wärmequelle und Wärmesenke haben, aus dem Modell exkludiert werden. Dazu gehören beispielsweise das Modulgehäuse, Anschluss terminals, die Modulverkapselung und einzelne Kupferfläche auf dem Substrat, die nicht direkt mit der Wärmequelle kontaktiert sind. Dadurch lässt sich der Rechenaufwand stark reduzieren. Falls das Moduldesign und die Modulstruktur Symmetrien aufweisen, sollte die Symmetriebedingung (Neumann-Bedingung) genutzt werden. Diese Maßnahme reduziert die Anzahl an Knoten in einem Netz in einem potentiellen Maßstab. Die Dickdrahtbondverbindungen in einem konventionellen Leistungsmodul können aufgrund des geringen Drahtquerschnittes in Relation zu der Drahtlänge wenig Wärme vom Chip abführen (Abbildung 38).

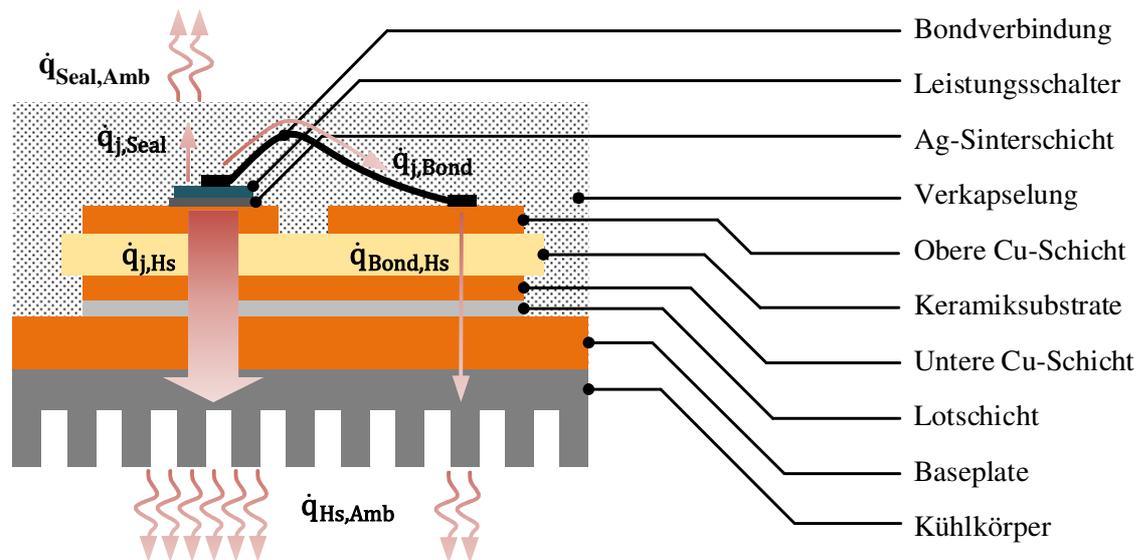


Abbildung 38: Thermische Pfade vom Leistungshalbleiter zur Umgebung

Beim Bonddraht weisen die Bondfüße eine komplexe Geometrie auf. Um die Vernetzung zu vereinfachen, sollte der Bondfuß durch einen simplen geometrischen Aufbau, wie beispielsweise einen Quader, ersetzt werden. Für eine thermische Abschätzung können die Bonddrähte sogar aus dem Modell entfernt werden. In einer Masterarbeit wurde simulativ nachgewiesen, dass in einer thermischen Simulation von einem Leistungsmodul ohne Berücksichtigung der Bondverbindungen die berechnete Sperrschichttemperatur etwa um 1,6 % von einer Simulation mit Bondverbindungen abweicht [163]. Bei einer flächigen Kontaktierung, wie beispielsweise bei einem beidseitig gekühlten Leistungsmodul, darf die Wärmeabfuhr über die Oberseite des Leistungshalbleiters nicht vernachlässigt werden. Im Halbleiter entsteht die Wärme an der Grenze zwischen dem Substrat und der Epitaxieschicht [164]. Zur Vereinfachung werden die Wärmequellen an der

Chip-Oberfläche definiert. Der Fehler dieser Approximation ist vernachlässigbar gering, da die Epitaxieschicht nur wenige μm stark ist. Wie in Abbildung 38 dargestellt, wird die Wärme im Leistungshalbleiter hauptsächlich durch Wärmeleitung in Richtung der Grundplatte bzw. des Kühlkörpers geleitet. Im Leistungsmodul ist der Leistungshalbleiter in einer Verkapselung aus Silikon- bzw. Epoxymasse eingebettet. Der Wärmestrom durch die Verkapselung kann vernachlässigt werden, da die thermische Leitfähigkeit der Silikon- bzw. Epoxymasse sehr gering ist ($<1 \text{ W (m}\cdot\text{K)}^{-1}$) und der Pfad des Wärmestromes zwischen der Chip-Oberfläche und der Oberfläche der Verkapselung im Vergleich zur gesamten Höhe des Leistungsmoduls relativ lang ist. Aus der Abbildung 38 lässt sich aus den einzelnen thermischen Pfaden das thermische Ersatzschaltbild eines konventionellen Leistungsmoduls in Abbildung 39 herleiten. Insgesamt lässt sich der Wärmetransport von der Sperrschicht des Leistungshalbleiters in drei thermischen Pfaden beschreiben:

- Hauptwärmestrom zwischen Leistungshalbleiter und Kühlkörper
 - Flächige Verbindung zwischen Leistungshalbleiter und Substrat
 - Konvektion am Kühlkörper
- Wärmefluss vom Leistungshalbleiter zum Substrat und anschließend weiter zum Kühlkörper
 - Wärmestrom in Abhängigkeit der verwendeten Oberseitenkontaktierung
 - Konvektion am Kühlkörper
- Geringer Wärmestrom vom Leistungshalbleiter durch die Verkapselung in die Umgebung
 - Konvektion an der Oberfläche der Verkapselung

Für eine thermische Abschätzung von einem Leistungsmodul mit konventionellem Aufbau, kann der thermische Pfad über die Bondverbindungen und die Vergussmasse vernachlässigt werden. Dadurch lässt sich die Komplexität des thermischen Schaltungsnetzwerkes deutlich reduzieren (Abbildung 39).

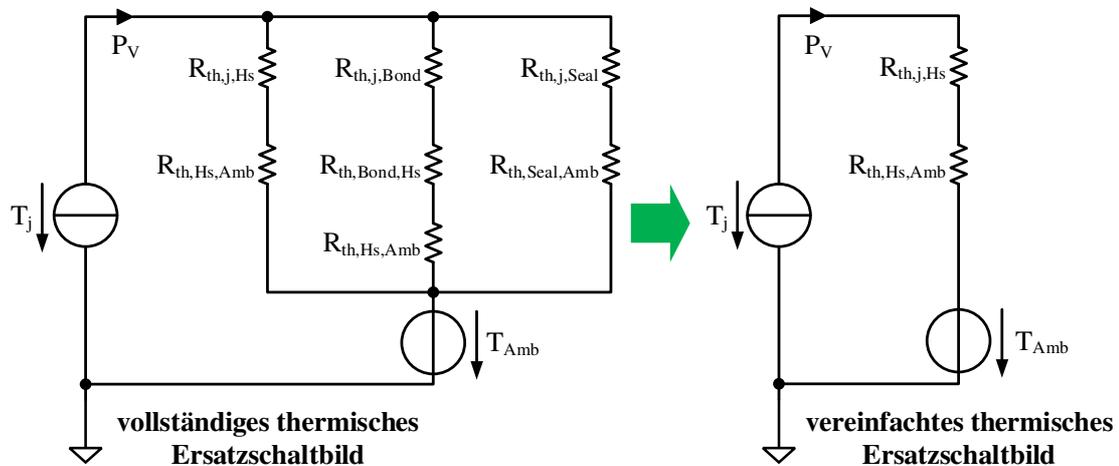


Abbildung 39: Vereinfachung des thermischen Ersatzschaltbildes eines keramikbasierten Leistungsmoduls bzw. Lead-frame-Moduls im stationären Zustand mit Bonddrahtkontaktierungen auf der Oberseite (einseitige Kühlung)

Allerdings muss bei einem beidseitig gekühlten Leistungsmodul der thermische Pfad von der Chip-Oberseite zum oberen Kühlkörper berücksichtigt werden. Steuerungsanschlüsse auf der Chip-Oberseite wie z. B. die Gate-Kontaktierung können bei der thermischen Simulation vernachlässigt werden.

4.2.3 Parametrisierung des Modells und Festlegung der Randbedingungen

Beim keramikbasierten Leistungsmodul soll untersucht werden, wie die Die-Attachment-Technologie bzw. die Stärke der Die-Attach-Schicht die thermische Performanz beeinflusst. Die thermische Leitfähigkeit der Lotschicht wurde auf $58,5 \text{ W (m K)}^{-1}$ gesetzt. Dabei wurde angenommen, dass die Qualität der Lötstelle optimal und frei von Lufteinschlüssen ist. Bei der Silbersinterschicht wird angenommen, dass diese eine Porosität von etwa 15 % hat, da eine porenfreie Sinterschicht technisch schwer realisierbar ist. Die thermische Leitfähigkeit einer solchen Silbersinterschicht beträgt $265,2 \text{ W (m K)}^{-1}$ und ist etwa 35 % geringer als die thermische Leitfähigkeit des Bulk-Materials (Abschnitt 2.3.2). Gemäß Tabelle 23 im Anhang A 11 liegt die Stärke der Die-Attach-Schicht zwischen $40 \mu\text{m}$ und $80 \mu\text{m}$. Diese thermische Simulation wurde für ein $4,8 \times 4,8 \text{ mm}^2$ SiC-MOSFET und ein $12,1 \times 16 \text{ mm}^2$ Si-IGBT durchgeführt. Bei der Variation der Die-Attach-Schicht wurden die restlichen geometrischen Abmessungen und Materialeigenschaften mit den Werten aus dem Standard-Parametersatz zugewiesen (Tabelle 22 Anhang A 11). Für die Untersuchung der Wärmespreizung in der oberen Kupferschicht sowie der Wärmespreizung im Substrat wird zunächst die Stärke der Kupfer- und der Keramikschicht gemäß Tabelle 24 im Anhang A 11 variiert. Die Simulation wird ausschließlich für einen SiC-Leistungshalbleiter mit einer Chipgröße von $4,8 \times 4,8 \text{ mm}^2$ durchgeführt. In einer weiteren thermischen Simulation wird die Kantenlänge der oberen Kupferfläche im Verhältnis zur Chipkantenlänge skaliert, um die Wärmespreizung in der Ebene zu verändern. Die Simulation wurde für unterschiedliche Chipflächen gemäß Tabelle 25 im Anhang A 11 durchgeführt, um den Einfluss der Wärmeflussdichte auf die Wärmespreizung zu untersuchen. Der Leistungshalbleiter hat eine quadratische Form. Das kleinste Verhältnis zwischen der Kantenlänge der oberen Kupferschicht und der Chipkantenlänge ist eins. Bei der Variation der Größe der oberseitigen Kupferfläche sind die Flächen der Keramik- und der unteren Kupferschichten sowie die Größe der Grundplatte auf konstante Standardwerte gesetzt. Die Fläche des Substrates und der Grundplatte sind um ein Vielfaches größer als die Chipfläche, sodass eine maximale Wärmespreizung in diesen Schichten sichergestellt ist. Um im nächsten Schritt die Wärmespreizung im gesamten Substrat einzuschränken, wird die Kantenlänge der Keramik- und beiden Kupferschichten variiert. In einer separaten Simulation werden Stärke und Kantenlänge der Grundplatte verändert. Das Verhältnis zwischen Kantenlänge der Grundplatte und der Chipkantenlänge bzw. Kantenlänge des Substrates ist stets größer oder gleich eins. Bei der Variation der Kantenlänge der Grundplatte wird die Kantenlänge des Substrates im gleichen Maße skaliert. Bei diesen Simulationen wird stets ein Parameter verändert, sodass der Einfluss der einzelnen Parameter auf die Wärmespreizung getrennt bewertet werden kann. Beim Leadframe-Modul wird bei der thermischen Simulation die Die-Attach-Schicht auf die gleiche Weise variiert wie beim keramikbasierten Leistungsmodul (Tabelle 23. Anhang A 11). Um die Wärmespreizung im Leadframe zu beeinflussen, wird die Stärke und die Kantenlänge des Leadframe-Substrates gemäß Tabelle 29 und Tabelle 30 im Anhang A 11 verändert. Bei dieser Simulation wird festgelegt, dass der Chip eine quadratische Form aufweist. Die Grundfläche der Isolationsfolie ist gleich der Fläche des Kupferstanzgitters. In einer weiteren Modellierung wird die Stärke und die Kantenlänge der Baseplate so variiert, wie dies in Tabelle 31 und Tabelle 32 im Anhang A 11 aufgelistet sind. Die Kantenlänge des Leadframe-Substrates trägt das gleiche Maß wie die Kantenlänge der Grundplatte.

Die Wärmequelle wird als Neumann-Randbedingung mit einem vorgegebenen Wärmefluss, der sich aus der Verlustleistung und der Chipfläche ergibt, an der Chip-Oberfläche definiert (siehe Abschnitt 4.1.1). Die Grundplatte wird als Dirichlet-Randbedingung mit einer fest vorgegebenen Kühlkörpertemperatur definiert mit dem Ziel, den thermischen Widerstand zwischen Chip und Baseplate bzw. Kühlkörpergrundplatte zu bestimmen. Alle äußeren Flächen des Modells mit Ausnahme der Unterseite der Grundplatte werden als ideale thermische Isolationsflächen definiert, sodass keine Wärmeflüsse über diese Fläche abgeführt werden können. Beim beidseitig gekühlten Leistungsmodul werden die beiden äußeren Flächen der Dirichlet-Randbedingung zugeordnet, sodass die Wärme im Chip in beide Richtungen geführt werden kann.

4.3 Ergebnisse der thermischen Simulationen

4.3.1 Einflüsse der Die-Attach-Schicht auf die thermische Performanz

Die Simulationsergebnisse in Abbildung 40 zeigen die Abhängigkeit des thermischen Widerstands zwischen Chip und Grundplatte von dem verwendeten Die-Attach-Material und von der Stärke der Die-Attach-Schicht. Diese thermische Simulation wurde für ein Leistungsmodul mit Al_2O_3 -DCB Substrat und SiC-MOSFET bzw. Si-IGBT Leistungshalbleiter durchgeführt. Für beide Chips wurde eine Verlustleistung von 100 W definiert. Allerdings sind SiC-Leistungshalbleiter um ein Vielfaches kleiner in der Fläche als Si-Leistungshalbleiter mit einer vergleichbaren Leistung. Schätzungsweise ist die Chipfläche bei einem SiC-MOSFET etwa 4- bis 8-mal kleiner als beim Si-IGBT. Die Wärmestromdichte beim SiC-MOSFET ist deutlich höher als beim Si-IGBT.

Bei einer gesinterten Verbindung nimmt der R_{th} mit zunehmender Schichtstärke in einem geringeren Maß linear im Vergleich zu einer Lötverbindung zu, da die Silbersinterschicht eine bis zu 4,5-mal höhere thermische Leitfähigkeit aufweist. Da die thermische Leitfähigkeit der Sinterschicht im Wesentlichen von der Porosität der Sinterschicht abhängt, kann die Steigung der unten abgebildeten Kennlinie abweichen.

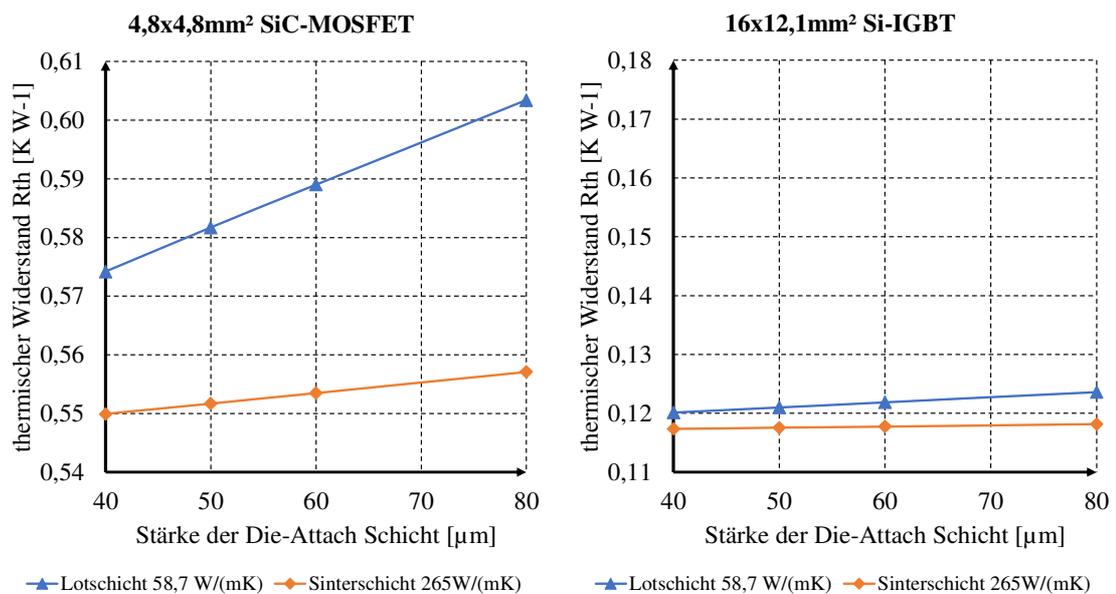


Abbildung 40: Abhängigkeit des R_{th} von der Stärke der SAC-Lötschicht bzw. Ag-Sinterschicht (mit 15 % Porosität) bei einem Leistungsmodul auf Basis einer Al_2O_3 -Keramik mit einem $4,8 \times 4,8 \text{ mm}^2$ SiC-MOSFET Chip bzw. $16 \times 12,1 \text{ mm}^2$ Si-IGBT

Bei einem SiC-Leistungsmodul wirken sich die Stärke der Sinterschicht und die Auswahl der Sinterverbindung deutlich stärker aus als bei einem vergleichbaren IGBT-Modul. Wenn in diesem konkreten Beispiel die Lötschicht in einem SiC-Leistungsmodul von $40 \mu\text{m}$ auf $80 \mu\text{m}$ verdoppelt wird, steigt der R_{th} des Moduls um 5 %. Bei einer Sinterschicht mit einer Porosität von etwa 15 % würde sich der R_{th} etwa um 1,3 % erhöhen. Im Vergleich dazu würde bei einem Si-IGBT-Leistungsmodul mit einer gelöteten bzw. gesinterten Verbindung der R_{th} um etwa 3 % bzw. 0,7 % zunehmen. Beim SiC-Modul kann der R_{th} etwa zwischen 4 % und 7,5 % verringert werden, wenn die Lötverbindung durch eine Sinterverbindung ersetzt wird. Eine vergleichbare thermische Simulation mit AlN -DCB anstatt Al_2O_3 -DCB zeigt die gleichen Zusammenhänge wie bei Al_2O_3 -DCB (Abbildung 96 im Anhang A 12).

Beim Aufbau eines SiC-Leadframe-Leistungsmoduls bietet die Sintertechnologie Vorteile gegenüber dem Löten in Bezug auf thermische Performanz und Zuverlässigkeit. Je nach Stärke der Die-Attach-Schicht kann der R_{th} zwischen 4 % und 8 % verringert werden. Bei einem $16 \times 12,1 \text{ mm}^2$ Si-IGBT und einer Verlustleistung von 100 W wäre eine Optimierung von 2 % bis 4 % realisierbar bei einer angenommenen Schichtstärke von $40 \text{ }\mu\text{m}$ bis $80 \text{ }\mu\text{m}$ (Abbildung 98 im Anhang A 13).

4.3.2 Einflüsse der Stärke der Kupfer- und Keramikschichten sowie Keramikmaterialien auf die Wärmespreizung

Der R_{th} zwischen Chip und Unterseite der Grundplatte wird, wie in Abbildung 41 und Abbildung 42 dargestellt, von der Stärke der Kupfer- und Keramikschichten sowie von dem Keramikmaterial stark beeinflusst. Je stärker die Al_2O_3 -Keramik ist, desto größer ist auch der thermische Widerstand des Leistungsmoduls aufgrund der geringen thermischen Leitfähigkeit der Al_2O_3 -Keramik. Bei einem Al_2O_3 -Substrat nimmt die Wärmespreizung mit zunehmender Stärke der Kupferschicht zu. Daher findet die Wärmespreizung in der oberseitigen Kupferschicht statt, da das Keramikisulationsmaterial Al_2O_3 im Vergleich zu den Kupferschichten eine geringere thermische Leitfähigkeit aufweist (Faktor 16 geringer).

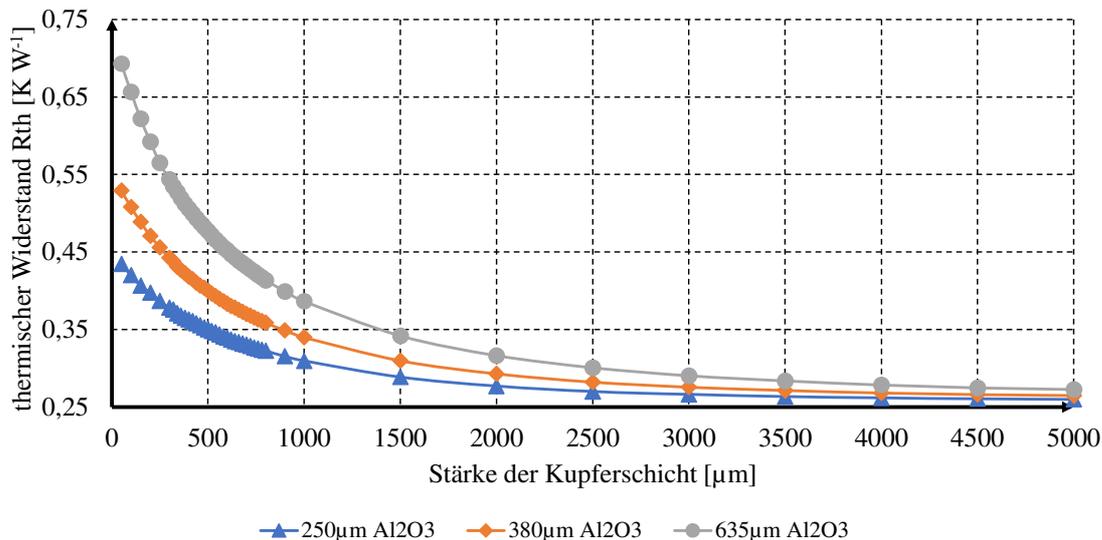


Abbildung 41: Abhängigkeit des thermischen Widerstands von der Stärke der Kupfer- und Keramikschichten einer Al_2O_3 -DCB ($P_V=100 \text{ W}$; Chipfläche $A_{Chip}=4,8 \times 4,8 \text{ mm}^2$)

Im Gegensatz dazu hat die Stärke der Keramik bei einem AlN-Substrat einen geringeren Einfluss auf die thermische Performanz des Aufbaus (Abbildung 42). Bei einem AlN-DCB nimmt der R_{th} mit zunehmender Kupferstärke zunächst bis zu einem Minimum ab, steigt dann jedoch wieder stetig an. Zunächst trägt die Wärmespreizung zur Verringerung des R_{th} bei. Bei zunehmender Stärke der Kupferschichten wirkt der thermische Widerstand der Kupferschichten der Wärmespreizung entgegen.

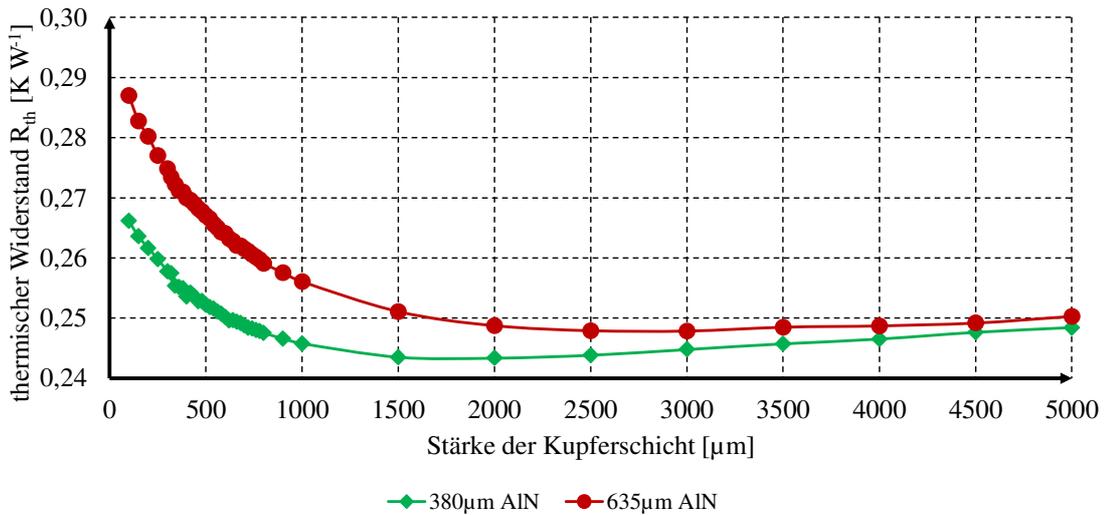


Abbildung 42: Abhängigkeit des thermischen Widerstands von der Stärke der Kupfer- und Keramikschichten einer AlN-DCB ($P_V=100\text{ W}$; Chipfläche $A_{\text{Chip}}=4,8 \times 4,8\text{ mm}^2$)

Um die Wärmespreizung für die unterschiedlichen Modulaufbauvariationen bewerten zu können, wird eine thermische Spreizwirkung für die jeweilige Modulaufbaustruktur wie folgt definiert:

$$s = 1 - \frac{R_{th,heatspread,100\%}}{R_{th,heatspread,0\%}} \quad (4.6)$$

In diesem konkreten Fall würde eine Wärmespreizung von 0 % in der oberen Kupferschicht bedeuten, dass die Stärke der Kupferschichten so stark reduziert wird, dass keine Wärmespreizung in der oberen Kupferschicht stattfindet. Bei einer Wärmespreizung von 100 % haben die Kupferschichten eine optimale Materialstärke, sodass der R_{th} einen Minimalwert annimmt. Die thermische Spreizwirkung beschreibt, in welchem Umfang der R_{th} durch die Wärmespreizung im optimalsten Fall minimiert werden kann.

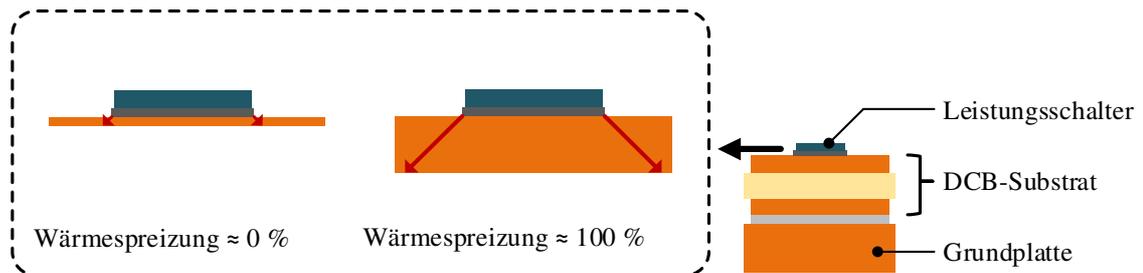


Abbildung 43: Wärmespreizung in Abhängigkeit der Stärke der oberen Kupferschicht

Die Wärmespreizung ist abhängig von der Wärmestromdichte, die in Richtung des Kühlkörpers abgeführt wird. Abbildung 44 zeigt, dass die thermische Spreizwirkung mit steigender Wärmestromdichte zunimmt. Im Vergleich zu größeren Si-IGBT-Chips ist bei SiC-Leistungshalbleitern mit einer geringeren Chipfläche und einer höheren Wärmeflussdichte die Spreizwirkung deutlich höher als. Bei einem SiC-Leistungshalbleiter beträgt die Wärmestromdichte in etwa $4\text{ bis }10\text{ W mm}^{-2}$, sodass durch die Wärmespreizung der R_{th} um etwa 25% bis 40% beim Al_2O_3 -DCB verringert werden kann. Ein Vergleich zwischen Abbildung 44 und Abbildung 97 (Anhang A 12) zeigt, dass beim AlN-DCB die Wärmespreizung in der oberen Kupferschicht deutlich geringer ausfällt als beim Al_2O_3 -DCB. Der Grund dafür ist, dass AlN-Keramik im Vergleich zu der Al_2O_3 -Keramik eine 7-fach höhere thermische Leitfähigkeit hat. Bei einem Leistungsmodul

mit AlN-DCB ist die Wärmespreizung in der Keramikschicht und in der unteren Kupferschicht sowie in der Grundplatte besonders ausgeprägt.

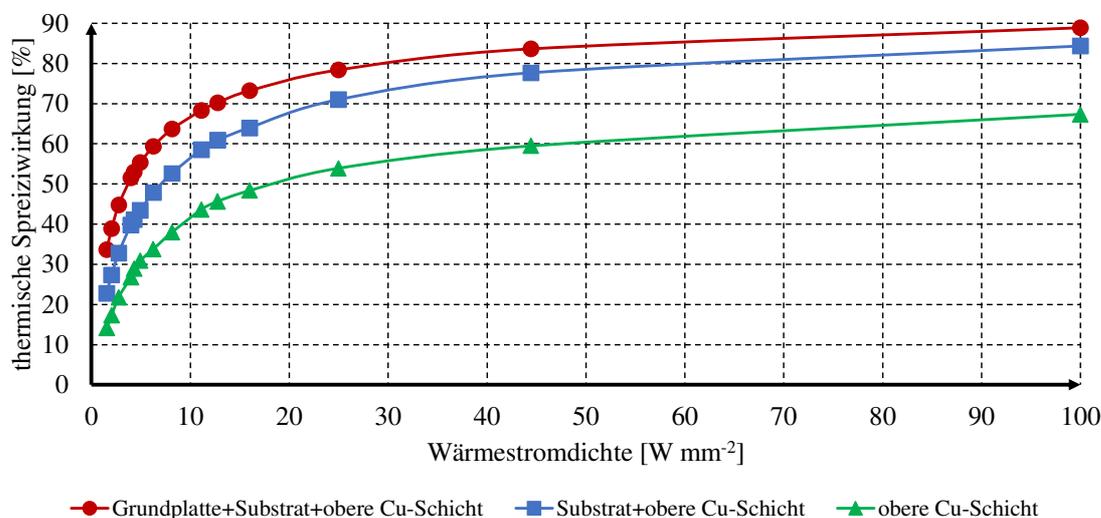


Abbildung 44: Vergleich der thermischen Spreizwirkung in der oberen Kupferschicht, im Al₂O₃-DCB Substrat und in der Grundplatte (Al₂O₃-DCB Substrat mit 300 µm Cu-Schicht und 380 µm Al₂O₃-Keramikschicht ist an die Abmessungen der Grundplatte angepasst)

Tabelle 8 zeigt, dass sich die Wärmespreizung in den Kupferschichten bei der Al₂O₃-Keramik mit zunehmender Stärke der Keramik erhöht. Bei der AlN-DCB ist die Spreizwirkung im Substrat deutlich geringer als beim Al₂O₃-DCB. Wissenschaftliche Arbeiten am KIT-IPE haben bestätigt, dass bei Leistungsmodulen ohne Grundplatte ebenfalls weniger Wärmespreizung in einem AlN-DCB Substrat stattfindet als in einem Al₂O₃-DCB [165].

Tabelle 8: Spreizwirkung in Abhängigkeit des Keramikmaterials und der Stärke der Keramikschicht (300 µm starke Cu-Schichten)

Keramikmaterial	Stärke der Keramikschicht	Thermische Spreizwirkung
	[µm]	[%]
Al ₂ O ₃	250	40,2
	380	49,9
	635	60,6
AlN	380	9,2
	635	13,9

4.3.3 Einfluss der Stärke der Grundplatte auf die thermische Performanz

Abbildung 45 zeigt, dass bei keramikbasierte Leistungsmodulen der R_{th} mit zunehmender Stärke der Grundplatte zu nimmt. Die Wärmespreizung in der Grundplatte ist vergleichsweise gering, sodass der thermische Widerstand des Materials dominiert. Eine Stärke von 3 mm stellt einen optimalen Kompromiss zwischen thermischer Performanz und mechanischer Steifigkeit für Montage und Befestigung an einem Kühlsystem dar.

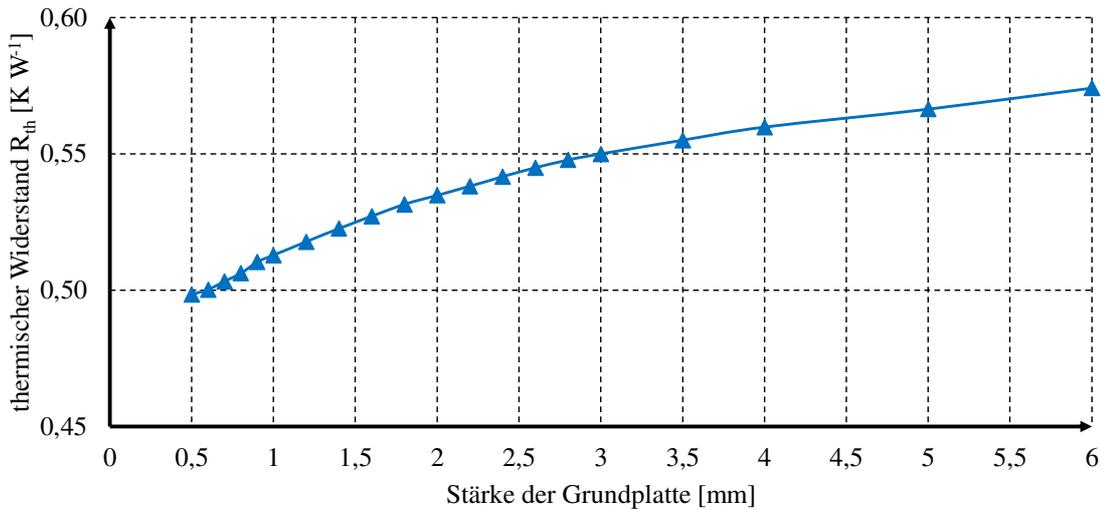


Abbildung 45: R_{th} zwischen einem SiC-MOSFET und der Unterseite der Grundplatte in Abhängigkeit von der Stärke der Grundplatte ($P_V=100 W$; DCB mit $300 \mu m$ Kupfer- und $380 \mu m$ Al_2O_3 -Keramikschicht)

4.3.4 Einfluss der Modulaufbaustruktur auf die thermische Performanz beim Leadframe-Leistungsmodul

Abbildung 46 vergleicht die thermische Spreizwirkung eines Leadframe-Moduls mit der von keramikbasierten Leistungsmodulen. Bei diesem Vergleich wurde ein SiC-Leistungsmodul mit einem Chip mit einer Fläche von $4,8 \times 4,8 \text{ mm}^2$ und ein Kupferstanzgitter mit einer Stärke 2 mm verwendet. Die thermische Spreizwirkung im Kupferstanzgitter ist etwa doppelt so hoch wie die Spreizwirkung in einem Al_2O_3 -DCB bzw. viermal höher als die Spreizwirkung von einem AlN-DCB bei einer Wärmestromdichte von 10 W mm^{-2} im Chip. Bei einem Leadframe-Leistungsmodul ist die thermische Leitfähigkeit der Isolationsfolie deutlich geringer im Vergleich zu einer Al_2O_3 - und AlN-Keramik. Die Kupferschicht direkt unterhalb des Leistungshalbleiters ist viel stärker als bei einem keramikbasierten Substrat. Daher spielt die Wärmespreizung beim Leadframe-Leistungsmodul eine gewichtigere Rolle als beim keramikbasierten Leistungsmodul. Die Wärmespreizung ist essentiell in einem Leadframe-Leistungsmodul unabhängig davon welcher Leistungshalbleiter eingesetzt wird.

Unter der Voraussetzung, dass eine ausreichend große Wärmespreizfläche im Kupferstanzgitter zur Verfügung steht, wird in einer weiteren thermischen Simulation die Stärke des Kupferstanzgitters variiert. Die Simulation wurde für ein Leadframe-Leistungsmodul mit einer $210 \mu m$ starken Isolationsfolie mit einer thermischen Leitfähigkeit von 11 W (m K)^{-1} durchgeführt. Abbildung 99 im Anhang A 13 zeigt, dass der R_{th} zwischen Chip und Kühlkörper aufgrund der Wärmespreizung zunächst bis zu einer Stärke von 9 mm abnimmt. Allerdings wirkt der zunehmende thermische Widerstand im Kupfer aufgrund der zunehmenden Stärke des Kupferstanzgitters der Wärmespreizung entgegen, sodass der R_{th} wieder zunimmt. In diesem theoretischen Beispiel liegt das thermische Optimum bei einer Kupferstärke von 9 mm. Üblicherweise wird für den Aufbau von Leistungsmodulen Leadframe mit einer Stärke von bis zu 2 mm verwendet. Die optimale Stärke des Kupferstanzgitters ist von der thermischen Leitfähigkeit $k_{insulation}$ und von der Stärke $d_{insulation}$ der im Leistungsmodul eingesetzten Isolationsfolie abhängig. Je dünner und thermisch leitfähiger die Isolationsfolie ist, desto geringer ist die optimale Stärke des Kupferstanzgitters, da der thermische Spreizwinkel im Kupferstanzgitter abnimmt. Die Variation der Stärke der Grundplatte des Kühlkörpers in Abbildung 100 im Anhang A 13 zeigt, dass der R_{th} mit zunehmender Stärke der Grundplatte zunimmt. Eine Verdoppelung der Stärke von standardmäßig 3 mm auf 6 mm würde den R_{th} um 3,2 % erhöhen bei einem

Stanzgitterleistungsmodul mit $4,8 \times 4,8 \text{ mm}^2$ SiC-MOSFET. Die Wärmespreizung unterhalb der Isolationsfolie ist sehr gering, sodass der thermische Widerstand durch die Stärke der Grundplatte der geringen Wärmespreizung in der Grundplatte entgegenwirkt. Folglich sollte die Stärke der Grundplatte beim Design des Leistungsmoduls minimal werden.

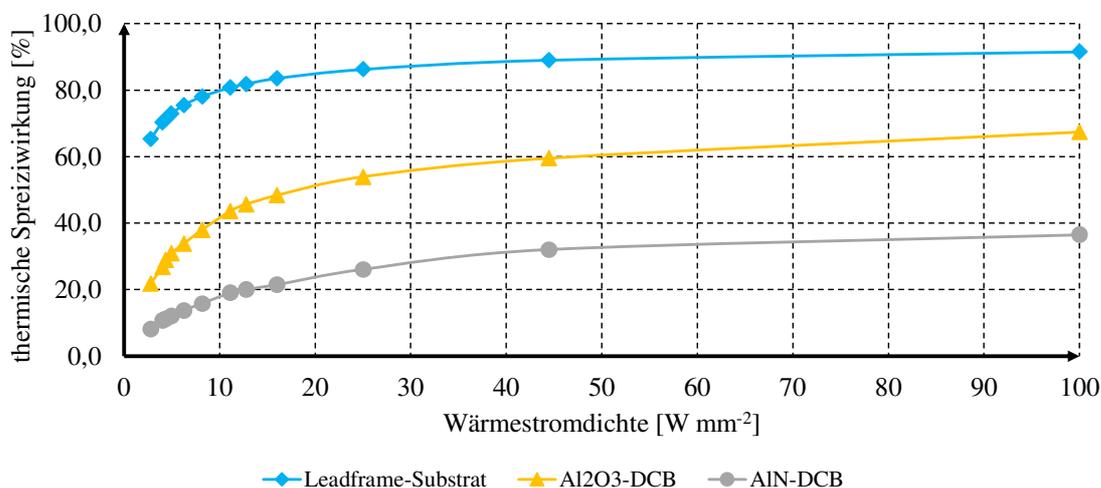


Abbildung 46: Vergleich der thermischen Spreizwirkung zwischen Leadframe-Modul und keramikbasiertes Leistungsmodule ($4,8 \times 4,8 \text{ mm}^2$ SiC-MOSFET, $P_V=100 \text{ W}$; Leadframe-Substrate mit 2 mm Stärke, $11 \text{ W (m} \cdot \text{K)}^{-1}$; $210 \mu\text{m}$ Stärke, Al_2O_3 -DCB mit $300 \mu\text{m}$ Kupfer- und $380 \mu\text{m}$ Al_2O_3 -Keramikschicht und AlN -DCB Substrate mit $300 \mu\text{m}$ Kupfer- und $635 \mu\text{m}$ AlN -Keramikschicht)

4.3.5 Thermische Simulation und Validierung am Beispiel eines beidseitig gekühlten Leadframe-Leistungsmoduls

Beim beidseitig gekühlten Leadframe-Leistungsmodul (Double-Sided Cooling – DSC) ist der Leistungshalbleiter auf der Chipunterseite mit ein Kupferstanzgitter und auf der Chip-Oberseite über einem Abstandselement (engl. Spacer) mit einem zweiten Kupferstanzgitter stoffschlüssig verbunden. Beide Kupferstanzgitter wurden auf jeweils einen Kühlkörper mit einer thermisch leitenden und elektrisch isolierenden Folie laminiert. Abschnitt 5.2 beschreibt ausführlich den Aufbau des neuartigen Leadframe-DSC-Leistungsmoduls. Bei diesem Konzept handelt es sich ebenfalls um eine direkte Kühlung des Leistungsmoduls. Zur Vereinfachung der thermischen Simulation wurden die Pin-Fin-Strukturen aus dem Modell entfernt. Bei diesem Aufbau wird die Verlustwärme im Chip an beiden Seiten abgeführt. Allerdings unterscheiden sich die beiden thermischen Pfade, da die Chip-Oberseite mit dem Spacer verbunden ist und darüber weniger Wärme abgeführt werden kann. Mittels der thermischen Simulation soll ermittelt werden, welcher Anteil an Wärmemenge über die Chip-Oberseite bzw. Chipunterseite abgeführt wird.

Die Simulationsergebnisse sollen abschließend mit einer thermischen Charakterisierung eines Prototypleistungsmoduls validiert werden. Das Vorgehen bei der thermischen Charakterisierung ist in Abschnitt 2.7.1 beschrieben. Ein Prototypleistungsmodul wird mit einem Kühlkörper ohne eine Pin-Fin-Struktur aufgebaut. In diesem Prototypleistungsmodul wird ein Temperatursensor (PT100) auf einem IGBT aufgebracht, um bei der thermischen Charakterisierung die Chip-Temperatur erfassen zu können. Wie in Abbildung 47 dargestellt, wird das Leistungsmodul zwischen zwei dicken Kupferklötzen eingebaut. Das Leistungsmodul wird mittels Wärmeleitpaste thermisch an die beiden Kupferklötze angebunden. Der komplette Aufbau wird wiederum auf eine temperaturgeregelte Heizplatte gestellt und mit dieser thermisch verbunden. In einem der beiden Kupferklötze wird ein Temperatursensor sehr dicht am Kühlkörper des Prototypleistungsmoduls angebracht, um die Temperatur am Kühlkörper des Leistungsmoduls zu erfassen. Während der

thermischen Charakterisierung wird der IGBT mit einer definierten Verlustleistung P_V beaufschlagt. Mit der Heizplatte wird der Wärmestrom so eingestellt, dass die Temperatur am Kühlkörper einen definierten Wert annimmt. Die Temperatur am IGBT wird bei der Messung protokolliert, sodass der thermische Widerstand des Leadframe-DSC-Leistungsmoduls mit der Gleichung (2.29) berechnet werden kann.

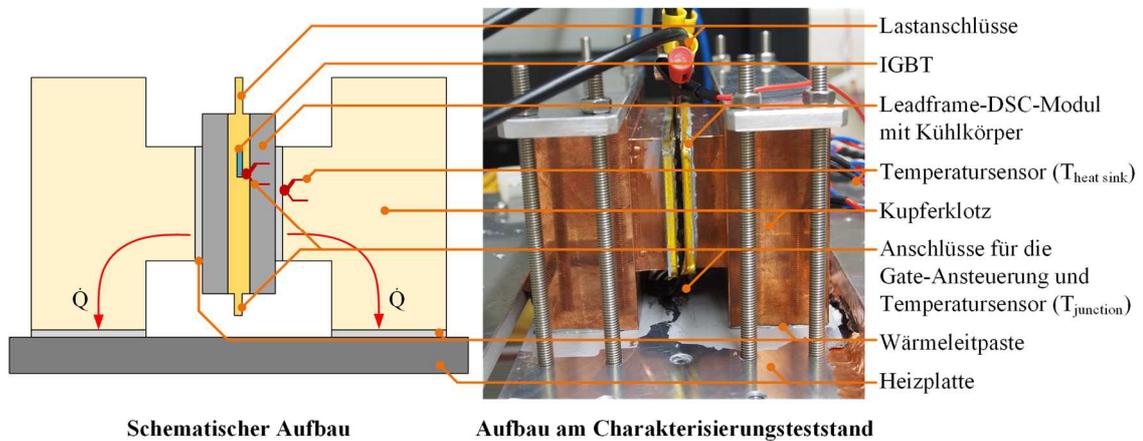


Abbildung 47: Thermische Charakterisierung des Leadframe-DSC-Leistungsmoduls

Ein Vergleich der Simulationsergebnisse mit den Messergebnissen zeigt, dass sich zwischen der Simulation und der Messung eine Abweichung von maximal 7,6% bei einer Kühlkörpertemperatur von 50 °C ergibt. Gemäß der thermischen Simulation in Abbildung 48 steigt der R_{th} mit zunehmender Kühlkörpertemperatur in geringem Umfang an, da die Wärmeleitfähigkeit der einzelnen Materialschichten mit steigender Temperatur geringfügig abnimmt. Allerdings zeigt die Messung, dass der R_{th} mit steigender Temperatur abnimmt. Dies lässt sich dadurch erklären, dass der Temperatursensor im Prototypleistungsmodul thermisch nicht optimal am IGBT-Chip angebunden ist. Der Temperatursensor ist am Chip mit einem Klebstoff fixiert, sodass der Sensor stets eine etwas geringere Chiptemperatur misst. Mit steigender Temperatur macht sich dieser Messfehler immer stärker bemerkbar und verursacht daher einen umgekehrten Kurvenverlauf.

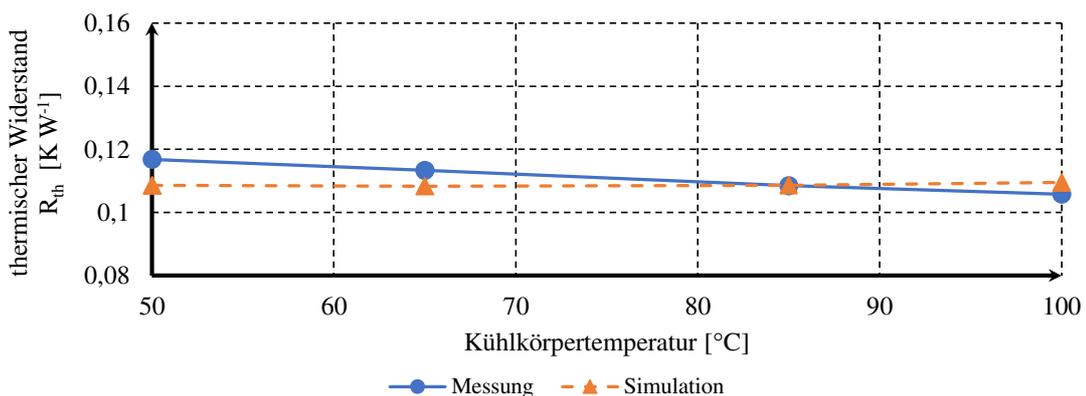


Abbildung 48: Thermische Simulation und Messung des thermischen Widerstandes R_{th} eines IGBT-Leadframe-DSC-Leistungsmoduls in Abhängigkeit der Kühlkörpertemperatur bei einer Verlustleistung $P_V = 100 W$

Weitere thermische Simulationen am Leadframe-DSC-Leistungsmodul zeigen, dass der R_{th} zwischen einem IGBT-Chip und dem Kühlkörper durch die beidseitige Kühlung um 32 % verringert werden konnte

gegenüber einem einseitig gekühlten Leistungsmodul. Bei der Diode konnte der R_{th} sogar um 41 % reduziert werden. Die Optimierung der thermischen Performanz beim IGBT ist geringer als bei Diode, da die Chip-Oberseite des IGBTs nicht vollständig an die Kühlung angebunden ist. Auf der Chip-Oberseite werden Kontaktflächen für die Gate- und Hilfsemmitter-Kontaktierung benötigt, sodass die im Chip entstehenden Wärme über die verbliebenen Emitter-Kontaktflächen abgeführt werden muss. Hinzu kommt, dass die Chip-Oberseite mit einem Spacer des oberen Leadframe verbunden ist (siehe Abschnitt 5.2.2). Dieser Spacer verursacht einen zusätzlichen thermischen Widerstand. Insgesamt lässt sich über die Chip-Oberseite weniger als 50 % der Wärme abführen. Bei einem steuerbaren Schalter wie z. B. einem IGBT beträgt die Wärmeabfuhr über die Chip-Oberseite etwa ein Drittel.

4.4 Zusammenfassung der Simulationsergebnisse

In dieser wissenschaftlichen Arbeit wurden die thermischen Eigenschaften von Leistungsmodulen mit keramikbasierten Substraten und Leadframe-Substraten simulativ untersucht. Die Ergebnisse der thermischen Simulationen zeigen folgende Zusammenhänge:

- Für den Aufbau eines SiC-Leistungsmoduls ist eine Sinterverbindung aus Sicht eines thermisch optimalen Modulaufbaus zu empfehlen. Bei Si-IGBTs, die eine geringe Wärmeflussdichte aufweisen, wäre die Lötverbindung eine kostenoptimale Alternative. Diese Erkenntnisse konnten sowohl bei einem keramikbasierten als auch bei einem Leadframe-Substrat festgestellt werden.
- Bei einem Al_2O_3 -DCB-Substrat soll die Keramikschiicht möglichst dünn und die Kupferschiicht möglichst stark gewählt sein. Aufgrund der geringeren thermischen Leitfähigkeit der Keramik findet eine starke Wärmespreizung in der oberen Kupferschiicht statt. Bei Keramiksubstraten wird die obere Kupferschiicht in der Regel strukturiert, während die untere Kupferschiicht vollflächig ist. Daher entstehen aufgrund dieser Asymmetrie im Substrat thermomechanische Spannungen. Daher muss die Stärke der Kupferschiichten geringer sein als die Keramikschiicht bei einem Al_2O_3 - bzw. AlN-DCB.
- Bei einem AlN-DCB-Substrat hat die Stärke der Keramikschiicht einen geringeren Einfluss auf die thermische Performanz des Substrates, da AlN achtmal thermisch leitfähiger ist als Al_2O_3 . Der Spreizwinkel bei der Wärmespreizung ist deutlich kleiner als beim Al_2O_3 -DCB. Die Leistungshalbleiter können auf einem AlN-Substrat deutlich dichter positioniert sein, ohne dass ein thermisches Übersprechen (Thermal Crosstalk) stattfindet. Die Wärmespreizung findet im gesamten Substrat statt, ebenso in der Keramik und in der unteren Kupferschiicht.
- Für den Aufbau von SiC-Leistungsmodulen ist aus Sicht der thermischen Performanz AlN-DCB am besten geeignet. Jedoch ist der Kostenfaktor zwischen AlN- und Al_2O_3 -DCB relativ hoch.
- Bei einem Leadframe-Substrat findet die Wärmespreizung im Kupferstanzgitter statt. Die thermische Spreizwirkung ist im Vergleich zu keramikbasierten Substraten im Leadframe am höchsten. Die Isolationsfolie sollte möglichst dünn und wärmeleitfähig sein. Diese bestimmt maßgeblich die thermische Performanz des Leistungsmoduls.
- Eine größere Wärmespreizfläche würde zwar den R_{th} verringern, jedoch würde mehr Substratfläche für den Aufbau des Leistungsmoduls erforderlich sein. Ein größeres Substrat würde zu höheren Kosten und längeren Chipkontaktierungen führen, die wiederum höhere parasitäre Induktivitäten verursachen.
- Die Vorgehensweise und Modellierung bei einer thermischen Simulation wurde am Beispiel eines Leadframe-DSC-Leistungsmoduls erfolgreich validiert. Die Ergebnisse bei der thermischen Simulation eines beidseitig gekühlten Leistungsmoduls zeigen, dass etwa ein Drittel der im Halbleiter entstehenden Wärme über die Chip-Oberseite abgeführt werden kann.

5 Prototypischer Aufbau von Leistungsmodulen mit neuartigen Aufbau- und Verbindungstechniken

Dieses Kapitel beschreibt detailliert den Aufbau der hochintegrierten Module und des beidseitig gekühlten Leadframe-Leistungsmoduls. Der Einsatz von neuartigen Aufbau- und Verbindungstechniken wird ausführlich analysiert und dokumentiert.

5.1 Hochintegrierte SiC-Leistungsmodule

5.1.1 Multilayer-Substrate

Multilayer-Substrat auf Basis von Dickfilm-Technologie

Bei der Herstellung des Dickfilm-Substrates wird eine quadratische 4 Zoll Al_2O_3 -Keramik als Trägermaterial und Isolator eingesetzt. Die Keramik hat eine Stärke von 380 μm und wird beidseitig metallisiert. Die einzelnen Kupfer- und Isolationsschichten werden mittels Siebdruckverfahrens auf die Keramik aufgebracht. Aus dem Moduldesign werden die zu druckenden Kupfer- bzw. Isolationsschichten abgeleitet und als 2D-Siebdrucklayouts erstellt (Anhang A 14). Die obere Kupferschicht bildet das Layout des hochintegrierten Leistungsmoduls ab, während die untere Kupferschicht komplett flächig aufgetragen wird. Abbildung 101 und Abbildung 102 im Anhang A 14 zeigen die Strukturierung der Siebe für den Auftrag der Haftvermittlerschicht auf der oberen bzw. unteren Seite der Keramik. Der Haftvermittler ist eine Kupferpaste mit einer höheren Haftfestigkeit an keramischen Oberflächen und diese bildet den Haftungsgrund für die gesamte Kupferschicht. Im Layout werden neben den Kupferflächen ebenfalls Passermarken (engl. Fiducial Markers) und Schnittmarken auf die Keramik aufgedruckt. Folgende Marken sind im Layout aufgebracht:

- Eckmarken: Ausrichtung des gesamten Layouts in Bezug auf die Ecken der quadratischen Keramik
- Rundmarken: Ausrichtung der einzelnen Kupfer- und Isolationsschichten
- Schnittmarken: Ausrichtung der Schnittlinie beim Trennen der einzelnen Dickfilm-Substrate

Die Eckmarken dienen der Erstausrückung des Layouts auf der Keramik. Das Kamerasystem der Druckanlage ist vorprogrammiert und vergleicht die Eckposition der Keramik mit der Position der Eckmarken auf dem Sieb. Die Keramik, die auf eine bewegliche Plattform durch ein Vakuum fixiert ist, wird durch Bewegung und Rotation in der Ebene an den Eckmarken ausgerichtet. Die gleichen Layouts werden genutzt um die Kupferschichten auf beiden Seiten durch ein mehrfaches Drucken additiv aufzubauen. In diesem konkreten Beispiel sind auf einer Keramik insgesamt sechs hochintegrierte Leistungsmodule mit einer Abmessung von 31 x 24 mm^2 platziert. Die Schnittmarken auf der Keramik dienen zur Ausrichtung der Schnittgeraden, um das große Substrat nach dem Dickfilmprozess in Teilsubstrate zu trennen. Mit dem Layout in Abbildung 103 im Anhang A 14 werden Isolationsschichten auf die obere Kupferschicht im Gate-Treiberschaltkreis aufgetragen. Dieses Layout beinhaltet zwei unterschiedliche Rundmarken. Über die zwei kleinen Rundmarken in der Diagonale wird die Isolationsschicht auf die darunter liegende Dickfilmkupferschicht ausgerichtet. Der Gate-Treiberschaltkreis ist zweilagig ausgeführt, um den komplexen Schaltkreis möglichst kompakt und niederinduktiv zu gestalten. Das Layout in Abbildung 104 im Anhang A 14 bildet die oberste Kupferschicht im Gate-Treiberschaltkreis ab und wird über die größeren Rundmarken auf die Isolationsschicht positioniert. Diese Layouts werden gemäß Tabelle 33 im Anhang A 14 auf

Siebe mit unterschiedlichen Drahtstärken und Gewebefinheiten aufgebracht. Die Gewebefinheit des Siebes wird durch die Mesh-Zahl F_n ausgedrückt, die gemäß Gleichung (3.7) [166] die Anzahl der Maschen pro Zoll-Strecke angibt (Abbildung 49).

$$F_n = \frac{1''}{w + d} = \frac{25,4 \text{ mm}}{w + d} \quad (5.1)$$

Dabei ist d der Drahtdurchmesser des Siebfadens und w die Maschenweite. Die schraffierte Fläche in der Draufsicht in Abbildung 49 entspricht der offenen Siebfläche A_0 , was das Flächenverhältnis zwischen den Sieböffnungen und der Fläche des gesamten Siebes darstellt (Gleichung (5.2)) [166]. Die offene Siebfläche A_0 und die Stärke des Siebes D_s beeinflussen den theoretischen Pastenvolumenauftrag V_{th} , die Höhe des Auftrages s_{th} (Nassschichtdicke) und die Oberflächenstruktur des Druckes. Die Nassschichtdicke s_{th} lässt sich mit Gleichung (5.3) abschätzen [166].

$$A_0 = \frac{w^2}{(w + d)^2} \cdot 100 \% \quad (5.2)$$

$$s_{th} = D_s \cdot A_0 \quad (5.3)$$

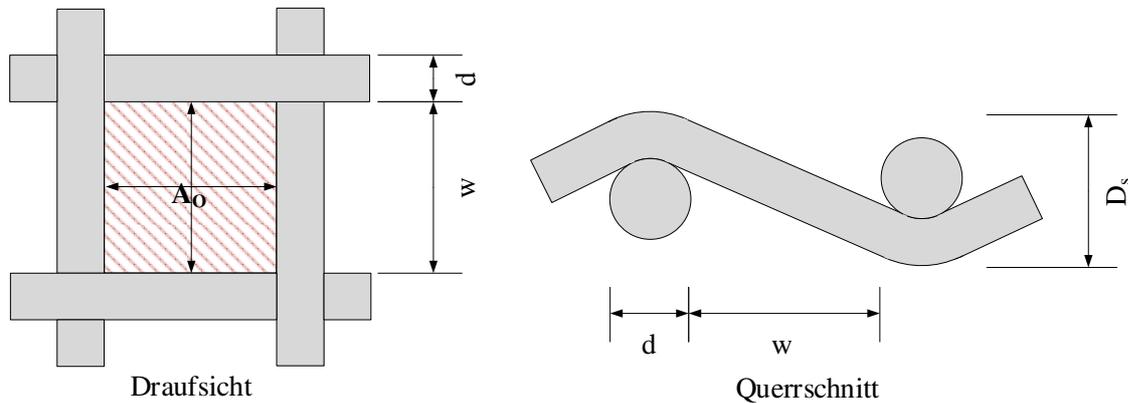


Abbildung 49: Draufsicht und Querschnitt eines Siebes für den Pastendruck

Gemäß Empfehlung des Pastenherstellers sollen die Haftvermittlerkupferschichten mit einem Sieb mit einer Maschenzahl von mindestens $F_n=105$ und einer Schichtstärke von etwa $50 \mu\text{m}$ gedruckt werden. Wie in Tabelle 33 im Anhang A 14 dargestellt, wurde für den Auftrag der Haftvermittlerschicht ein feineres Sieb mit einer Maschenzahl von $F_n=165$ gewählt, um eine geringere Nassschichtstärke von etwa $40 \mu\text{m}$ beim Drucken zu erzielen. Der Aufbau der Kupferschicht soll mit einer konventionellen Kupferpaste realisiert werden, da diese einen geringfügig höheren Kupfergehalt aufweist und deutlich kostengünstiger ist als die Haftvermittlerkupferpaste. Der Kupferaufbau wird mit einem sehr groben Sieb mit einer Maschenzahl von $F_n=70$ durchgeführt. Pro Druck können in etwa eine $80 \mu\text{m}$ starke Nassschicht aufgetragen werden. Die letzte Kupferschicht beim Schichtaufbau wird mit einem sehr feinen Sieb mit einer Maschenzahl von $F_n=280$ und einem Fadendurchmesser von $32 \mu\text{m}$ realisiert. Die aufgetragene Nassschichtstärke beträgt etwa $20 \mu\text{m}$. Allerdings wird eine glatte und ebene Oberflächenstruktur erzielt, die für die darauffolgenden Sinter- und Dickdrahtbondprozesse erforderlich ist. Die Isolationsschicht im Gate-Treiberkreis wird ebenfalls mit einem sehr feinen Sieb mit einer Maschenzahl von $F_n=270$ mehrfach gedruckt. Wie in Abbildung 50 dargestellt, können beim Siebdruckprozess ungewollte Fehlstellen (engl. Pinhole) im Druckbild entstehen. Diese Fehlstellen können auftreten, wenn beim Rakeln sich das Siebgewebe löst und ein geringer Teil der Isolationsschicht vom Druckuntergrund entfernt wird. Ursache dafür kann durch eine geringere Aufnahmefähigkeit des Untergrundes an einer zufälligen Stelle bzw. durch eine geringere Haftfestigkeit der Paste

am Untergrund hervorgerufen werden. Wird über der Isolationsschicht eine weitere Kupferschicht gedruckt, kann die Kupferpaste in die Fehlstelle eindringen und die Isolationsstrecke verringern bzw. eine ungewollte elektrische Kontaktierung herstellen. Ein Mehrfachdruck mit einem feinen Sieb führt dazu, dass das Pinhole durch die zweite Druckschicht überdeckt und die Wahrscheinlichkeit für eine offene Stelle in der Isolationsschicht minimiert wird. Dies ist bei einer Isolationsschicht besonders wichtig, da die Isolationsfestigkeit an jeder Stelle zu gewährleisten ist. Im Gate-Treiber Schaltkreis sind vier SMD-Keramik Kondensatoren in der Bauform 0603 mit dem Gate-Treiber IC verschaltet. Diese müssen zwischen der unteren und der oberen Kupferschicht im Gate-Treiberkreis kontaktiert werden. Kupferausgleichsflächen sind auf der unteren Kupferschicht im Gate-Treiberkreis erforderlich, um die SMD-Kondensatoren in einer horizontalen Lage positionieren zu können. Für das Auftragen dieser Kupferausgleichsflächen werden die Layouts „Kupferausgleichsflächen Gate-Treiber“ und „Kupferausgleichsflächen Leistungskreis“ auf je ein feines Sieb mit einer Maschenzahl $F_n=280$ übertragen (Abbildung 105 und Abbildung 106 im Anhang A 14). Die oberste Kupferschicht im Gate-Treiberkreis wird ebenfalls mit einem feinen Sieb mit einer Maschenzahl von $F_n=280$ gedruckt.

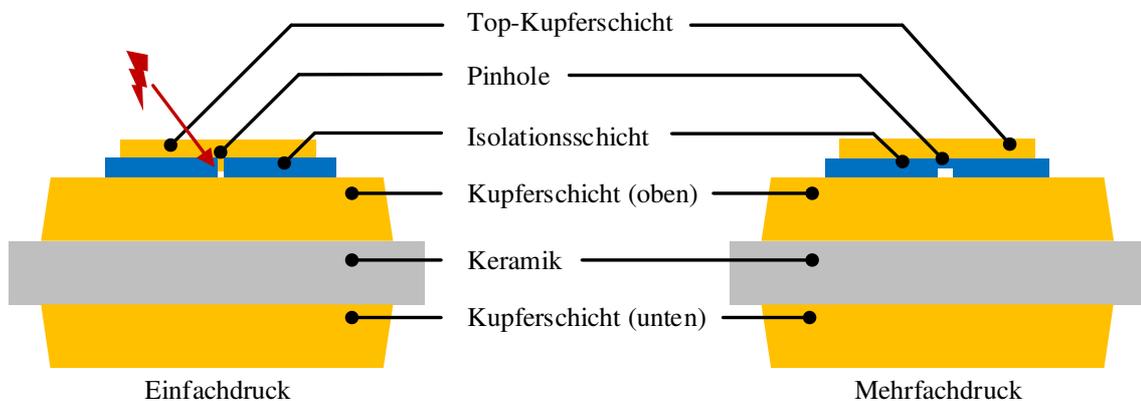


Abbildung 50: Pinhole in einer Isolationsschicht eines Multilayer-Dickfilm-Substrates

Zunächst wird eine 50 μm starke Haftvermittlerkupferschicht auf die Keramik aufgetragen (Abbildung 51). Diese Kupferschicht wird bei 125 $^{\circ}\text{C}$ unter N_2 -Atmosphäre für eine Dauer von etwa 10 min getrocknet, um eine Oxidation des Kupfers zu vermeiden. Anschließend kann die Rückseite der Keramik mit dem „Sieb 2“ mit dem Haftvermittler bedruckt werden (Tabelle 33 im Anhang A 14). Gemäß dem Einbrennprofil im Anhang A 5 wird das frisch gedruckte Substrat bei 125 $^{\circ}\text{C}$ für 10 min getrocknet und bei 925 $^{\circ}\text{C}$ für eine Dauer von 10 min unter N_2 -Atmosphäre eingebrannt. Mit den „Sieben 3 und 4“ werden die Kupferschichten auf der Ober- und Unterseite im Wechsel gedruckt, getrocknet und anschließend unter Stickstoff eingebrannt (Tabelle 33 Anhang A 14). Dieser Vorgang muss dreimal wiederholt werden, da bei jedem Vorgang etwa 50 μm Kupfer nach dem Einbrennvorgang aufgebracht werden kann. Ziel ist es, beim Kupferaufbau eine Schichtstärke von etwa 200 μm zu erzielen. In einer studentischen Arbeit im Rahmen dieser Dissertation wurde gezeigt, dass eine asymmetrische Schichtaufbaureihenfolge thermomechanische Spannungen an den Übergangsstellen zwischen der Kupferschicht und der Keramik hervorruft und die Kupferflächen sich nach dem Einbrennvorgang von der Keramik lösen können. In dieser konkreten Untersuchung wurden die Kupferschichten auf der Oberseite bis zur maximalen Schichtstärke aufgebaut, während die Unterseite des Dickfilm-Substrates ausschließlich aus eine Haftvermittlerkupferschicht besteht [163]. Bei einer symmetrischen Aufbaureihenfolge tritt kein Bimetall-Effekt auf, sodass die thermomechanischen Spannungen minimal sind. Auf der Substratoberseite wird nach dem Kupferaufbau eine feine Kupferoberfläche mit dem „Sieb 5“ aufgetragen und unter N_2 -Atmosphäre eingebrannt.

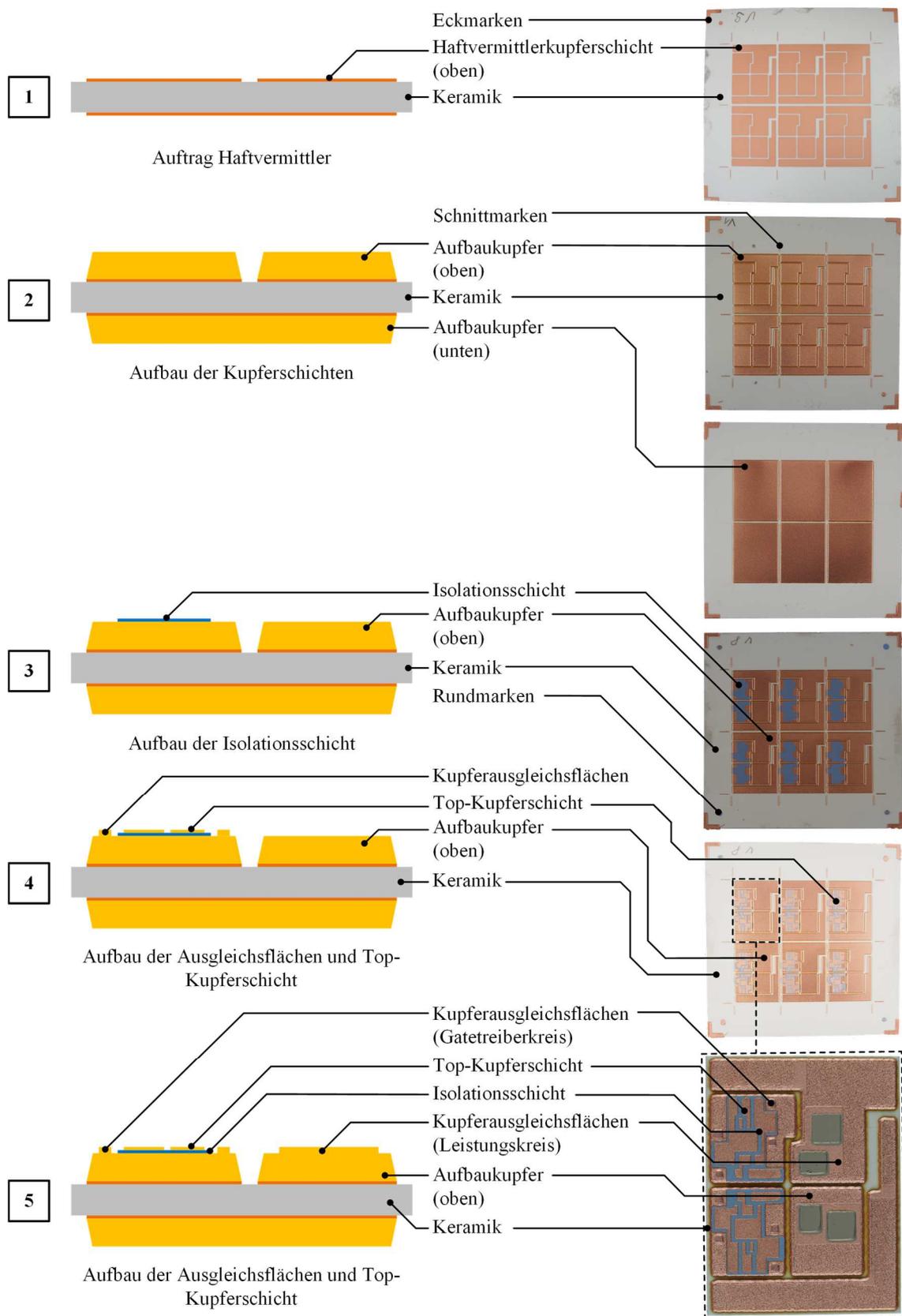


Abbildung 51: Aufbauprozess eines Dickfilm-Substrates für hochintegrierte Leistungsmodule

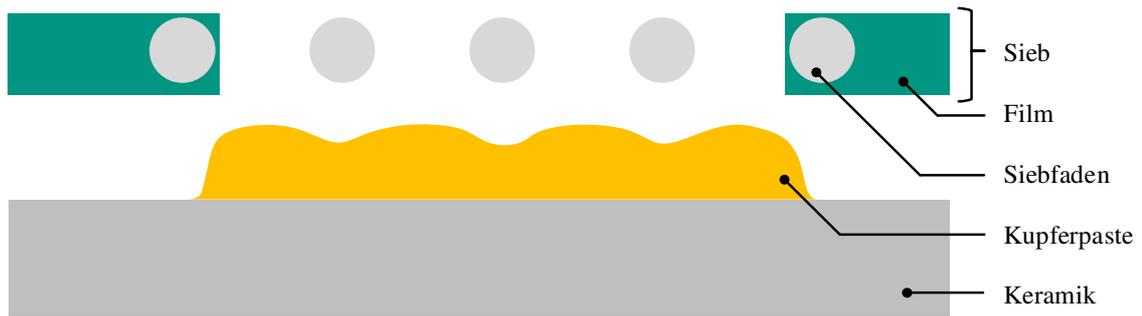


Abbildung 52: Pastenauftrag nach dem Ablösen des Siebes beim Siebdruckprozess (Querschnitt)

Wie in Abbildung 52 dargestellt, ist die Oberfläche des aufgetragenen Materials nach dem Ablösen des Siebes uneben und die Paste verläuft an den Kanten. Beim Schichtaufbau wird daher immer mehr Material seitwärts verlaufen und den Abstand zwischen zwei Kupferflächen minimieren. Die Siebdruckanlage hat eine Positioniergenauigkeit von $\pm 10 \mu\text{m}$, sodass die Schichten beim Kupferaufbau nicht immer perfekt übereinander positioniert werden können. Aus diesen Gründen sind die Kupferflächen im Layout beim Kupferaufbau an allen Seiten um jeweils $50 \mu\text{m}$ verkleinert worden. Anschließend wird mit „Sieb 6“ die Isolationsschicht durch dreimaliges Drucken und Trocknen aufgebracht und gemäß Vorgabe des Pastenherstellers bei $925 \text{ }^\circ\text{C}$ für eine Dauer von 10 min unter Stickstoff eingebrannt. Der Sauerstoffpartialdruck beim Einbrennen in N_2 -Atmosphäre sollte gemäß Pastenhersteller den Wert von 10 ppm nicht überschreiten [63]. Mit dem „Sieb 7“ werden die Ausgleichflächen für die SMD-Bauelemente dreimal gedruckt, getrocknet und einmal eingebrannt (Tabelle 33 Anhang A 14). Die oberste Kupferschicht im Multilayer Gate-Treiberschaltkreis wird ausschließlich einmal gedruckt und eingebrannt. Zwischen der oberen Kupferschicht im Gate-Treiberkreis und der Oberfläche der Kupferschicht im Leistungskreis besteht eine Höhendifferenz von etwa $100 \mu\text{m}$. Beim Die-Attach-Prozess soll die Sinterpaste mit Schablonendruck auf die Kupferfläche im Leistungskreis aufgetragen werden. Die Schablone würde jedoch nicht flächig und eben auf der Kupferfläche aufliegen, sodass ein unsauberes Druckbild auf der Kupferfläche entstehen würde. Weitere Kupferausgleichsflächen sind im Leistungskreis daher erforderlich. Diese Ausgleichsschicht wird mit „Sieb 9“ durch dreimaliges Drucken und Trocknen mit einem Brennvorgang aufgebaut. Eine Alternative wäre, beim Sintern anstatt Sinterpasten Sinter-Preformen einzusetzen, die durch einen Pick&Place-Prozess auf das Dickfilm-Substrat platziert werden [167]. Diese Sinter-Preformen müssen individuell bestellt werden und sind genau auf die Chipgröße abgestimmt. Beim Aufbau dieses Leistungsmoduls standen diese Preforms jedoch nicht zur Verfügung, sodass Sinterpasten stattdessen verwendet wurden.

Multilayer-Substrat mit DCB-Dickfilmkombination

Hochintegrierte Leistungsmodule bestehen aus einem Leistungskreis mit den Leistungshalbleitern und Gate-Treiberschaltkreisen, die jeweils eine Gate-Treiber-Booster-Stufe, ein Gate-Vorwiderstand und Keramik Kondensatoren in SMD-Bauform beinhaltet. Für die Abbildung des Leistungskreises wird nur ein Substrat mit einer Kupferlage benötigt. Aufgrund der Komplexität der Schaltung im Gate-Treiberkreis und zur Minimierung der parasitären Induktivität im Gate-Treiberkreis sind mindestens zwei Kupferlagen zur Realisierung der Verschaltung in diesem Schaltkreis erforderlich. Nach einer wissenschaftlichen Publikation des Instituts IPE am KIT stellt die Kombination aus einem konventionellen DCB-Substrat und der Dickfilm-Technologie eine sinnvolle Alternative zum Dickfilm-Substrat dar [165]. Gemäß der Grundüberlegung dieser Publikation sollen Teilschaltungen, die einen groben Pitch (Leiterbahnabstände) benötigen, als DCB realisiert werden. Teilschaltungen mit einem feinen Pitch werden als Dickfilmlagen implementiert. Im Rahmen dieser Arbeit sollen hochintegrierte SiC-Leistungsmodule auf Basis eines DCB-Dickfilm-Substrates aufgebaut werden. Die Kupferflächen für den Leistungskreis und die untere Kupferschicht

des Gate-Treiberkreises werden als DCB-Substrat realisiert. Der Schaltkreis mit dem Gate-Treiber-IC benötigt einen relativ feinen Pitch von 0,5 mm. Konventionelle DCB-Substrate mit einer Kupferschichtstärke von 300 µm können einen solch feinen Pitch nicht abbilden, da der minimale Pitch 1 mm beträgt [168]. Mit der Dickfilm-Technologie können feinere Strukturen von bis zu 100 µm gedruckt werden, sodass der notwendige Pitch für eine SMD-Bestückung realisiert werden kann. Das DCB-Dickfilm-Substrat wird auf Basis eines Al₂O₃-DCB-Substrates aufgebaut. Das DCB-Substrat besteht aus einer 380 µm starken Keramik und 300 µm dicken Kupferschichten. Beim Aufbau des DCB-Dickfilm-Substrates wird gemäß Abbildung 53 Isolationspasten durch dreimaliges Drucken und Trocknen bei 125 °C aufgetragen. Dabei wird ein feines Sieb mit einer Maschenzahl von F_n=280 verwendet. In einem DCB wurden die Kupferschichten durch ein eutektisches Verfahren mit der Keramik stoffschlüssig verbunden, sodass sich zwischen der Kupferschicht und der Keramik ein Aluminiumkupferspinel bildet. Erst ab einer Schmelztemperatur von Kupfer bei 1080 °C kann das Kupfer sich von der Keramik vollständig lösen. Gemäß den Angaben im Datenblatt soll die Einbrenntemperatur idealerweise zwischen 850 °C und 950 °C liegen [64]. Das programmierte Einbrennprofil in A 5 zeigt, dass die Isolationschicht bei 900 °C eingebrannt wird. Diese Temperatur liegt über der minimal erforderlichen Temperatur und deutlich unterhalb der Schmelztemperatur der Kupferschicht. Abschließend werden ähnlich wie bei der Herstellung des Dickfilm-Substrates Kupferausgleichsflächen und die obere Kupferschicht im Gate-Treiberkreis aufgebaut. Die Einbrenntemperatur für die Kupferschichten liegt bei 925 °C. Im Unterschied zum Dickfilm-Substrat werden beim Siebdruckprozess eines DCB-Dickfilm-Substrates die Marken auf eine ungenutzte Stelle auf dem DCB-Substrat positioniert. (Abbildung 53).

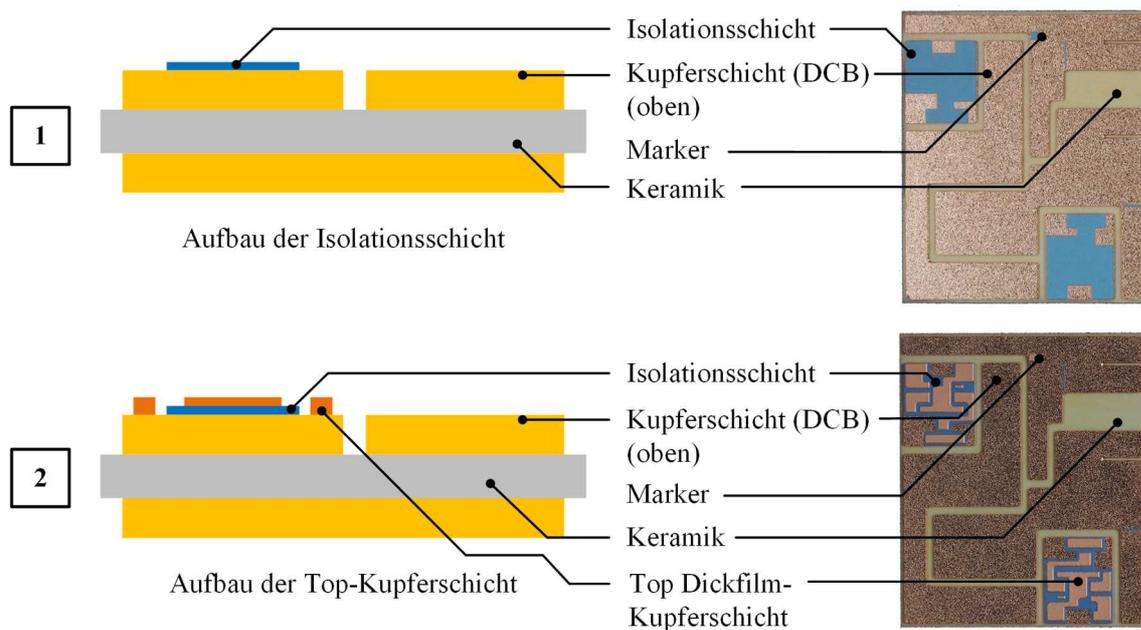


Abbildung 53: Aufbauprozess eines DCB-Dickfilm-Substrates

5.1.2 Optimierung des Ag-Sinterprozesses

In einem leistungselektronischen Modul wird der Leistungshalbleiter durch eine Sinterverbindung mit dem Substrat verbunden. Die Qualität und die Eigenschaften einer Sinterverbindung lassen sich anhand folgender Kriterien bewerten:

- Zuverlässigkeit bzw. Lebensdauer
- Elektrische Leitfähigkeit
- Thermische Leitfähigkeit
- Porosität
- Scherfestigkeit

Nach aktuellem Stand der Wissenschaft und Technik gibt es keine klare Definition bzw. Norm, die eine zuverlässige Sinterverbindung beschreibt. In Abhängigkeit der Applikation stellen sich unterschiedliche Anforderungen an die Lebensdauer des leistungselektronischen Systems bzw. der Sinterverbindung. In den Automotive-Anwendungen Pkw und Lkw wird üblicherweise eine Lebensdauer von 8000 bzw. 55000 Betriebsstunden vorausgesetzt. Ebenso werden für diese beiden Anwendungen unterschiedliche Fahrprofile bzw. Belastungsprofile zugrunde gelegt. Beim Pkw ist beispielsweise das Verhältnis zwischen Spitzenleistung und Dauerleistung größer oder gleich dem Faktor 2, während im Lkw-Bereich dieses Verhältnis etwa 1,3 beträgt. Eine Ermittlung der Zuverlässigkeit der Sinterverbindung am gesamten leistungselektronischen System wäre sehr kosten- und zeitaufwendig. Daher werden bei der Bestimmung der Zuverlässigkeit Power-Cycling-Tests (PCT) bzw. Thermal-Cycling Tests (TCT) ausschließlich am Leistungsmodul durchgeführt. Beim PCT bzw. TCT werden höhere Temperaturhübe erzeugt, sodass höhere thermomechanische Belastungen an den Sinterverbindungen generiert werden und eine zeitliche Raffung des Testvorgangs ermöglicht wird. Die Schadensenergie, die sich auf die Sinterverbindung auswirkt, lässt sich aus der Zyklenzahl aufsummieren und mit der Schadensenergie pro Fahrzyklus vergleichen bzw. in Anzahl an Betriebsstunden umrechnen. Durch die Analyse der Sinterverbindung unter einem Rasterelektronenmikroskop (REM) lässt sich zum einen die Degradation und zum anderen die Struktur des Gefüges (z. B. Porosität) der Sinterverbindung bewerten. Die Porosität der Sinterschicht hat Auswirkung auf die mechanischen, elektrischen und thermischen Eigenschaften der Sinterschicht. Mit zunehmender Porosität sinkt die Dichte und das Elastizitätsmodul (E-Modul) der Sinterschicht. Die Abhängigkeiten lassen sich mit den Gleichungen (5.4) und (5.5) näherungsweise beschreiben [72].

$$\rho = (1 - p) \cdot \rho_0 \quad (5.4)$$

$$E = E_{Ag} \cdot \frac{(1 - p)^2}{1 + p \cdot (2 - 3 \cdot V_{Ag})} \quad (5.5)$$

Dabei ist ρ_0 die Dichte des Silber-Bulkmaterials (Vollmaterial) und p die Porosität der Sinterschicht. E_{Ag} und V_{Ag} sind das E-Modul bzw. die Poisson-Zahl des Bulkmaterials. In einer wissenschaftlichen Untersuchung [169] wurde die Abhängigkeit der elektrischen und der thermischen Leitfähigkeit der Sinterverbindung von der Porosität der Sinterschicht anhand einer Evaluierung von vier Sinterpasten untersucht. Die Ergebnisse zeigen, dass die elektrische und die thermische Leitfähigkeit der Sinterschicht exponentiell von der Porosität der Verbindungsschicht abhängig sind. Poren entstehen durch Versinterung und Verdichtung der Sinterpartikel. Daher sind die Poren überall innerhalb einer Sinterverbindung verteilt. Diese haben eine Größe im nm-Bereich bis etwa 20 μm [72]. Voids sind Lufteinschlüsse, die eine Größe im μm bis mm-Bereich aufweisen. Diese können beim drucklosen Sintern bzw. bei unzureichender Trocknung der Sinterpaste beim Drucksintern entstehen, da Lösungsmittel in der Sinterpaste ausgasen können. Zu steile Temperaturrampen beim Sinterprozess können die Bildung von Voids begünstigen. Beim drucklosen Sintern kann beim Bestücken des Chips auf die nasse Sinterpaste Luft an der Oberfläche eingeschlossen werden, wenn

die Oberfläche der Sinterpaste sehr uneben ist [170]. Luft einschließen können die thermische Performanz der Sinterschicht stark verringern. Mit einer Röntgenaufnahme können Voids unterhalb des Leistungshalbleiters sichtbar gemacht werden, ohne die Probe zu beschädigen. Die Auflösung von Röntgenaufnahmen ist in der Regel nicht ausreichend hoch, um Poren sichtbar zu machen. Diese können in ausreichender Genauigkeit im REM analysiert werden. Allerdings ist der Aufwand bei REM deutlich höher. In [171] wurde gezeigt, dass SAM eine mögliche Alternative darstellt, die Porosität schnell zu ermitteln. Die Scherfestigkeit der Verbindungsstelle ist abhängig von der Haftfestigkeit zwischen dem Leistungshalbleiter bzw. der Oberfläche des Substrates und der Sinterschicht sowie von der Festigkeit der Sinterschicht selbst. Die Haftfestigkeit der Sinterverbindung ist abhängig von der Sinterbarkeit des Sintermaterials auf der Substratoberfläche bzw. auf der Chipunterseite. Voids können die Haftfestigkeit deutlich reduzieren. Im Idealfall würden die Sinterpartikel in der Sinterschicht sich maximal verdichten und ein Bulkmaterial bilden. Bei einer realen Sinterverbindung ist die Verdichtung der Sinterschicht abhängig von der Zusammensetzung des Sintermaterials und von den verwendeten Sinterprozessparametern. Eine Restporosität der Sinterschicht bleibt nach dem Sinterprozess in der Regel erhalten. Der Schertest in Abbildung 54 (links) ist eine zerstörende Prüfmethode. Dabei wird das Substrat bzw. das gesamte Leistungsmodul an einem Schertester fixiert und ein Schermeißel wird bei einer Höhe von etwa 10 % der Chiphöhe vor dem Chip positioniert. Beim Prüfvorgang wird der Schermeißel mit einer definierten Schergeschwindigkeit nach vorne bewegt, um den Chip aus der Sinterverbindung zu drücken. Während des Testvorgangs werden Daten über die Kraft und den Weg aufgezeichnet, um die Scherfestigkeit zu ermitteln.

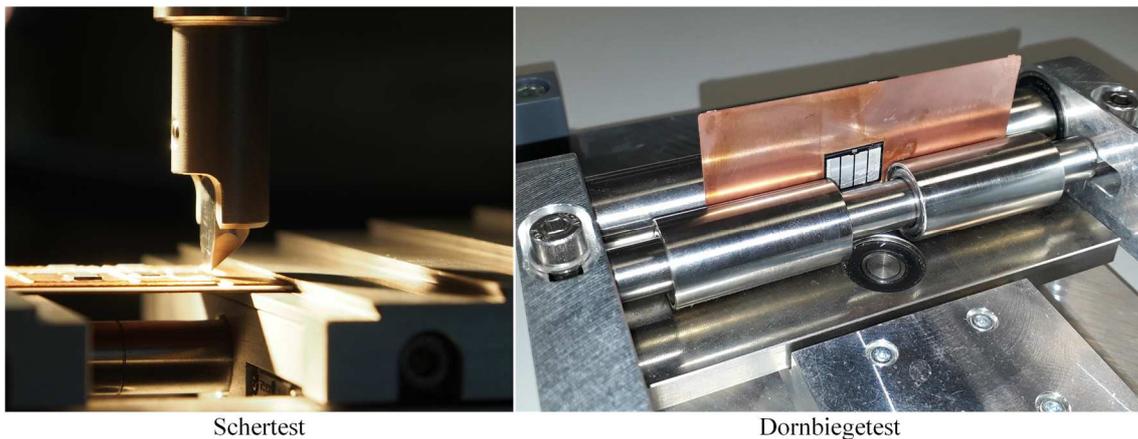


Abbildung 54: zerstörende Prüfung der Die-Attach-Verbindung

In Abhängigkeit des Bruchbilds nach dem Scherversuch lässt sich die Qualität der Sinterverbindung auf unterschiedliche Weise interpretieren (Anhang A 17). Bei einem Adhäsionsbruch entspricht die Scherfestigkeit der Haftfestigkeit zwischen der Sinterschicht und einem der Fügepartner. Beim Kohäsionsbruch innerhalb der Sinterschicht entspricht die Scherfestigkeit der Materialfestigkeit der Sinterschicht. Der Mischbruch stellt eine Kombination der beiden Fälle dar. Schertests werden bei Raumtemperatur bzw. bei definierten Temperaturen durchgeführt, um den Einfluss der Temperatur auf das Gefüge mit zu berücksichtigen. Beim Peel-Test wird ein Metallbändchen auf ein Substrat gesintert. Bei der Testdurchführung wird das Substrat fixiert und das Metallbändchen wird senkrecht nach oben gezogen. Die gemessene Schälkraft und das Bruchbild nach dem Test gibt Aufschluss über die Sinterfähigkeit des Sintermaterials auf bestimmte Oberflächen (z. B. DCBs mit unterschiedlichen Metalloberflächen). Der Dornbiegetest wird angewendet, wenn die gesinterten Chips eine zu große Chipfläche besitzen und sich nicht durch einen Schermeißel wegdrücken lassen. Dieser einfache Test liefert zwar eine schnelle, aber nur qualitative Aussage bezüglich der Sinterfähigkeit des Sintermaterials mit dem Fügepartner.

Die Scherfestigkeit gibt Aufschluss über die Haftfestigkeit und die Festigkeit der Sinterverbindung. Eine ausreichend hohe Haftfestigkeit bzw. Festigkeit der Sinterschicht ist zwar notwendig, jedoch keine hinreichende Bedingung für eine zuverlässige Sinterverbindung. Die Stärke und die Porosität der Sinterschicht beeinflussen ebenso die Lebensdauer der Sinterschicht. Eine dünne Sinterschicht wirkt sich positiv auf die Lebensdauer der Verbindungsstelle aus [170]. Die Porosität verringert das E-Modul der Verbindungsstelle. Es muss in weiteren wissenschaftlichen Untersuchungen analysiert werden, welche Einflüsse eine geringere Steifigkeit auf die Lebensdauer einer Sinterverbindung haben.

Evaluierung von Silbersinterpasten mittels einer Versuchsplanung

Im Rahmen dieser wissenschaftlichen Untersuchung wurde die Methodik „Design of Experiments“ (DoE) auf das Ag-Drucksintern von Leistungshalbleitern angewendet. Die Ziele dieser Untersuchung sind:

- Ermittlung der signifikanten Einflussfaktoren beim Ag-Sinterprozess
- Evaluierung von vier unterschiedlichen Ag-Sinterpasten
- Ermittlung der optimalen Sinterparameter mittels der DoE

Im Allgemeinen wird bei Prozessparameteroptimierung häufig die „one-factor-at-a-time“-Methode (OFAT) eingesetzt. Dabei wird ein Faktor zufällig ausgewählt und bei jedem Experiment wird stets dieser Faktor variiert. Alle restlichen Faktoren werden konstant gehalten [172]. Die Variation dieses Faktors wird so lange durchgeführt, bis die Zielgröße einen Maximalwert erreicht. Dann wird erneut ein anderer Faktor zufällig gewählt und dessen Größe verändert. Mit OFAT entscheidet der Zufall, ob und mit welchem Aufwand das Maximum im untersuchten Bereich für die Zielgröße gefunden werden kann. Wechselwirkungen zwischen den einzelnen Faktoren lassen sich mit OFAT nicht aufdecken, da bei einem Experiment ausschließlich die Wirkung von einem Faktor sichtbar ist. Im Vergleich zu OFAT werden beim DoE gleichzeitig alle Faktorkombinationen untersucht. Abbildung 55 vergleicht OFAT mit DoE anhand eines Versuchsbeispiels mit zwei Faktoren. In einer Versuchsreihe müssen bei OFAT n Versuche durchgeführt werden, um den Effekt eines Faktors zu bestimmen. Ein Effekt eines Faktors ist vorhanden, wenn bei der Änderung einer Faktorstufe eine signifikante Veränderung der Ausgangsgröße feststellbar ist. Somit müssen bei OFAT insgesamt dreimal n Versuche durchgeführt werden. Beim DoE wird in diesem Beispiel eine zusätzliche Faktorkombination ergänzt, um den Effekt von beiden Faktoren zu bestimmen. Die Anzahl der Versuche pro Faktorkombination kann auf $\frac{1}{2}n$ reduziert werden und dennoch werden die Effekte der beiden Faktoren mit n Versuchen ermittelt. Aufgrund dieser geschickten Verteilung der Versuche beim DoE können die Ergebnisse der Versuche zur Berechnung des Effektes mehrfach genutzt werden, sodass der Aufwand für dieses Experiment auf nur noch zweimal n Versuche reduziert wird [173].

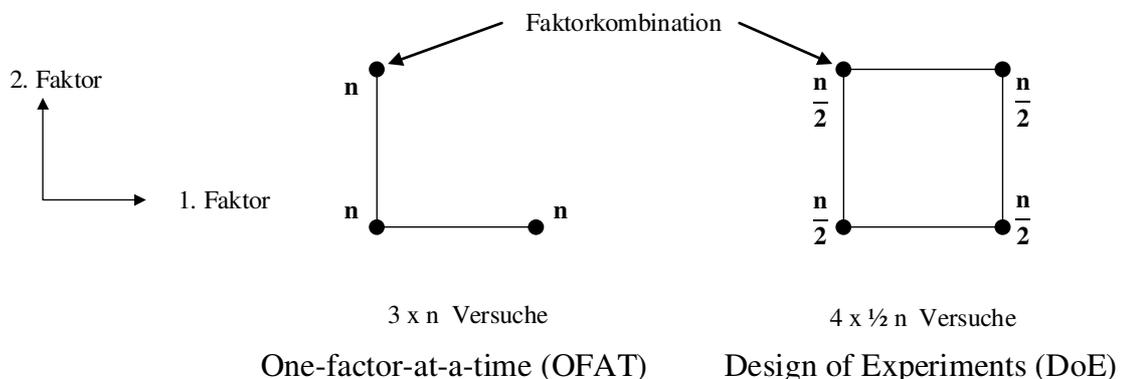


Abbildung 55: Vergleich zwischen OFAT und DoE anhand eines Experimentes mit zwei Faktoren mit je zwei Stufen

Beim DoE werden die Faktorkombinationen gleichmäßig über den zu betrachtenden Bereich verteilt. Daher kann DoE im Gegensatz zu OFAT das Optimum sicher eingrenzen und die Wechselwirkungen zwischen den einzelnen Faktoren bestimmen (siehe Abbildung 107 und Abbildung 108 im Anhang A 15). Wie in Abbildung 56 dargestellt, werden bei einem vollfaktoriellen Versuchsplan alle Faktorkombinationen durchgeführt. Alle Effekte und Wechselwirkungen zwischen den Effekten können bestimmt werden. Der Aufwand nimmt jedoch mit steigender Anzahl an Stufen (Variationen pro Faktor) und Anzahl an Faktoren exponentiell zu [174]. Daher wird in der Praxis bei der Durchführung eines zweistufigen vollfaktoriellen Versuchsplans die Anzahl der Faktoren auf maximal fünf begrenzt. Bei Versuchen mit mehr als zwei Stufen sollte die Anzahl der Faktoren auf maximal drei limitiert werden. Sind nur wenige oder gar keine Informationen über einen Prozess mit zahlreichen Faktoren bzw. Stufen vorhanden, sollen zunächst mit Vorversuchen sowohl der zu betrachtende Parameterraum als auch die möglicherweise relevanten Faktoren identifiziert werden. Dabei kann ein teilfaktorieller Versuchsplan, der auch als „Screening Design“ bezeichnet wird, einen hilfreichen Ansatz darstellen. Die Idee beim teilfaktoriellen Versuchsplan besteht darin, die Anzahl an Faktorkombinationen in einem Versuch zu verringern und somit einen geringen Informationsverlust gegen Aufwandsreduzierung auszutauschen [174]. Beim Screening können daher ausschließlich die Effekte und maximal zweifache Wechselwirkungen identifiziert werden. Um nicht lineare Zusammenhänge mit einem vollfaktoriellen Versuchsplan zu erfassen, muss dieser mehr als zwei Stufen je Faktor aufweisen. In diesem Fall nimmt der Versuchsaufwand stark zu. Bei einem quadratischen Zusammenhang kann ein zentral zusammengesetzter Versuchsplan (engl. Central Composite Design) einen vollfaktoriellen Versuchsplan ersetzen. Dieser setzt sich aus einem vollfaktoriellen Versuchsplan, einem Zentralpunkt (eine Faktorkombination im Zentrum) und aus Sternpunkten außerhalb des vollfaktoriellen Versuchsplans zusammen. Durch die Ergänzung der Zentral- und Sternpunkte wird ein Versuchsplan mit zwei Stufen auf fünf Punkten getestet. Das Beispiel in Abbildung 56 zeigt, dass ein vollfaktorieller Versuchsplan mit drei Faktoren und je drei Stufen aus insgesamt 27 Faktorkombinationen besteht und dieser durch einen zentral zusammengesetzten Versuchsplan mit 15 Faktorkombinationen ersetzt werden kann.

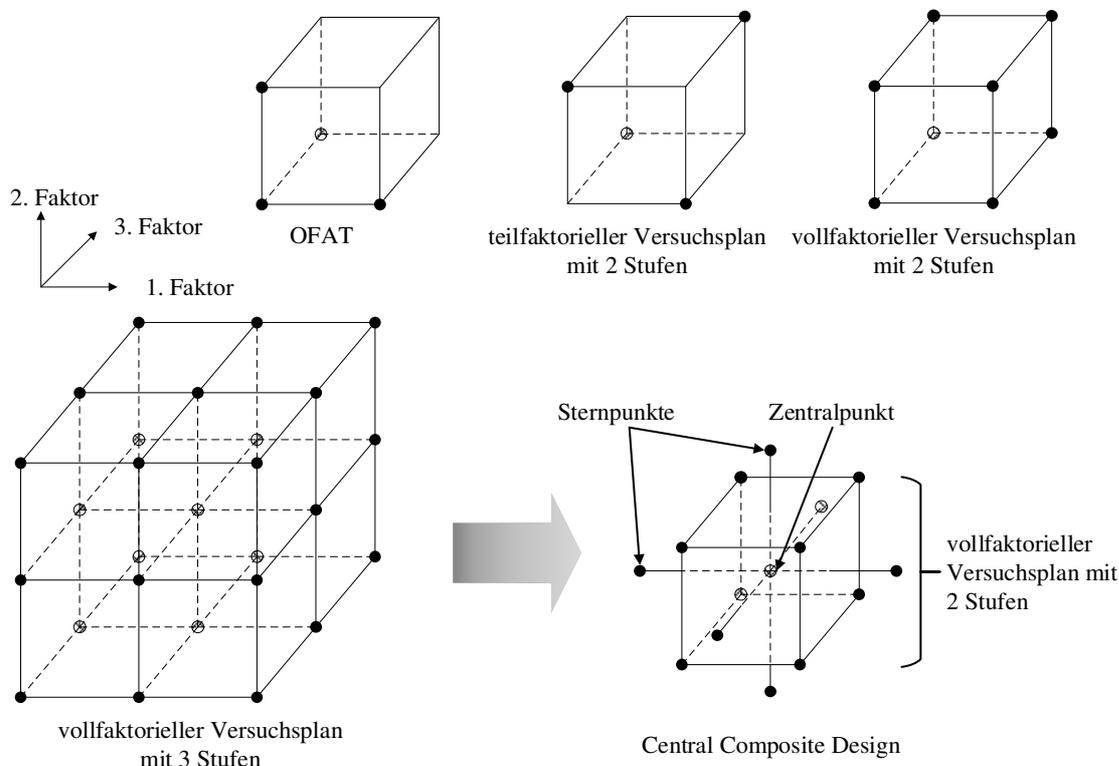


Abbildung 56: Übersicht über unterschiedliche Versuchspläne mit 3 Faktoren

Bei der Sinterprozessoptimierung wird als Zielgröße die Scherfestigkeit gewählt. Diese ist eine notwendige Bedingung für eine qualitative Sinterverbindung. Die evaluierten Sinterpasten sind Drucksinterpasten, so dass bei dieser Evaluierung ausschließlich der Drucksinterprozess betrachtet wird. Aus Vorüberlegungen, Literaturrecherchen und vorhergehenden wissenschaftlichen Untersuchungen am KIT konnten wichtige Einflussfaktoren bzw. Störgrößen ermittelt werden, die das Sinterergebnis beeinflussen können (Tabelle 9).

Tabelle 9: Auflistung der Einflussfaktoren sowie Störgrößen auf die Scherfestigkeit einer Drucksinterverbindung

Einflussfaktoren	Störgröße
<ul style="list-style-type: none"> ▪ Trocknungstemperatur ▪ Trocknungsdauer ▪ Atmosphäre während des Trocknens ▪ Bestückungstemperatur ▪ Bestückungsdruck ▪ Sinterdruck ▪ Sinterterperatur ▪ Temperaturrampe beim Sintern ▪ Sinterdauer ▪ Sinteratmosphäre ▪ Schichtstärke ▪ Sinterfläche ▪ Substratoberflächenbeschichtung (z.B. Cu, ENIG, usw.) ▪ Chipunterseitenmetallisierung (z.B. Ni/Ag, Ti/Ni/Au/Ag usw.) ▪ Zusammensetzung der Sinterpaste (Größe der Sinterpartikel, Anteil an Lösungsmittel usw.) 	<ul style="list-style-type: none"> ▪ Materialcharge der Sinterpaste ▪ Lagerung der Paste ▪ Verunreinigungen bzw. Oxidation der Substratoberfläche ▪ Verunreinigungen bzw. Oxidation der Chipmetallisierung ▪ Luftfeuchtigkeit ▪ Temperatur und Druckverteilung im Sinterofen ▪ Wartedauer zwischen den Prozessschritten

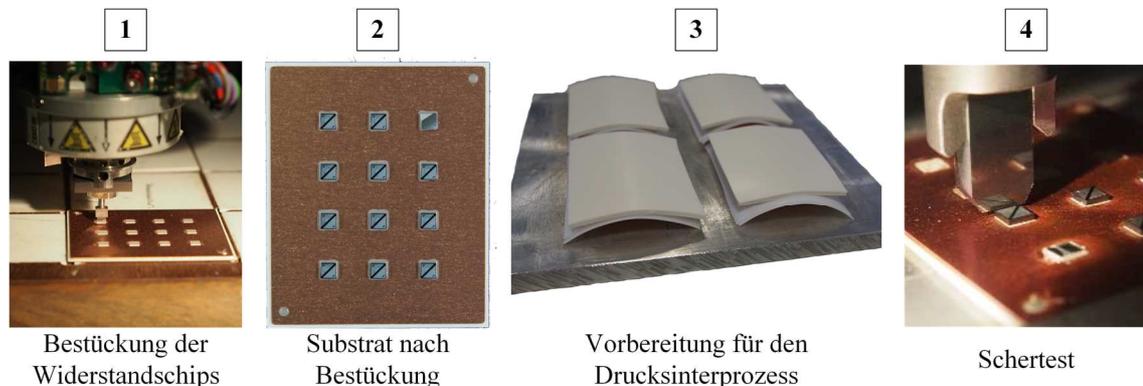


Abbildung 57: Vorgehensweise bei der Evaluierung der Sinterpasten

Bei der Ag-Sinterprozessoptimierung wurden Si-Widerstandschips mit einer Grundabmessung von $2,25 \times 2,25 \text{ mm}^2$ als Ersatz für Si-Leistungshalbleiter verwendet. Diese Widerstandschips weisen eine Chipstärke von $550 \text{ }\mu\text{m}$ auf und sind deutlich stärker als konventionelle Si-Leistungshalbleiter mit einer Höhe von etwa $80\text{-}120 \text{ }\mu\text{m}$. Diese sind für Schertests besonders gut geeignet, da ausreichend Angriffsfläche für einen Schermeißel vorhanden ist. Die eingesetzten Widerstandschips sind deutlich kostengünstiger als vergleichbare Leistungshalbleiter. Aufgrund der geringeren Chipfläche ist eine geringere Menge an Ag-Sinterpasten pro Versuch erforderlich. Mit einer Ni-Ag-Unterseitenmetallisierung sind diese Widerstandschips genauso beschaffen wie Si-Leistungshalbleiterchips und sind daher ein idealer Ersatz für Sinterversuche. Als Substrat wurde $\text{Al}_2\text{O}_3\text{-DCB}$ mit einer Keramik- und Kupferschichtstärke von $380 \text{ }\mu\text{m}$ bzw. $300 \text{ }\mu\text{m}$ eingesetzt. Zunächst wurden $80 \text{ }\mu\text{m}$ Ag-Sinterpaste auf das Substrat mittels Schablonendruckes aufgetragen

(Schablonenlayout siehe Abbildung 109 im Anhang A 18). Das bedruckte Substrat wurde unter N_2 -Atmosphäre auf einer Heizplatte bei einer definierten Trocknungstemperatur für eine Dauer von 40 min getrocknet. Eine vorzeitige Oxidation des Substrates sollte dadurch weitestgehend vermieden werden. Anschließend werden die Widerstandchips bei einem Bestückungsdruck von etwa 11 MPa für eine Dauer von 5 s auf das Substrat maschinell bestückt (Abbildung 57). Auf jedem Substrat wurden 11 Widerstandchips bestückt. Auf jedem Substrat sind 10 Widerstandchips für Schertest und ein Widerstandchip wird als Reserve zurückgehalten z. B. im Falle eines Chipbruchs beim Schertest. Ein Widerstandchip wird im geflippten Zustand bestückt, sodass die Oberseitenmetallisierung aus Aluminium nicht mit der Sinterschicht versintert werden kann. Dies bietet die Möglichkeit, die verdichtete Sinterschicht nach dem Sinterprozess optisch zu kontrollieren. In Vorversuchen hat sich gezeigt, dass Chipbrüche beim Schertest auftreten können. Daher werden für jede Faktorkombination zwei Substrat-Testmuster (Sample) hergestellt, um ausreichend Reserve vorzuhalten. Beim Sintern werden zwei Samples und zwei Dummy-Substrate auf einer Aluminiumplatte verteilt. Über den Substraten werden jeweils zwei 500 μm starke Teflonfolien und eine temperaturbeständige Gummimatte mit einer Stärke von 3 mm platziert. Der komplette Aufbau wird in eine Presse geschoben und unter Luft bei definierten Einstellungen gemäß den Parameterwerten aus der Tabelle 10 nach der Versuchsplanung in Tabelle 34 im Anhang A 16 gesintert. Dieser Aufbau soll den Druck beim Sintern über alle Substrate möglichst gleichmäßig verteilen. Teflon hat eine Wärmeformbeständigkeit nach DIN EN ISO 75-1 von $>50\text{ }^\circ\text{C}$ [175]. Die Wärmeformbeständigkeit ist ein Maß, bis zu welcher Temperatur ein Kunststoff temperaturbelastbar bzw. ab welcher Temperatur ein Kunststoff leicht formbar ist [176]. Beim Aufheizen des Sinterpresse verformt sich das Teflon bei einer Temperatur von $>50\text{ }^\circ\text{C}$ unter dem Druck der Presse und passt sich an die unterschiedlichen Höhenunterschiede der Samples an (Abbildung 110 im Anhang A 18). Die Samples werden in einem Schertester fixiert und die Chips werden einem zerstörenden Schertest unterzogen. Die Ergebnisse werden abschließend dokumentiert und ausgewertet. Beim Schertest werden ausschließlich Ergebnisse mit Adhäsionsbruch (Code 3, Code 6), Kohäsionsbruch (Code 5) und Mischbruch (Code 2, Code 4, Code 7) ausgewertet (Anhang A 17) [177]. Andere Brucharten, insbesondere Chipbrüche (Code 1), wurden bei der Auswertung nicht berücksichtigt.

Tabelle 10: Auflistung und Kodierung der Parameterstufen von einem zentral zusammengesetzter Versuchsplan

Parameter	Kodierung der Parameterstufe				
	$-\alpha$	-1	0	1	α
Sinterdruck [MPa]	9	10	12,5	15	16
Sintertemperatur [$^\circ\text{C}$]	226	230	240	250	254
Sinterdauer [min]	8	10	15	20	22
Trocknungstemperatur [$^\circ\text{C}$]	118	120	125	130	132

Bei diesem Ag-Sinterversuch wurden insgesamt zwei kommerziell verfügbare und zwei sich noch in der Entwicklung befindlichen Ag-Drucksinterpasten evaluiert. Aus Vorversuchen wurden zunächst der Sinterdruck, die Sintertemperatur, die Sinterdauer und die Trocknungstemperatur als die relevanten Einflussgrößen ermittelt. Durch diese Vorversuche konnte ein Parameterraum für die Evaluierung dieser vier Ag-Drucksinterpasten eingegrenzt werden. Der Sinterdruck und die Sintertemperatur sind auf etwa 15 MPa bzw. $250\text{ }^\circ\text{C}$ begrenzt, da bei höheren Druck- und Temperaturwerten die eingesetzten druckausgleichenden Teflon- und Silikonschichten besonders stark zerfließen. Dies wirkt sich negativ auf den Druckausgleichsprozess aus, sodass besonders viele Chipbrüche nach dem Sinterprozess vorhanden sind. Bei einer Sinterdauer von länger als 20 min konnte keine relevante Zunahme der Scherwerte festgestellt werden. In Vorversuchen konnte festgestellt werden, dass die optimale Trocknungstemperatur bei etwa $120\text{ }^\circ\text{C}$ liegt.

Die Ergebnisse in Tabelle 11 zeigen deutlich, dass bei allen evaluierten Sinterpasten der Sinterdruck und die Sintertemperatur einen signifikanten Einfluss auf die Scherfestigkeit haben. Beide Faktoren haben eine signifikante Wechselwirkung. Andere wissenschaftliche Untersuchungen in [178], [179] und [180] können

diesen Zusammenhang ebenfalls feststellen. [179] zeigt, dass die Sinter Temperatur die Porosität der Sinterschicht signifikant reduziert und somit die Festigkeit der Sinterschicht steigert. Mit der Ausnahme von Paste #4 weisen alle anderen Pasten eine signifikante Abhängigkeit zu der Sinterdauer auf. Dies bedeutet nicht zwangsläufig, dass die Scherfestigkeit von Paste #4 nicht von der Sinterdauer abhängig ist, sondern dass ausschließlich im betrachteten Intervall von 8 min bis 22 min die Scherfestigkeit sich nicht signifikant ändert. Sinterpaste #3 hat im Vergleich zu den anderen Sinterpasten einen geringen Gehalt an Lösungsmittel, sodass bei dieser Sinterpaste der Trocknungsprozess sich signifikant auf die Scherfestigkeit auswirkt (Tabelle 11 und Abbildung 58).

Tabelle 11: Bestimmung der Haupteffekte und Wechselwirkungseffekte bei der Evaluierung der Sinterpasten

			Sample			
			Paste #1	Paste #2	Paste #3	Paste #4
Haupteffekte	Sinterdruck	A	***	***	***	***
	Sintertemperatur	B	***	***	***	***
	Trocknungstemperatur	C	-	-	***	-
	Sinterdauer	D	***	***	***	-
Wechselwirkungseffekte	-	AB	***	***	***	**
		AC	-	-	***	-
		AD	**	-	-	-
		BC	-	-	-	-
		BD	-	***	-	-
		CD	-	-	-	-
***	hochsignifikant					
**	signifikant					
*	indifferent					
-	nicht signifikant					

Bei allen Pasten besteht eine Wechselwirkung zwischen den Faktoren Sinterdruck und Sintertemperatur. Dies bedeutet, dass am Beispiel der Sinterpaste #4 in Abbildung 59 der Effekt vom Faktor Sinterdruck von der eingestellten Sintertemperatur abhängt. Mit steigendem Sinterdruck wird das Sintermaterial stärker komprimiert und der Diffusionsabstand zwischen den Sinterpartikeln verringert. Der Diffusionsprozess wird jedoch ebenso von der Sintertemperatur und Sinterdauer bestimmt. In [170] konnten diese Zusammenhänge durch REM-Aufnahmen von gesinterten Ag-Sinterschichten nachgewiesen werden. Die Scherergebnisse der Sinterpaste #1 bestätigen die Verfestigung der Sinterschicht mit zunehmendem Sinterdruck, zunehmender Sintertemperatur und Sinterdauer (siehe Abbildung 111 und Abbildung 112 im Anhang A 18). Paste #1 und Paste #2 weisen unterschiedliche Wechselwirkungseffekte auf. Bei Paste #1 sind die Parameter Sintertemperatur und Sinterdauer vom Sinterdruck abhängig. Hingegen werden bei Paste #2 die Effekte von Sinterdruck und Sinterdauer von der Sintertemperatur beeinflusst. Der dominante Einfluss bei Paste #1 und Paste #2 ist der Sinterdruck bzw. die Sintertemperatur (Tabelle 11 und Abbildung 113 im Anhang A 18). Ergebnisse von Sinterpasten #4 zeigen, dass höheren Sintertemperaturen (größer als 240 °C) den Diffusionsprozess stark beschleunigen können und eine Erhöhung des Sinterdruckes keinen signifikanten Beitrag zur Verdichtung des Sintermaterials leisten kann (Abbildung 59).

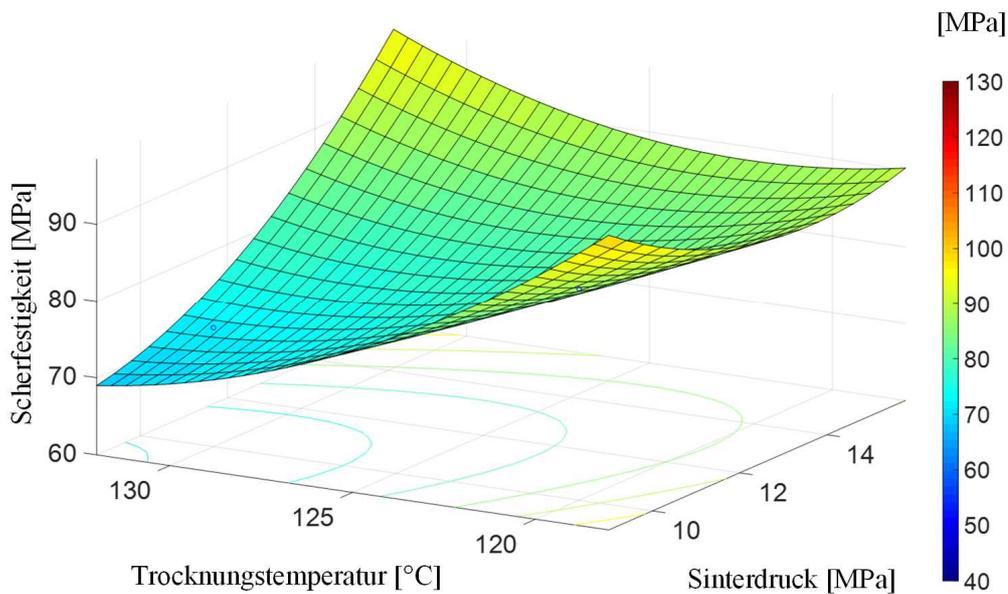


Abbildung 58: Scherfestigkeit von Sinterpaste #3 in Abhängigkeit der Trocknungstemperatur und Sinterdruck bei 250 °C Sintertemperatur und 20 min Sinterdauer

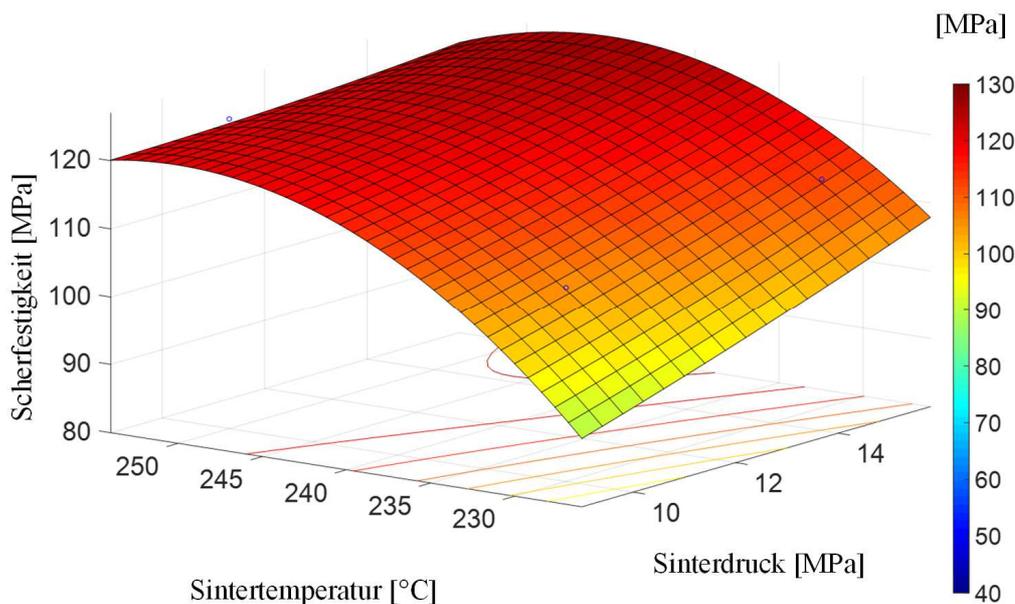


Abbildung 59: Scherfestigkeit von Sinterpaste #4 in Abhängigkeit der Sintertemperatur und Sinterdruck bei 120 °C Trocknungstemperatur und 10 min Sinterdauer

Durch den Einsatz einer Versuchsplanung konnten bei der Evaluierung der Sinterpasten die signifikanten Faktoren und die Wechselwirkungseffekte der Faktoren für alle untersuchten Sinterpasten bestimmt werden. Aus den signifikanten Faktoren und Wechselwirkungseffekten wurde für jede einzelne Sinterpaste ein quadratisches Regressionsmodell hergeleitet (engl. Curve Fitting), um die Scherfestigkeit anhand der vorgegebenen Parameter abschätzen zu können. Anschließend wurden für jede einzelne Sinterpaste Sinterversuche mit unterschiedlichen Sinterparametern durchgeführt, um die Vorhersagegenauigkeit der Modelle zu prüfen. Insbesondere wurde für jede Sinterpaste der Parametersatz mit der maximalen Scherfestigkeit geprüft. Die Ergebnisse zeigen, dass die gemessenen Scherwerte bis zu 30 % von den prognostizierten Werten

abweichen. Mit diesem Experiment konnte gezeigt werden, dass es äußerst schwierig ist aus der Versuchsplanung den funktionalen Zusammenhang zwischen Parameter und Zielgröße beim Ag-Sintern abzuleiten. Mögliche Gründe bzw. Ursachen, die diese Abweichungen möglicherweise verursachen können, sind in Tabelle 12 aufgelistet. Beim Aufbau von Prototypleistungsmodulen wird keine weitere Parameteroptimierung für die verwendete Ag-Sinterpaste durchgeführt, um den Arbeitsaufwand zu reduzieren. Aus zahlreichen experimentellen Versuchen am KIT konnte ein Standard-Sinterparametersatz, der beim Ag-Sintern von zahlreichen Sinterpasten sehr gute Scherfestigkeitswerte liefert, empirisch bestimmt werden (Tabelle 13). Dieser KIT-spezifische Standard-Sinterparametersatz wird für den Aufbau von Prototypleistungsmodulen verwendet.

Tabelle 12: Mögliche Ursachen, die die Vorhersagegenauigkeit des Sinterexperiments einschränkt

Störgrößen	Erläuterungen
Maschine	Die Druckeinstellung des verwendeten Sinterdruckofens ist ausgelegt für große Flächen. Erst nach der Durchführung des Experimentes konnte festgestellt werden, dass die hydraulischen Kolben, die den Druck auf das Sample generiert, über die Presskraft geregelt sind. Da die Referenzfläche deutlich größer ist als die Fläche der vier zu sinternden Substrate, verursacht eine geringe Kraftänderung am hydraulischen Kolben eine starke Druckänderung an den Substraten.
Mathematisches Modell	Das zugrunde liegende quadratische Regressionsmodell lässt sich nicht, wie vermutet, in dem Parameterraum als Fitting-Modell anwenden.
Sinterpasten	Gemäß Herstellervorgaben sollen die Sinterpasten entweder bei 4 °C bzw. zwischen -40 °C und -30 °C tiefgefroren gelagert werden. Die Pasten sollen vor dem Einsatz auf Raumtemperatur gelagert und nicht erneut eingefroren werden. Aus organisatorischen Gründen kann bei diesem Experiment diese Vorgabe nicht eingehalten werden, da die Versuche über mehrere Wochen durchgeführt werden müssen. Inwiefern das mehrfache Auftauen und Wiedereinfrieren sich auf die Eigenschaft der Sinterpaste auswirkt, wurde nicht berücksichtigt bzw. nicht untersucht. Literaturrecherchen geben keinen Hinweis auf diesen Sachverhalt.
Qualität der DCB Substrate	Die Qualität der Substratoberfläche wurde vor der Durchführung des Experiments nicht geprüft, um den Aufwand in einem akzeptablen Rahmen zu halten. Bei einer solchen Untersuchung müsste zunächst festgestellt werden, ob alle DCB-Teilsubstrate, die sich in einem Nutzen befinden, die gleiche Oberflächeneigenschaft aufweisen. Wäre die Oberflächenqualität abhängig von der Position des Substrates im Nutzen, müsste bei der Versuchsdurchführung stets das gleiche Substrat im Nutzen verwendet werden. Dies würde einen enormen Materialbedarf bei der Durchführung des Experiments verursachen. Es ist daher nicht klar, inwieweit Oxidationen an der Substratoberfläche, die sich auf das Sinterergebnis auswirken können, vorhanden sind.

Ag-Sintern von hochintegrierten Leistungsmodulen

Auf Basis des Multilayer-Dickfilm-Substrates in Abschnitt 5.1.1 wird ein hochintegriertes SiC-Leistungsmodul aufgebaut. Dazu sollen je zwei SiC-MOSFETs und zwei SiC-Diode auf ein Dickfilm-Substrat gesintert werden. Die Chips weisen eine Abmessung von 2,25 x 2,95 mm² bzw. 3,08 x 3,08 mm² auf. Eine 80 µm starke Ag-Sinterschicht wird mittels Schablonendruck auf das Substrat aufgedruckt. Nach einem Trocknungsprozess bei 100 °C für eine Dauer von 30 min unter N₂-Atmosphäre werden die Chips in einem Die-Bonder bestückt. Die bestückten Dickfilm-Substrate werden in einem Sinterpressofen bei einem Druck von 15 MPa und bei einer Temperatur von 260 °C für eine Dauer von 30 min gesintert (Tabelle 13).

Tabelle 13: Standard-Sinterparametersatz für den Aufbau von Prototypeleistungsmodulen

Parameter	Einheit	Zahlenwert
Trocknungstemperatur	[°C]	100
Trocknungsdauer	[min]	20
Sinterdruck	[MPa]	15
Sintertemperatur	[°C]	260
Sinterdauer	[min]	30

Das Sinterprofil in Abbildung 60 zeigt, dass der Sinterpressofen auf 100 °C vorgewärmt wird und zunächst ein geringerer Druck in der Presse eingestellt wird. Nach einer Dauer von 10 min wird der Druck verdoppelt und für 5 min gehalten. Dabei wird die Temperatur um 20 K erhöht. Mit diesem Temperatur- und Druckverlauf verformen sich die Teflonschichten langsam und bilden so eine Schicht für eine homogene Druckverteilung. Die Temperatur und der Druck im Pressofen wird anschließend auf die Sintertemperatur bzw. den Sinterdruck gestellt. Nach der Abkühlphase wird der Druck auf 0 MPa reduziert und der Sinterprozess beendet.

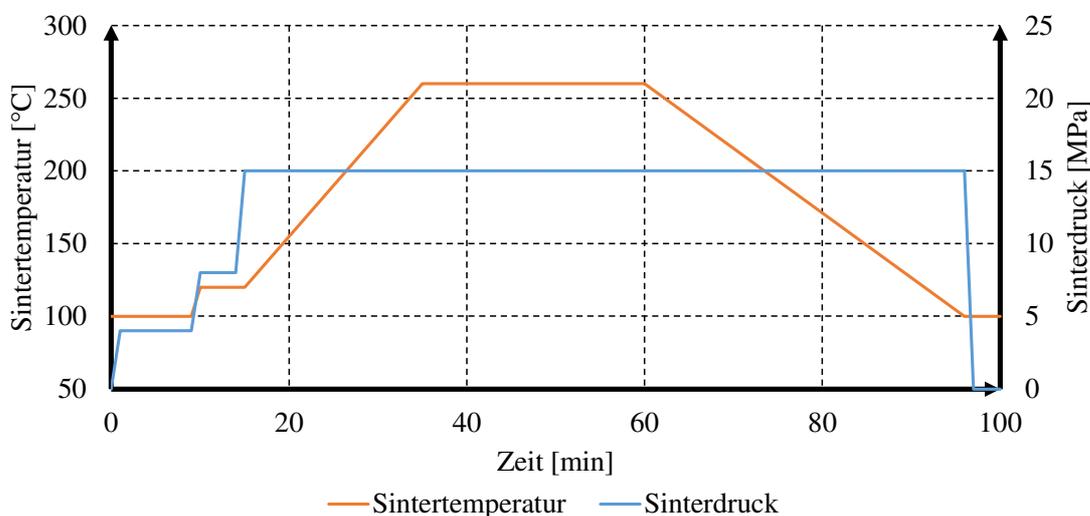


Abbildung 60: Temperatur- und Druckverlauf von einem Standard-Sinterprofil

Der Schertest liefert eine gute durchschnittliche Scherfestigkeit von 52,2 MPa. Die Scherfestigkeit bei den MOSFETs und Dioden liegt etwa bei 50 MPa bzw. bei 55 MPa. In einer früheren wissenschaftlichen Untersuchung am KIT konnte mit vergleichbaren Sinterparametern ein durchschnittlicher Scherwert von 47 MPa auf Dickfilm-Substraten erzielt werden [58]. Die genaue Begutachtung der Verbindungsstelle in Abbildung 123 im Anhang A 27 nach dem Schertest zeigt einen Mischbruch.

5.1.3 Kupfersintertechnologie

Nach aktuellem Stand der Technik ist das Ag-Sintern eine zuverlässige Die-Attachment-Technologie, die eine Lötverbindung substituieren kann. Das Ag-Sintermaterial weist exzellente thermische und elektrische Eigenschaften auf und erfüllt seit wenigen Jahren die Qualitätsanforderung für den Einsatz in Automotive-Anwendungen. Ag-Sinterpasten sind jedoch noch vergleichsweise teuer. Daher werden Lötverbindungen erst durch eine Ag-Sinterverbindung ersetzt, wenn höhere Ansprüche an die Zuverlässigkeit, wie z. B. bei einem SiC-Leistungsmodul, gestellt werden. Die Herstellungskosten der Ag-Partikel sind dabei der Hauptkostentreiber. Obwohl die reinen Materialkosten nur zu einem gewissen Teil zu den Gesamtkosten beitragen, hat sich der Handelspreis für den Rohstoff Silber in den vergangenen fünf Jahren etwa verdoppelt. Setzt sich dieser Trend weiter fort, könnten die Preise für Ag-Sinterpasten weiterhin auf einem hohen Niveau bleiben. Die Kupfersintertechnologie stellt eine weitere alternative Die-Attachment-Technologie dar. Gemäß dem Hersteller könnte die Cu-Sinterpaste aufgrund des deutlich geringeren Materialpreises für etwa die Hälfte der Kosten einer Ag-Sinterpaste angeboten werden. Ähnlich wie bei einer Ag-Sinterpaste lässt sich die Cu-Sinterpaste sowohl unter Druck als auch drucklos sintern. Ein wesentliches Unterscheidungsmerkmal zwischen Ag- und Cu-Sintern ist die notwendige Sinteratmosphäre während des Sinterprozesses. Beim drucklosen Ag-Sintern ist eine N_2 -Atmosphäre erforderlich, um das Interface zwischen der Sinterpaste und dem Substrat vor Oxidationen zu schützen. Ag-Drucksintern kann sowohl in N_2 -Atmosphäre als auch in Luft durchgeführt werden. Druckloses Cu-Sintern erfordert dagegen eine reduzierende Wasserstoffatmosphäre (H_2 -Atmosphäre), um bestehende Oxidationen auf dem Substrat zu lösen bzw. zu entfernen. Beim Cu-Drucksintern schützt die N_2 -Atmosphäre die Sinterschicht vor Oxidation während des Sinterprozesses. Im Vergleich zum Ag-Sintern steht die Cu-Sintertechnologie erst seit einigen Jahren im Blick der Forschung und Entwicklung. Gemäß den Herstellerangaben können drucklose Cu-Sinterverbindungen eine vergleichbare Scherfestigkeit erzielen, wie Ag-Drucksintern. Erste Zuverlässigkeitsprüfungen zeigen, dass die Cu-Sinterverbindungen eine geringfügig höhere Lebensdauer aufweisen als die Ag-Sinterverbindungen.

Wie die einzelnen Parameter wie beispielsweise Sinterdruck, Sinter Temperatur, Substratoberfläche usw. sich auf das Sinterergebnis oder auf die Zuverlässigkeit der Cu-Sinterverbindung auswirken, ist noch nicht oder nur teilweise erforscht. Im Rahmen dieser wissenschaftlichen Untersuchung sollen zunächst die relevanten Parameter beim Cu-Drucksintern und beim drucklosen Cu-Sintern bestimmt werden. Die Einflüsse dieser Parameter auf die Scherfestigkeit bzw. Gefügestruktur der Sinterschicht sollen ermittelt werden. Die Ergebnisse beim Cu-Drucksintern sollen mit den Ergebnissen des Ag-Drucksinterns verglichen werden.

Kupferdrucksintern

Das Cu-Sinterexperiment orientiert sich an der Evaluierung von Ag-Sinterpasten in Abschnitt 5.1.2. Tabelle 14 fasst die Vorgehensweise und die Randbedingungen für die Versuchsdurchführung zusammen. Für die Versuchsdurchführung werden DCB-Substrate mit einer Kupferoberfläche ohne Metallisierung verwendet. Die Lotpaste wird mit der gleichen Metallschablone auf das Substrat aufgetragen und unter N_2 -Atmosphäre getrocknet. Für die Sinterversuche werden die gleichen Widerstandschips verwendet. Diese werden mit dem Die-Bonder auf das Substrat bestückt. Der Stackaufbau für den Sinterprozess ist identisch mit dem Aufbau für das Ag-Sintern. Nach dem Sinterprozess unter N_2 -Atmosphäre werden zehn Si-Widerstandschips heruntergeschert, um die Scherfestigkeit der Sinterverbindung quantitativ zu erfassen. Bei einem gesinterten Chip wird das Gefüge der Sinterschicht mittels REM-Analyse untersucht. Dazu wird ein Teilstück des Substrates mit einem Si-Widerstandschip durch einen Sägeprozess vom DCB-Substrat herausgeschnitten. Die Probe wird an einer Schleifmaschine bis zum Chip heruntergeschliffen. Mit einem Ion-Beam Polisher wird die Querschnittsfläche der Probe anschließend glattpoliert als Vorbereitung für die REM-Analyse. Die Verdichtung des Gefüges und die Anbindung am Interface soll in Abhängigkeit der Sinterparameter bewertet werden.

Tabelle 14: Vorgehensweise und Randbedingungen beim Vergleich von Cu- und Ag-Drucksintern

Versuchs- bzw. Randbedingungen		Beschreibungen
Substrat	Substrat-Typ	Al ₂ O ₃ -DCB mit 380 µm Al ₂ O ₃ -Keramik und 300 µm Kupferschichten
	Substratabmessung	39 x 32,5 mm ²
	Substratoberfläche	Bare-Cu
Pastenauftrag	Methode	Schablonendruck mit einer 80 µm Metallschablone
Trocknungsprozess	Trocknungstemperatur	90 °C auf einer Heizplatte
	Trocknungsdauer	30 min
	Atmosphäre	N ₂ -Atmosphäre
Chip & Chipbestückung	Chip-Material	Si-Widerstandschip
	Chip-Abmessung	2,25 x 2,25 x 0,55 mm ³ (L x B x H)
	Chip-Unterseitenmetallisierung	Ti/Ni/Ag (0,1 µm/ 0,8 µm/ 0,1 µm)
	Bestückungsmethode	Chip-Bestückungsmaschine (engl. Die Bonder)
	Bestückungsdruck	11 MPa
	Bestückungsdauer	5 s
	Anzahl an Chips pro Substrat	12
Sinterprozess	Sinterdauer	5 min
	Atmosphäre für Cu-Sintern	N ₂ -Atmosphäre
	Atmosphäre für Ag-Sintern	Luft

Aus den Informationen des Pastenherstellers und aus den Vorversuchen konnten die signifikanten Sinterparameter ermittelt und der relevante Parameterraum eingegrenzt werden. Aus den Vorversuchen konnte festgestellt werden, dass eine Trocknungstemperatur von 90 °C und eine Trocknungsdauer von 30 min erforderlich ist, um flüchtige Lösungsmittel aus einer 80 µm nassen Cu-Pastenschicht effektiv zu entfernen. Die Bestückungskraft wird wie bei der Ag-Sinterpaste auf den Maximalwert von 11 MPa eingestellt. Allerdings zeigen die Vorversuche, dass die Haftung des bestückten Si-Halbleiters auf der Cu-Sinterschicht nicht zuverlässig war. Daher wurde der nassen Cu-Sinterpaste zusätzlich das Lösungsmittel Terpeneol hinzugegeben. Das Terpeneol hat einen Siedepunkt zwischen 150 °C und 200 °C, sodass diese nach dem Trocknungsprozess in geringen Mengen in der Cu-Sinterpaste vorhanden ist. Dies wirkt sich positiv auf die Haftung zwischen Si-Chip und der Cu-Sinterschicht aus. Bei hohen Sinter Temperaturen und Sinterdruckwerten (>20 MPa) treten vermehrt Chipbrüche auf, da druckausgleichende Teflonschichten zunehmend zerfließen. Jedoch konnten beim Cu-Sintern erst bei höheren Temperaturen (>250 °C) ausreichend hohe Scherwerte erzielt werden. Die Sinter Temperatur sollte deutlich <400 °C sein, um ein Ausgasen des Teflonmaterials zu vermeiden. Dabei können sich toxische Gase wie z. B. Fluorphosgen (COF₂) bilden. Für die Evaluierung wird die Sinter Temperatur und der Sinterdruck auf 300 °C bzw. 20 MPa limitiert. Die Vorversuche zeigen, dass die Sinterdauer einen deutlich geringeren Einfluss auf die Scherfestigkeit aufweist als die Sinter Temperatur bzw. der Sinterdruck. Bei einer Sinterdauer länger als 5 min stagnieren die Werte für die Scherfestigkeit der Sinterverbindung. Daher wird in diesem Experiment eine Sinterdauer von 5 min festgelegt und ausschließlich die Sinter Temperatur bzw. der Sinterdruck gemäß Tabelle 15 variiert. Um den Aufwand des Experiments mit den umfangreichen Analysen (Schertest und Gefügeanalyse) im Rahmen zu halten, wird bei dieser Evaluierung auf die Durchführung eines DoE verzichtet. Im Abschnitt 5.1.2 wurde bereits festgestellt, dass unvermeidbare Störfaktoren die Ergebnisse der DoE wesentlich beeinflussen können und ein funktionaler Zusammenhang aus den Messergebnissen nicht abgeleitet werden kann. Bei diesem Experiment wird die Anzahl der Parameter und die Anzahl der Parameterstufen begrenzt. Ein Versuch mit den gleichen Parameterwerten wie in Tabelle 14 und unter den gleichen Randbedingungen wie in Tabelle 15 wird mit einer Ag-Sinterpaste wiederholt durchgeführt, um einen Vergleich zwischen dem Ag- und dem Cu-Sintern herzustellen. Tabelle 35 im Anhang A 19 fasst den kompletten Versuchsplan zusammen.

Tabelle 15: Parametervariation bei der Evaluation der Sinterpasten und beim Vergleich zwischen Cu- und Ag-Sintern

Parameter	Einheit	Stufenanzahl	Parameterstufen				
Sinterdruck	[MPa]	5	3	5	10	12	20
Sintertemperatur	[°C]	3	220	260	300	-	-
Sinterpaste	-	2	Ag	Cu	-	-	-

Abbildung 61 zeigt, dass die Scherfestigkeit einer Cu-Sinterverbindung mit zunehmenden Sinterdruck und zunehmender Sintertemperatur stetig zunimmt. Der Effekt der Sintertemperatur ist stärker als beim Sinterdruck. Insbesondere bei einer geringeren Sintertemperatur (z.B. $T_{\text{Sinter}}=220\text{ °C}$) ist die Scherfestigkeit $\leq 20\text{ MPa}$, wenn der Sinterdruck weniger als 10 MPa beträgt. Bei einer Sintertemperatur von $T_{\text{Sinter}}=300\text{ °C}$ können die Scherfestigkeitswerte selbst bei einem geringen Sinterdruck von $\leq 5\text{ MPa}$ bereits auf $>60\text{ MPa}$ ansteigen.

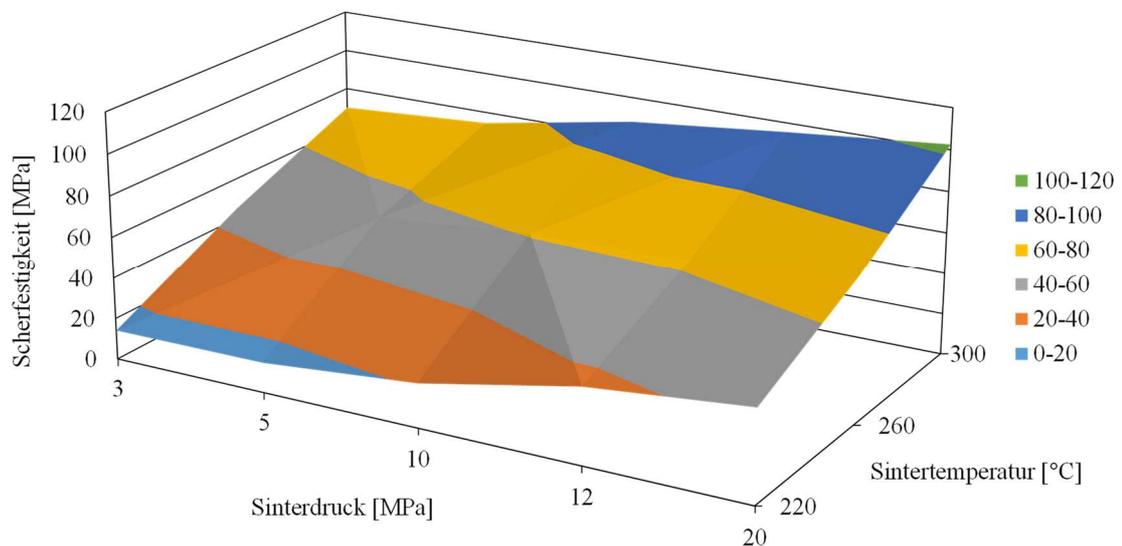


Abbildung 61: Scherfestigkeit beim Cu-Drucksintern in Abhängigkeit des Sinterdruckes und der Sintertemperatur

Die Gefügeanalysen in Abbildung 62 bestätigen die Ergebnisse des Schertests. Bei $T_{\text{Sinter}}=220\text{ °C}$ ist der Sinterprozess zwar initiiert worden. Allerdings sind die einzelnen Sinternanopartikel noch deutlich sichtbar unter dem Rasterelektronenmikroskop. Diese Sinternanopartikel weisen einen Durchmesser von etwa $50\text{--}200\text{ }\mu\text{m}$ auf und bilden an vielen Stellen Sinterhalse. Neben den Cu-Sinternanopartikeln beinhaltet das Sintermaterial ebenfalls etwa $2\text{--}10\text{ }\mu\text{m}$ lange Cu-Flakes. Versinterungen zwischen den Cu-Sinternanopartikeln und den Cu-Flakes sowie zwischen den Sinternanopartikeln und der Ag-Schicht der Chipunterseitenmetallisierung finden punktuell statt (Zeile I in Tabelle 36 im Anhang A 22). Im Gegensatz dazu ist der Materialtransport beim Sinterprozess bei einer hohen Sintertemperatur von $T_{\text{Sinter}}=300\text{ °C}$ nahezu vollständig abgeschlossen (siehe Abbildung 62 Bilder unten). Die Cu-Sinternanopartikel und Cu-Flakes sind ineinander versintert und die Kupferschicht des Substrates und das Cu-Sintermaterial bilden eine stoffschlüssige Verbindung. Zeile VI in Tabelle 36 im Anhang A 22 zeigt, dass mit Ausnahme der porösen Stellen die Cu-Sinterschicht mit der Ag-Unterseitenmetallisierung des Widerstands chips versintert ist. Ein Vergleich der Stärke der Verbindungsschichten indiziert, dass das Cu-Sintermaterial bei $T_{\text{Sinter}}=220\text{ °C}$ von ursprünglich etwa $80\text{ }\mu\text{m}$ Nassschichtstärke auf $60\text{ }\mu\text{m}$ bzw. bei $T_{\text{Sinter}}=260\text{ °C}$ auf $50\text{ }\mu\text{m}$ und bei $T_{\text{Sinter}}=300\text{ °C}$ auf $43\text{ }\mu\text{m}$ nach dem Sinterprozess geschrumpft ist. Bei gleichem Sinterdruck und gleicher Sinterdauer lässt sich die Verdichtung der Sinterschicht etwa um ein Drittel steigern. Die Zeilen II bis IV in Tabelle 36 im

Anhang A 22 zeigen das Gefüge der Cu-Sinterschichten bei konstanter Temperatur $T_{\text{Sinter}}=260\text{ °C}$ in Abhängigkeit des Sinterdruckes. Mit zunehmendem Sinterdruck nimmt die Verdichtung des Sintermaterials stetig weiter zu und bestätigt die Abhängigkeit der Scherfestigkeit vom Sinterdruck. Abbildung 118 im Anhang A 22 stellt die Abhängigkeit der Porosität vom Sinterdruck bei $T_{\text{Sinter}}=260\text{ °C}$ dar. Die Porosität nimmt zunächst bis zum $p_{\text{Sinter}}=5\text{ MPa}$ ab, stagniert dann jedoch bis zum $p_{\text{Sinter}}=10\text{ MPa}$ und nimmt danach erneut stark ab. Zunächst ist eine Versinterung der Cu-Sinternanopartikel zu beobachten und die Cu-Flakes sind in diesem Prozess in geringerem Maße eingebunden. Der Materialtransport zwischen den Sinternanopartikeln und den Cu-Flakes erfordert einen Sinterdruck größer als 10 MPa, wenn $T_{\text{Sinter}}\leq 260\text{ °C}$ beträgt. Bei 300 °C Sintertemperatur und hohem Sinterdruck von 20 MPa kann die Scherfestigkeit sogar über 100 MPa ansteigen. Bei einer solch hohen Scherfestigkeit treten jedoch häufig Chipbrüche auf, sodass zahlreiche Messungen nicht in die Auswertung einbezogen wurden und dieser Einzelversuch eine geringe statische Basis aufweist.

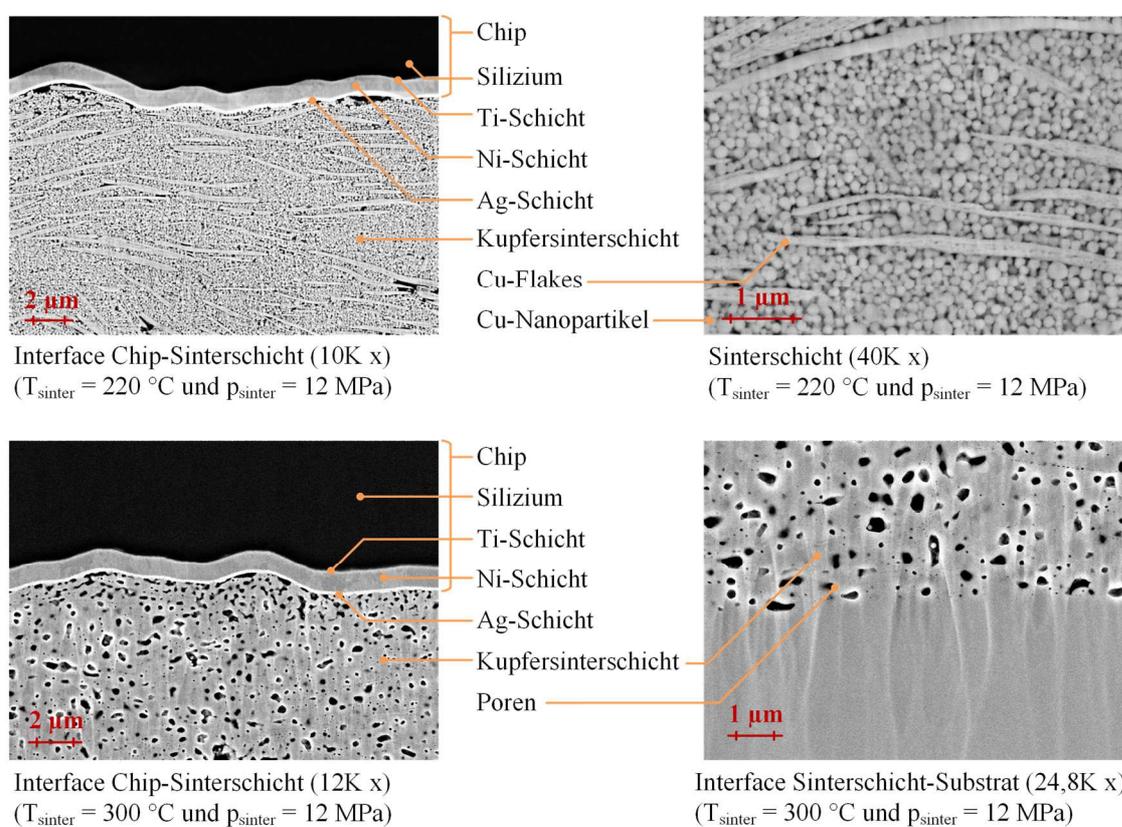


Abbildung 62: REM-Aufnahmen der Cu-Sinterschichten und der Interface-Schichten zwischen Chip und Sinterschicht bzw. Sinterschicht und Substrat bei unterschiedlichen Sintertemperaturen (oben $T_{\text{Sinter}}=220\text{ °C}$ und unten $T_{\text{Sinter}}=300\text{ °C}$)

Der Vergleich zwischen Abbildung 61 und Abbildung 63 zeigt, dass die Scherfestigkeit einer Cu-Sinterverbindung bei einem Sinterdruck $\geq 10\text{ MPa}$ und bei hoher Sintertemperatur von $T_{\text{Sinter}}=300\text{ °C}$ größer ist als beim Ag-Sintern. Bei geringeren Sintertemperaturen $\leq 260\text{ °C}$ weist das Ag-Sintern jedoch höhere Scherfestigkeitswerte auf als beim Cu-Sintern. Der Effekt der Sintertemperatur auf die Scherfestigkeit ist bei dieser Ag-Sinterpaste deutlich geringer als bei der Cu-Sinterpaste.

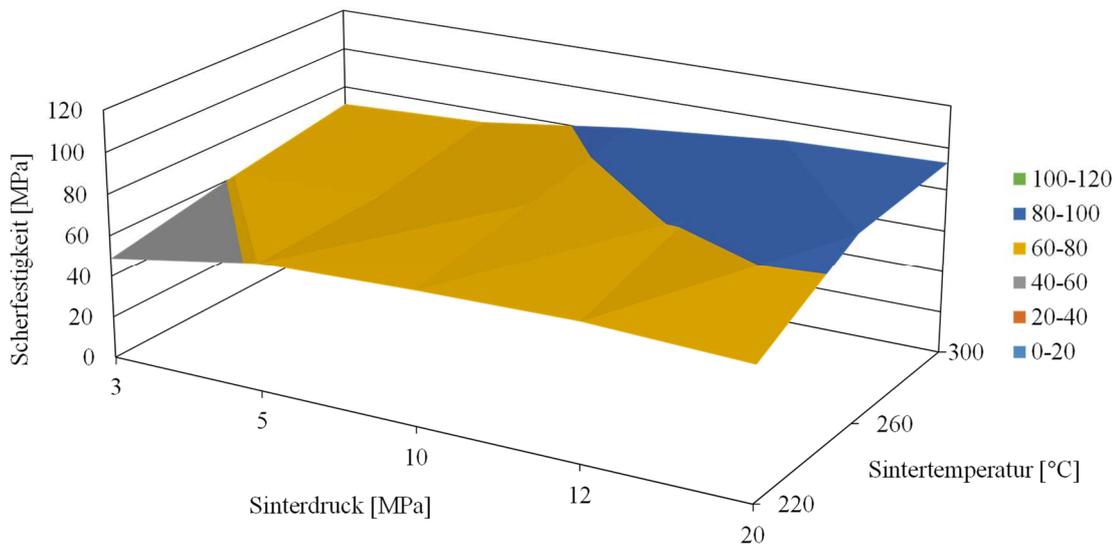


Abbildung 63: Scherfestigkeit beim Ag-Sintern in Abhängigkeit des Sinterdruckes und der Sintertemperatur als Referenz für den Vergleich zwischen Cu- und Ag-Sintern

Das Kastendiagramm (engl. Box-Whisker-Plot) in Abbildung 64 zeigt, dass die Scherfestigkeit der Cu-Sinterverbindung bei zunehmendem Sintertemperatur und zunehmenden Sinterdruck eine größere Streuung aufweist. Ein Vergleich von Abbildung 64 und Abbildung 114 im Anhang A 19 zeigt, dass beim Cu-Sintern die Streuung der Scherfestigkeit deutlich höher ist beim Ag-Sintern. Diese Statistik könnte darauf hinweisen, dass die Versinterung am Interface zwischen Chip-Unterseitenmetallisierung und Sinterschicht bzw. zwischen Sinterschicht und Kupferschicht des Substrates eine schwankende Qualität aufweist. Die verwendeten DCB-Substrate haben eine blanke Kupferoberfläche, die durch den Lagerungsprozess oxidiert bzw. kontaminiert sein kann. Vermutlich reagiert die evaluierte Cu-Sinterpaste empfindlicher auf Verunreinigungen. Eine Reinigung bzw. Vorbehandlung des DCB-Substrates könnte die Streuung reduzieren.

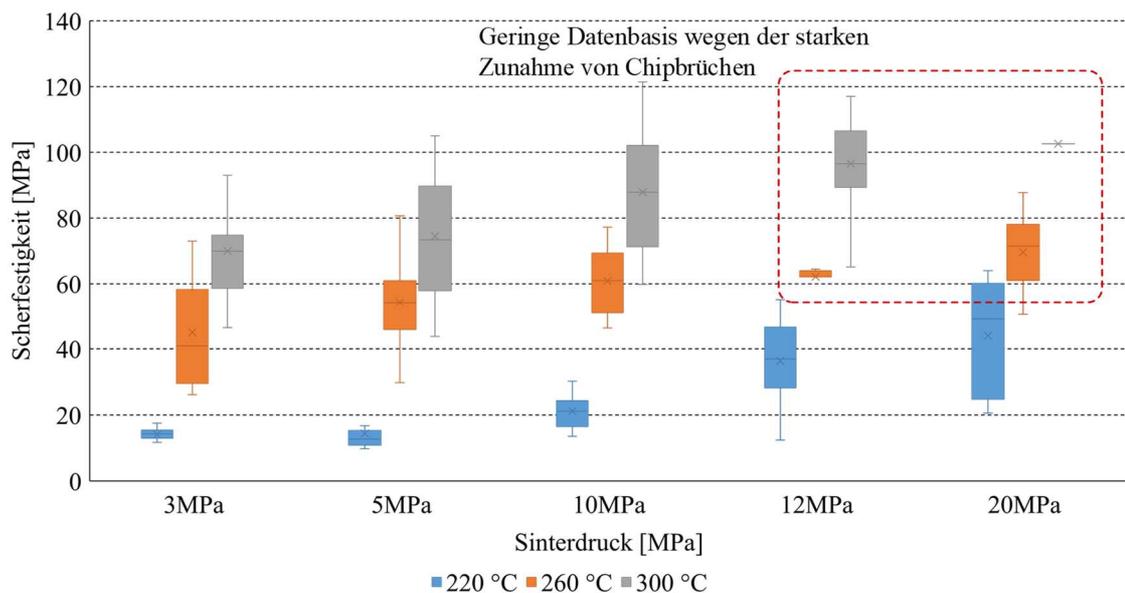


Abbildung 64: Streuung der Scherfestigkeitswerte beim Cu-Sintern

Die energiedispersive Röntgenspektroskopie-Analyse (engl. Energy Dispersive X-ray Spectroscopy – EDX) am Interface zwischen der Cu-Sinterschicht und dem Chip in Abbildung 65 zeigt, dass der verwendete Chip auf der Unterseite mit Ti/Ni/Ag-Schicht metallisiert ist. In geringen Mengen diffundieren Kupfermaterialien in die Ag- und Ni-Schichten. Die darüberliegende Ti-Schicht fungiert als Diffusionsbarriere und verhindert, dass das Kupfer weiter ins Silizium diffundiert und die elektrische Funktion des Halbleiters beeinträchtigt.

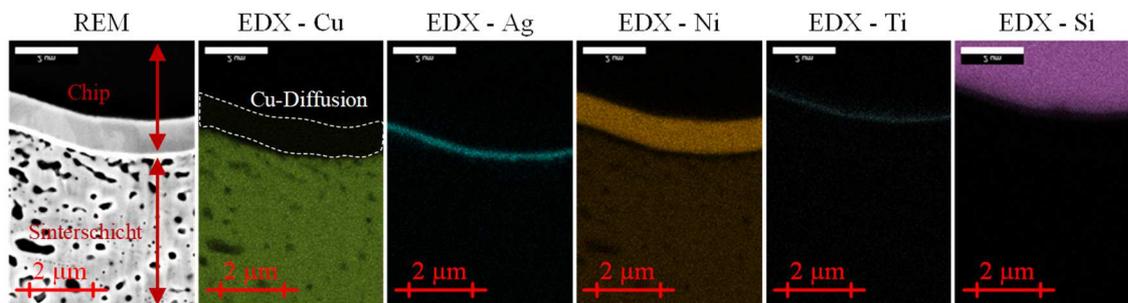


Abbildung 65: REM- und EDX-Analyse am Interface zwischen der Cu-Sinterverbindung und dem Chip bei 300 °C Sinter Temperatur und 12 MPa Sinterdruck

Druckloses Kupfersintern

Die zuvor verwendete Sinterpaste kann sowohl beim Drucksintern als auch beim drucklosen Sintern eingesetzt werden. Gemäß Herstellerempfehlung sollen beim drucklosen Sintern einer 50-80 µm starken Cu-Sinterschicht folgende Standard-Sinterparameter verwendet werden:

- Aufheizdauer (engl. Ramp-up Time): 30 min
- Sinterdauer: 30 min
- Sinter Temperatur: 260 °C
- Kühlungsdauer (engl. Cooling Time): 32 min
- Sinteratmosphäre: 100 %-H₂

Die Kühlungsdauer wurde vom Hersteller auf 32 min bzw. auf eine geringe Kühlungsrate von 7 K min⁻¹ gesetzt, um den thermomechanischen Stress in der Sinterschicht zu minimieren. Der Pastenhersteller nimmt an, dass diese thermomechanische Belastung sich negativ auf die Zuverlässigkeit auswirken könnte. Es ist erforderlich, dass der drucklose Sinterprozess unter 100%iger Wasserstoffatmosphäre stattfindet. Der Wasserstoff reduziert die Substratoberfläche und erhöht die Haftung zwischen der Sinterschicht und der Substratoberfläche. Das Temperaturprofil in Abbildung 115 im Anhang A 20 illustriert diesen Standard-Parameter beim drucklosen Cu-Sintern. Nach diesem Standard-Parametersatz dauert der drucklose Sinterprozess insgesamt 92 min.

Tabelle 16: Vergleich der Prozessdauer (Richtwerte) von Löt- und Sintertechnologien

Die-Attachment-Technologie	Temperaturanstiegszeit [min]	Löt- bzw. Sinterdauer [min]	Kühlungsdauer [min]	Gesamtprozessdauer [min]
Löten	9	4	7	22
Ag- und Cu-Drucksintern	30	10	30	70
Druckloses Ag-Sintern	60	60	30	150
Druckloses Cu-Sintern	30	30	32	92

Tabelle 16 zeigt, dass im Vergleich zum Lötprozess der drucklose Cu-Sinterprozess in etwa viermal länger dauert. Die Prozessdauer ist beim Drucksintern in etwa 20 % kürzer als beim drucklosen Cu-Sintern. Einzig das drucklose Ag-Sintern würde mehr Prozesszeit in Anspruch nehmen. Eine lange Prozessdauer reduziert

den Gesamtdurchsatz in der Modulproduktion und führt zu höheren Produktionskosten. Neben der Prozessoptimierung soll die Temperaturstabilität der neuartigen Kupfersinterverbindung untersucht werden. Die Temperaturstabilität einer Sinterverbindung ist abhängig von der Oberflächenbeschichtung der Fügepartner. In Automotive-Anwendungen werden zumeist Substrate mit einer Kupferoberfläche eingesetzt. Die Unterseitenmetallisierung eines Leistungshalbleiters kann mit Ti und Ni als Diffusionsbarriere sowie Ag oder Au als Kontaktmaterial beschichtet sein. Es soll untersucht werden, wie diese neuartige Kupfersinterpaste auf Nichtkupferoberflächen haftet und wie thermisch stabil diese Sinterverbindungen sind. Die wesentlichen Ziele dieser wissenschaftlichen Untersuchung können wie folgt zusammengefasst werden:

- Bestimmung der signifikanten Parameter beim drucklosen Cu-Sintern
- Minimierung der Prozessdauer beim drucklosen Cu-Sintern
- Untersuchung der thermischen Stabilität der Cu-Sinterverbindung auf unterschiedlichen Materialoberflächen (Cu, Ni, Ag, Au)

Ähnlich wie in den Ag- und Cu-Drucksinterexperimenten zuvor wird eine 80 µm starke Schicht aus Cu-Sinterpaste auf das DCB-Substrat mittels Schablonendruck aufgetragen. Im Unterschied zum Drucksintern werden die 12 Si-Widerstandschips direkt auf die nasse Cu-Sinterpaste mit dem Die-Bonder bestückt, da ein Trocknungsprozess nach dem Drucken nicht erforderlich ist. Informationen bezüglich des Si-Widerstandschips und des Schablonendruckprozesses werden in Tabelle 14 zusammengefasst. Die Si-Widerstandschips werden 10 µm in die nasse Paste platziert, sodass eine Stärke der nassen Cu-Paste von etwa 60-70 µm erzielt wird. Die Substrate werden in einer speziellen Wasserstoffsinteranlage unter einer 100 %-H₂ Atmosphäre gesintert (1013 hPa). Sauerstoff weist eine sehr geringe Löslichkeit in Metallen auf, sodass diese in Form einer Oxidschicht an der Metalloberfläche verdrängt wird [181]. Die Oxidschicht wiederum behindert den Stofftransportmechanismus bzw. das Versintern der Kupferpartikel. Durch das Fluten der Ofenkammer mit Wasserstoff lassen sich die Kupferoxide durch Reduktion während des Sinterprozesses entfernen. Abbildung 119 im Anhang A 23 erläutert den Aufbau einer am KIT konzipierten Wasserstoffsinteranlage. Beim drucklosen Sintern müssen Sinterofen und Probe zunächst während der Temperaturanstiegszeit aufgeheizt werden. Beim Sintern wird die Temperatur über die gesamte Sinterdauer konstant gehalten. Die Temperatur im Ofen wird durch den Einlass von N₂ heruntergekühlt.

Die Scherfestigkeit der Sinterverbindungen wird durch einen Schertest ermittelt. Die Temperaturstabilität der Cu-Sinterverbindung wird durch einen beschleunigten Alterungstest bestimmt. Dabei werden neben den Testmustern mit Standard-DCB-Substraten mit einer Kupferoberfläche ebenfalls DCB-Substrate mit unterschiedlichen Oberflächenbeschichtungen wie Ni, Ni/Pd/Ag und Pd/Au verwendet. Tabelle 37 im Anhang A 24 gibt einen detaillierten Überblick über die Metallisierung des Si-Widerstandschips und des DCB-Substrates. Die Muster werden bei 260 °C für 10 min unter 100 % H₂-Atmosphäre gesintert. Für jede Beschichtungsart werden jeweils drei Muster aufgebaut, sodass je ein Testmuster ohne Auslagerung untersucht wird und je ein Muster für 1 h bzw. 8 h in einem Ofen bei einer Temperatur von 300 °C in einer H₂-Atmosphäre ausgelagert wird. Gemäß der Norm DIN 50035 wird die Alterung eines Materials als die „Gesamtheit aller im Laufe der Zeit in einem Material irreversibel laufenden chemischen und physikalischen Vorgänge“ definiert [182]. Die Arrhenius-Gleichung besagt, dass der Alterungsprozess auf Grundlage von chemischen Vorgängen beruht und maßgeblich von der Temperatur beeinflusst wird. Aus der Arrhenius-Gleichung lässt sich Gleichung (5.6) herleiten, die den Beschleunigungsfaktor A_T für die Alterung der Sinterverbindung durch thermische Auslagerung bestimmt [183].

$$A_T = e^{-\frac{E_a}{k} \left(\frac{1}{T_{Storage}} - \frac{1}{T_{Operation}} \right)} \quad (5.6)$$

Dabei ist E_a die thermische Aktivierungsenergie, $k=8,62 \cdot 10^{-5} \text{ eV K}^{-1}$ die Boltzmann-Konstante, $T_{Storage}=573 \text{ K}$ die Ofentemperatur bei der Auslagerung und $T_{Operation}$ die maximale Betriebstemperatur

des Leistungshalbleiters. Nach dem aktuellen Stand der Technik wird die maximale Betriebstemperatur von SiC-Leistungshalbleitern im Normalfall auf $T_{\text{Operation}} = 175 \text{ C}$ (448 K) limitiert, obwohl SiC eine weitaus höhere Betriebstemperatur duldet. Die Limitierung ist sinnvoll, da die elektrischen Eigenschaften des Bauelementes sich bei hohen Betriebstemperaturen signifikant verschlechtern. Gemäß [184] beträgt die thermische Aktivierungsenergie von Kupfersinterpartikel etwa bei $E_a \approx 0,57 \text{ eV}$. Bei Kupferpartikeln findet der Materialtransport hauptsächlich an den Grenzflächen und Kontaktregionen statt, sodass dieser Wert deutlich geringer ist als im Vergleich zu einem Kupfer-Bulkmaterial mit $E_a \approx 1 \text{ eV}$. Die thermische Aktivierungsenergie E_a nimmt mit zunehmender Materialverdichtung zu. Unter der Annahme $E_a = 0,57 \text{ eV}$ beträgt der Beschleunigungsfaktor $A_T \approx 25$. Somit entspricht eine Auslagerung von 1 h bzw. 8 h bei $T_{\text{Storage}} = 573 \text{ K}$ einer Betriebsdauer von etwa 25 h bzw. 200 h bei $T_{\text{Operation}} = 175 \text{ °C}$. Nach der Auslagerung werden zehn Chips von einem Testsubstrat heruntergeschert und ein Chip wird für die REM- bzw. EDX-Analyse vorbereitet. Mit einigen Vorversuchen soll zunächst festgestellt werden, welche Parameter beim drucklosen Cu-Sintern eine signifikante Auswirkung auf die Sinterverbindung aufweisen. Als Indikator dient die Scherfestigkeit der Sinterverbindung. Es konnte festgestellt werden, dass die Scherfestigkeit der drucklosen Cu-Sinterverbindung mit steigender Temperatur zunimmt. Wenn die Temperaturanstiegszeit von ursprünglich 30 min auf 10 min reduziert wird und die maximale Sintertertemperatur konstant auf 260 °C gehalten wird, nimmt die Scherfestigkeit zu. Bei einer Verkürzung der Sinterdauer von 30 min auf 10 min blieb die Scherfestigkeit konstant. Mit steigender Sintertertemperatur nimmt die Scherfestigkeit wie beim Drucksintern ebenfalls zu. Aus den Vorversuchen wurde ermittelt, dass die Kühlungsdauer ebenfalls keinen signifikanten Einfluss auf die Scherfestigkeit aufweist. Dabei wurde die Temperatur im Ofen von 260 °C auf etwa 40 °C gekühlt. Der für den drucklosen Sinterprozess eingesetzte Vakuum-Reflowofen hat gemäß Datenblatt eine maximale Kühlungsrate von 2 K s^{-1} . Es konnte experimentell jedoch festgestellt werden, dass die maximale Kühlungsrate der verwendeten Sinteranlage bei etwa 26 K min^{-1} liegt, wenn die gemessene Temperatur auf dem DCB-Substrat als Referenztemperatur ausgewählt wird. Anhand dieser Erkenntnisse aus den Vorversuchen werden Temperaturanstiegszeit und die Sintertertemperatur als signifikante Faktoren identifiziert. Ein wesentliches Ziel dieser Untersuchung besteht darin, die minimale Sinterdauer zu bestimmen, sodass dieser Parameter im Versuch variiert ist. Tabelle 38 im Anhang A 24 fasst den zu untersuchenden Parameterraum zusammen. Die Temperaturanstiegszeit, die Sinterdauer und die Kühlungsdauer sollen verkürzt werden, um die minimal erforderliche Dauer für den gesamten Sinterprozess zu bestimmen und den Durchsatz zu steigern.

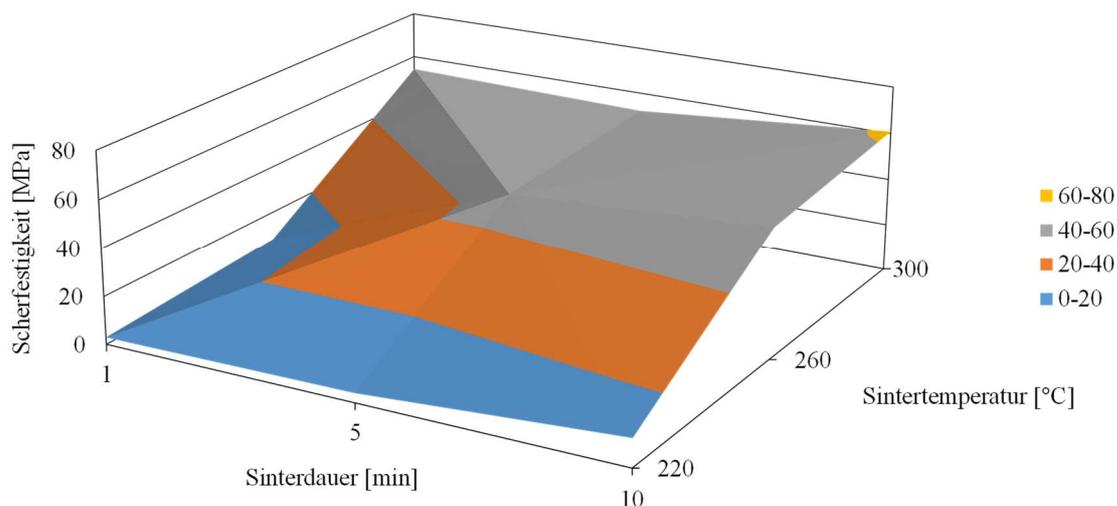


Abbildung 66: Scherfestigkeit beim drucklosen Sintern in Abhängigkeit der Sinterdauer und Sintertertemperatur bei einer Temperaturanstiegszeit $t_{\text{Ramp-up}} = 5 \text{ min}$.

Dieses Experiment zeigt, dass die Scherfestigkeit der Sinterverbindung bei einer Sintertemperatur $T_{\text{Sinter}}=220\text{ °C}$ sehr gering ist und, dass das Sintermaterial nicht vollständig versintert ist. Bei $T_{\text{Sinter}}\geq 260\text{ °C}$ ist die Aktivierungsenergie zwar ausreichend hoch, jedoch ist eine Sinterdauer von mindestens 5 min erforderlich, um eine ausreichend hohe Scherfestigkeit zu erzielen. Wird die Sintertemperatur auf $T_{\text{Sinter}}=300\text{ °C}$ erhöht, kann die Sinterdauer sogar auf 1 min verkürzt werden. Diese Untersuchung liefert die Erkenntnis, dass bei kleinen Chipflächen die Prozessdauer beim drucklosen Cu-Sintern auf die Dauer eines Lötprozesses reduziert werden kann. Abbildung 68 zeigt, dass mit abnehmender Temperaturanstiegszeit höhere Scherwerte erzielt werden kann. Um eine qualitativ hochwertige Sinterverbindung zu erhalten, sollte die Cu-Sinterschicht während der Prozessphase am Substrat und an der Chipunterseite haften. Nur so kann sichergestellt sein, dass eine Diffusion an der Interface-Stelle stattfindet. Nach dem Bestückungsprozess haftet der Chip an der nassen Cu-Sinterschicht. Wenn die Temperaturanstiegszeit sehr kurz ist, können die flüchtigen Komponenten in der Cu-Sinterpaste nicht vollständig aus der Sinterschicht ausgasen und bilden Voids unter dem Chip. Diese Voids verringern die Scherfestigkeit der Sinterverbindung. Wird eine sehr lange Temperaturanstiegszeit gewählt, beginnt das Terpeneol, sich bei etwa 150 °C zu verflüchtigen. Bevor die Ofentemperatur die eingestellte Sintertemperatur erreicht, sind alle flüchtigen Komponenten bereits evaporiert. Eine getrocknete Sinterschicht hat eine deutlich geringe Haftung am Chip, sodass aufgrund des unterschiedlichen Ausdehnungskoeffizienten zwischen dem Si-Chip und der Cu-Sinterschicht eine Delamination entsteht. An der delaminierten Stelle findet keine Versinterung statt und die Scherfestigkeit nimmt dadurch ab. In dieser Untersuchung weisen die Chips eine geringe Chipfläche von $2,25 \times 2,25\text{ mm}^2$ auf, sodass bei der geringsten Temperaturanstiegszeit die flüchtigen Komponenten schneller ausgasen und sich keine Voids bilden können. Aufgrund der kurzen Chipkantenlänge sind die Ausdehnungsunterschiede geringer und die Wahrscheinlichkeit der Delamination nimmt ab. Die optimale Temperaturanstiegszeit ist abhängig von der Chipfläche, der Chipgeometrie, der Stärke der nassen Cu-Sinterschicht bzw. der Menge der Sinterpaste und von den Ausdehnungskoeffizienten der Materialien. Bei der getesteten Kupfersinterpaste und der gegebenen Chipgeometrie stellt eine Temperaturanstiegszeit $t_{\text{Ramp-up}}=5\text{ min}$ ein Optimum dar.

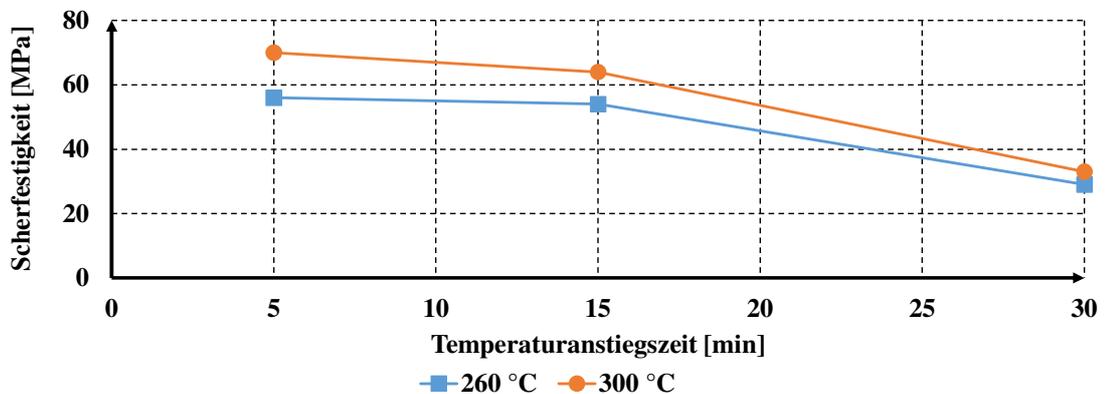


Abbildung 67: Scherfestigkeit in Abhängigkeit der Temperaturanstiegszeit und bei der Sintertemperatur bei einer Sinterdauer von 10 min

Ein Vergleich der Sinter Eigenschaften der Cu-Paste auf unterschiedlichen Metalloberflächen in Abbildung 68 zeigt, dass die Scherfestigkeit beim Cu-Sintern auf einer Cu- oder Ni-Metalloberfläche deutlich höher ist als auf einer Ag- oder Au-Metalloberfläche. Bei einer Cu- oder Ni-Metalloberfläche nimmt die Scherfestigkeit mit der Auslagerungsdauer zu, während sie bei einer Ag- oder Au-Metalloberfläche abnimmt.

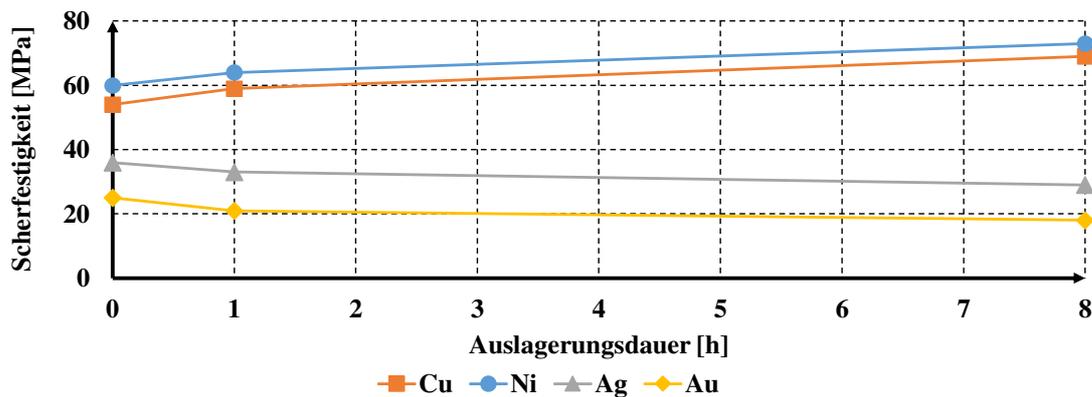


Abbildung 68: Scherfestigkeit vor und nach der thermischen Auslagerung bei $T_{\text{Storage}}=300\text{ °C}$

Die Analyse der Bruchstellen nach den Schertests in Abbildung 69 (links) zeigt, dass bei einer Cu-Metalloberfläche Kohäsion- bzw. Mischbrüche auftreten. Nach der Definition gemäß Anhang A 17 können die Brüche dem Bruchcode 2 oder 5 zugeordnet werden. Auf einer Ni-Oberfläche ist das Bruchbild ähnlich wie bei der Cu-Oberfläche. Im Gegensatz dazu gleicht die Bruchstelle beim Sintern auf einer Au-Metalloberfläche eher einem Adhäsionsbruch bzw. Bruchcode 6 (Abbildung 69 rechts). Auf einer Ag-Oberfläche ist das Bruchbild ähnlich wie bei der Au-Oberfläche. Die Bilder der Bruchstellen decken sich mit den Scherergebnissen.



Abbildung 69: Untersuchungen der Bruchzonen der Cu-Sinterschicht auf einer Cu- (links) bzw. Pd/Au-Oberfläche mittels Lichtmikroskopie (30 x Vergrößerung) nach einer Auslagerungsdauer der Proben von 8 h

Die REM- und EDX-Analysen der Grenzschicht zwischen der Cu-Sinterschicht und der Au/Pd-Schicht auf dem Substrat zeigen, dass während der thermischen Auslagerung für eine Dauer von 8 h bei $T_{\text{Storage}}=300\text{ °C}$ die Cu-Atome der Cu-Sinterschicht und die Au-Atome auf dem Substrat in die jeweils gegenüberliegenden Metallschichten diffundieren (Abbildung 70). Interdiffusionen sind temperaturabhängig und treten insbesondere bei Metallen in der gleichen oder ähnlichen Gruppe im Periodensystem der Elemente (PSE) auf. Im PSE sind Cu, Ag, Au in der Gruppe 11 und Ni ist in der Gruppe 10. Diese Metalle weisen ähnliche metallische Eigenschaften auf und können sich daher einfacher substituieren. Diese Interdiffusion hat zur Folge, dass insbesondere entlang der Grenzschicht Cu-Materialien fehlen und sich Lufteinschlüsse bilden, die als sogenannte „Kirkendall Voids“ bezeichnet werden [185]. Die Bildung von Kirkendall Voids wirkt sich negativ auf die Haftung zwischen Cu-Sinterschicht und Substrat aus, da die Haftflächen verringert werden. Im Vergleich dazu zeigt Abbildung 120 im Anhang A 25, dass sich beim Cu-Sintern auf einer Cu- bzw. Ni-Metalloberfläche an den Grenzflächen keine Kirkendall Voids bilden.

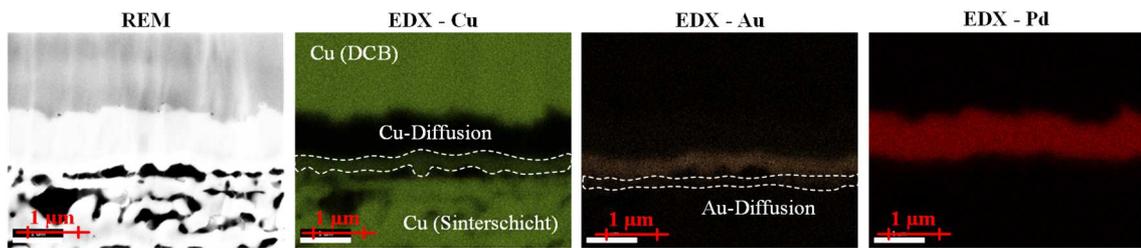


Abbildung 70: REM- und EDX-Analyse einer Cu-Sinterschicht auf einem Au/Pd-DCB-Substrat

Ein Vergleich der Interdiffusionskoeffizienten der vier unterschiedlichen Metalloberflächen und die Verknüpfung dieser Interdiffusionskoeffizienten mit den gemessenen Scherergebnissen zeigt, dass, je stärker die Diffusion von Kupferatomen in die Metallschicht und umgekehrt ist, desto stärker ist die Bildung von Voids und desto geringer ist die Scherfestigkeit (Abbildung 71). Die Interdiffusionskoeffizienten von unterschiedlichen Metallkombinationen bei $T_{\text{Storage}}=300\text{ °C}$ sind in Tabelle 39 im Anhang A 25 aufgelistet.

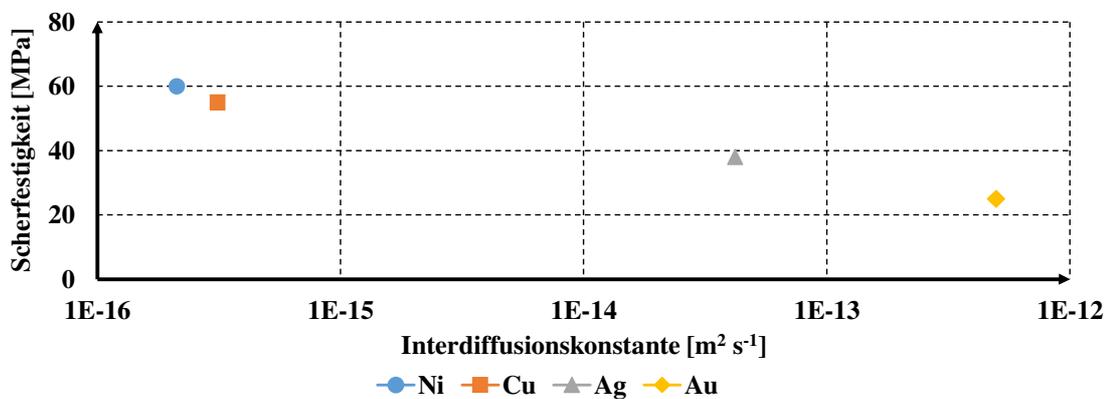


Abbildung 71: Verknüpfung der Interdiffusion von Kupfer bei unterschiedlichen Metalloberflächen mit der Scherfestigkeit nach einer Auslagerung bei $T_{\text{Storage}}=300\text{ °C}$

5.1.4 Zusammenfassung der Ergebnisse bei der Evaluierung von Ag- und Cu-Sinterpasten

- Dieses Experiment hat gezeigt, dass durch den Einsatz der DoE signifikante Faktoren und Wechselwirkungseffekte beim Ag-Sintern bestimmt werden können. Im Vergleich zu der OFAT-Vorgehensweise kann der Aufwand bei der Evaluierung von Sinterpasten bzw. bei der Parameteroptimierung deutlich reduziert werden.
- Aus den Messergebnissen lässt sich das Sinterverhalten einer Sinterpaste nicht exakt funktional herleiten bzw. voraussagen, da Störeinflüsse wie z. B. die Oberflächenqualität eines Substrates oder die Ungenauigkeit der eingestellten Prozessparameter einen signifikanten Einfluss auf die Sinterergebnisse aufweisen.
- Ag-Sinterpasten sind im Vergleich zu der getesteten Cu-Sinterpaste für Niedertemperatur Sintern (engl. Low Temperature Joining Technique – LTJT) $T_{\text{Sinter}} < 250\text{ °C}$ besser geeignet.
- Bei der Verwendung dieser Cu-Sinterpaste liegt die empfohlene Sinter Temperatur zwischen 260 °C und 300 °C , wenn ein Sinterdruck von etwa 10 MPa eingestellt ist, um eine hohe Scherfestigkeit von mehr als 60 MPa zu erzielen.

- Die Sinterdauer beim Cu-Drucksintern soll etwa 5 min betragen. In dem betrachteten Parameter-
raum trägt die Erhöhung der Sintertemperatur deutlich effektiver zur Steigerung der Scherfestigkeit
bei als die Erhöhung des Sinterdruckes.
- Für eine Chipfläche von 2,25 x 2,25 mm² konnte beim drucklosen Cu-Sintern demonstriert werden,
dass die Dauer für den gesamten drucklosen Sinterprozess von ursprünglich 92 min auf 18-25 min
reduziert werden kann (z. B. $t_{\text{Ramp-up}}=5$ min, $t_{\text{Sinter}}=5$ min, $t_{\text{Cooling}}=8$ min bei $T_{\text{Sinter}}=260$ °C).
Ähnlich wie beim Cu-Drucksintern erfordert das drucklose Cu-Sintern eine Temperatur zwischen
260 °C und 300 °C.
- Nach einer thermischen Auslagerung einer Cu-Sinterverbindung auf einem DCB-Substrat mit einer
Au-Oberfläche bilden sich am Interface zwischen der Cu-Sinterschicht und dem Substrat Kirkendall
Voids, sodass die Scherfestigkeit nach der thermischen Auslagerung deutlich abnimmt. Empfohlene
Metalloberflächen für das Cu-Sintern sind Cu- und Ni-Oberflächen.

5.1.5 Aufbau der Gate-Treiberschaltung

Nach dem Die-Attach-Prozess sollen die elektronischen Bauteile, die in SMD-Bauform (SMD – Surface Mount Device) vorliegen, auf dem Multilayer-Substrat verlötet werden. Diese Bauelemente sind Zwischenkreiskondensatoren im Leistungskreis und aktive bzw. passive Komponenten der Gate-Treiberschaltung. Das Lotmaterial kann durch das Schablonenducken oder Dispensen aufgetragen bzw. als Lotformteilen (engl. Solder Preform) auf das Substrat platziert werden. Beim Schablonendruck wird die Schablone direkt auf das Substrat platziert. Nach dem Die-Attach-Prozess entstehen zwischen den SiC-Leistungshalbleitern und den Dickfilmschichten im Gate-Treiberschaltkreis Höhenunterschiede, sodass die Schablone nicht flächig auf dem Substrat aufliegen kann (Abbildung 72). Beim Drucken würde die Rakel nicht an jeder Stelle der Schablone gleichmäßig Druck ausüben. Durch das unzureichende Abzugsverhalten können sich Pastenrückstände auf der Schablone bilden. Da die Schablone nicht vollständig auf dem Substrat aufliegt, können die Aperturen nicht abgedichtet werden, sodass Lotpaste in die Schablonenunterseite gelangen kann. Eine ungleichmäßige Auflage der Schablone verursacht dazu ein ungleichmäßiges Druckbild. Dies hat wiederum zur Folge, dass die Qualität und die Zuverlässigkeit der Lotstelle verringert wird [186]. Eine lokale Überhöhung des Lotpastendepots kann in dieser konkreten Anwendung zur Lötbrückenbildung beim Löten des Gate-Treibers führen, da diese als QFN-Bauform (QFN – Quad Flat No Leads) mit geringen Pad-Abständen ausgeführt ist. Durch den Einsatz einer Stufenschablone (engl. 3D Stencil) und die dazu angepassten Fingerrakel (engl. Split Squeegee) können Lotpasten auf unterschiedlichen Ebenen aufgetragen werden [187]. Aufgrund der drei dimensional Struktur der Schablone können die Chipflächen freigestellt und Höhenunterschiede im Substrat ausgeglichen werden. Stufenschablonen sind jedoch aufwendig in der Produktion und daher deutlich kostenintensiver als Standard-Schablonen.

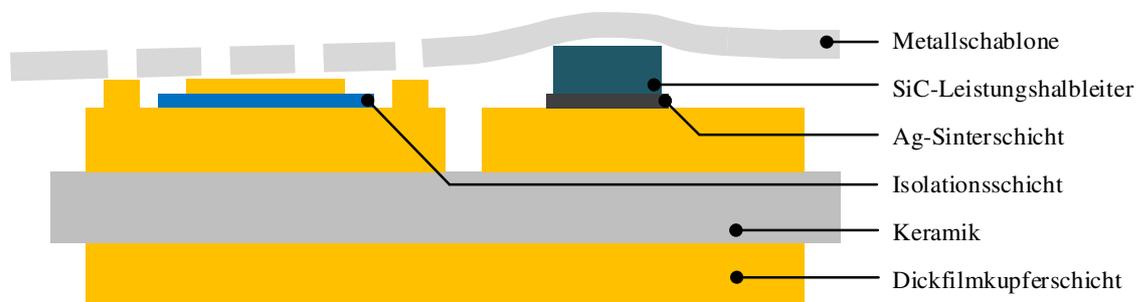


Abbildung 72: Schablonenducken beim Multilayer-Substrat

Beim Dispenserverfahren wird die Lotpaste von einer Dosieranlage in definierten Mengen an den Lötstellen portioniert. Lotformen sind vorgefertigte Lotschichten mit definierten Abmessungen. Diese können in

Form von Rollen (engl. Tape and Reel) gegurtet sein und in einer Serienfertigung von Bestückungsautomaten (engl. Pick and Place Machine) wie ein SMD-Bauelement auf dem Substrat platziert werden. Höhenunterschiede auf dem Substrat können beim Dispensen bzw. Bestücken problemlos überwunden werden. Anschließend werden die bestückten Substrate in einem Reflowprozess verlötet. Diese aufeinander folgenden Prozesse können in einer Fertigungslinie, bestehend aus einer Dispenseranlage, einem Bestückungsautomaten und einer Reflow-Lötanlage, abgebildet werden. Für den Aufbau dieses Prototypmoduls wird das SAC-Lot durch einen manuellen Prozess dosiert und händisch bestückt. Die beiden Gate-Treiber ICs weisen eine sehr kompakte QFN-Bauform auf. Der Abstand zwischen den Anschlüssen beträgt 0,95 mm, sodass die manuelle Dosierung bei dieser Bauform nicht anwendbar ist. Stattdessen werden bei diesem Bauteil die Anschlüsse vorab manuell mit einem LötKolben verzinnt und nach Zugabe von Flussmittel auf das Substrat gesetzt. Die Verlotung der Bauteile erfolgt im Reflowprozess. Die beiden HS- und LS-Gate-Treiberschaltkreis werden über 300 μm starke Aluminiumdickdrahtbondverbindungen mit den Leistungsschaltern verbunden. Die Oberseitenkontaktierung im Leistungskreis wird mit den gleichen Dickdrahtbondverbindungen realisiert.

5.1.6 Anbindung an den Kühlkörper bzw. an die Grundplatte

Nach der Fertigstellung der einzelnen Halbbrückenmodule sollen drei dieser Halbbrückenmodulen zu einem Drehstrombrückenmodul (engl. Sixpack Power Module) verschaltet werden. Zunächst werden diese auf einem Pin-Fin-Kühlkörper bzw. auf einer Grundplatte verlötet (Abbildung 121 im Anhang A 26). Nach aktuellem Stand der Technik werden Lotformteile für das Baseplate-Löten verwendet. Lotformteile haben die Vorteile, dass diese eine definierte Menge von Lotmaterialien und eine homogene Schichtstärke aufweisen. Ein Rahmen wird um die Substrate platziert und somit verhindert, dass die einzelnen Substrate nach dem Aufschmelzen der Lotformteilen aufgrund der Oberflächenspannung des geschmolzenen Lotes in Bewegung geraten. Im Vergleich zu Lotpasten hat ein Lotformteil eine höhere Reinheit, da Pasten bei der Verarbeitung (z. B. beim Schablonendruck) verunreinigt sein können. Eine Reinigung des Leistungsmoduls ist nach dem Lötvorgang nicht erforderlich. Der Void-Anteil ist ebenfalls geringer als beim Löten mit einer Lotpaste, da ein Lotformteil keine oder wenig Flussmittel enthält. Spezielle Lotformteile mit einem integrierten Metallgeflecht verhindern beim Löten eine Verkippung der Substrate und ermöglichen die Erzeugung einer vergleichsweise homogenen Lotschicht und steigern die Zuverlässigkeit der Lotschicht zwischen Substrat und Baseplate bzw. Kühlkörper um mehr als 30 % [188]. Diese speziellen Lotformen müssen auf die Größe des Substrates zugeschnitten werden.

Für den Aufbau dieses Prototypleistungsmoduls wurden aufgrund der geringen Stückzahl keine Lotformteile eingesetzt. Stattdessen wurde eine Lotpaste mittels Schablonendruck direkt auf die Baseplate bzw. den Kühlkörper aufgetragen. Nach dem die Halbbrücken auf den Lotschichten platziert waren, wurden diese mit einer Aluminiumhalterungsschiene fixiert. Der Lötprozess findet in einer Vakuumdampfphasenlötanlage statt. Die Baseplate bzw. der Kühlkörper hat im Vergleich zu den Leistungsmodulen eine sehr hohe thermische Kapazität. Beim Dampfphasenlöten kann diese sehr schnell aufgeheizt werden. Der Lötprozess findet unter Vakuum statt, um Lufteinschlüsse zu minimieren. Abbildung 73 zeigt die SAM-Aufnahme eines verlöteten Sixpack-Leistungsmoduls. Der Void-Anteil beträgt in etwa 2 % bei den am KIT erstellten Prototypmodulen. Im Gegensatz dazu hat ein Lötprozess ohne Vakuum einen Void-Anteil von etwa 17 % zur Folge (Abbildung 122 im Anhang A 26). Nach aktuellem Stand der Technik gibt es keine Norm, die den Lötprozess zwischen dem Substrat und einer Grundplatte definiert. Eine vergleichbare Untersuchung zeigt, dass beim großflächigen Löten der Void-Anteil bei etwa 0,3 % bis 3,1 % liegt [189]. Die IPC-A-610 Norm begrenzt den Void-Anteil von flächigen Lötverbindungen beim Lötprozess von SMD-Bauelementen (z. B. elektronische Komponenten mit einem Thermal-Pad) auf maximal 25 % [190].

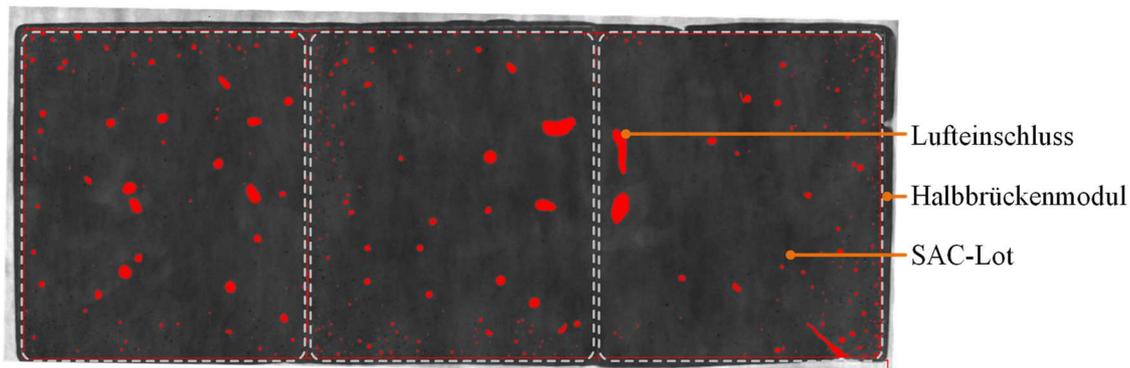


Abbildung 73: SAM-Aufnahme der Lotschicht nach dem Baseplatelöten

Nach dem Lötprozess zwischen dem Substrat und der Grundplatte bzw. dem Kühlkörper werden Dickdrahtbondverbindungen zwischen den Halbbrückenmodulen bzw. zwischen den Anschluss-Pins und den Modulen erstellt (Abbildung 74). Das Sixpack-Leistungsmodul wird manuell elektrisch dahingehend geprüft, ob die Funktionen in der Gate-Treiber-Booster-Schaltung und im Leistungskreis gegeben sind. Abschließend wird das Leistungsmodul mit einem Silikonverguss verkapselt.

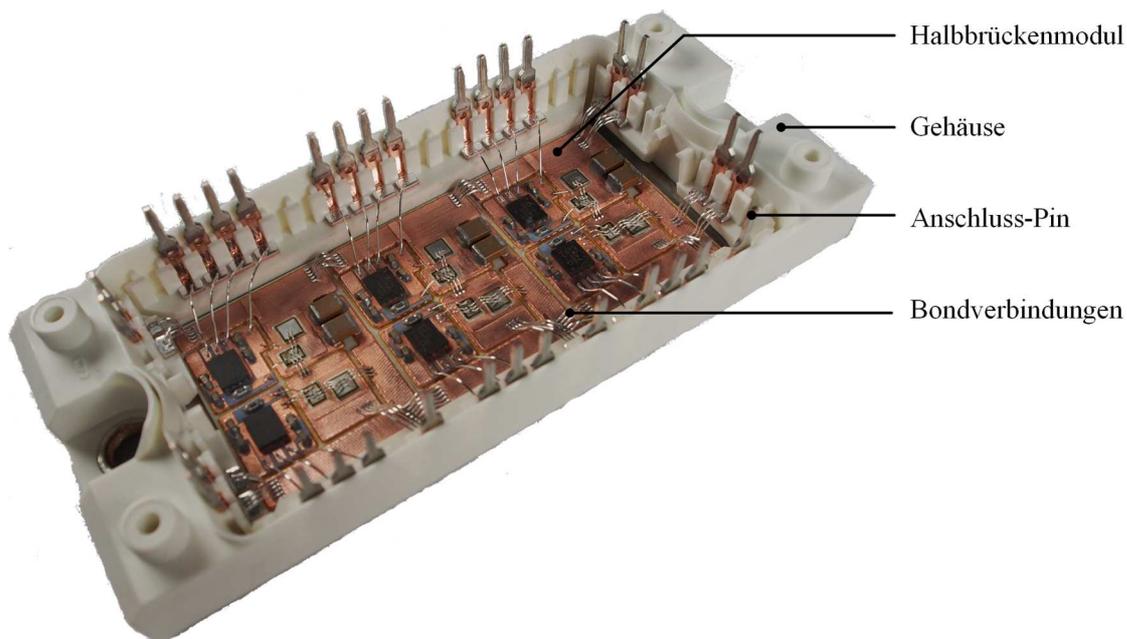


Abbildung 74: Fertig aufgebautes hochintegriertes SiC-Sixpack-Leistungsmodul

5.1.7 Charakterisierung des Dickfilm-Substrates

Für die Analyse der Dickfilmschichten des hochintegrierten SiC-Leistungsmoduls werden Schliffbilder des Dickfilm-Substrates benötigt. Bei der Herstellung der Schliffbilder wird das Halbbrückenmodul zunächst an den gewünschten Stellen in kleine Teilstücke gesägt und die Proben werden in einem Epoxidharzmaterial vergossen. Die Oberfläche der Proben wird anschließend mit einer Poliermaschine glattgeschliffen und poliert, sodass diese unter einem Lichtmikroskop analysiert werden kann. Gemäß Abbildung 75 werden Schichtaufbauten im Leistungskreis direkt unter dem LS-SiC-MOSFET (rot markierte Stelle in B) bzw. im

Die Porosität wirkt sich negativ auf die elektrische und thermische Leitfähigkeit der Kupferschicht aus. Gemäß Herstellerangaben beträgt der Flächenwiderstand von einer eingebrannten Kupferschicht mit einer Stärke von $25 \mu\text{m}$ $R_{\square} < 3 \text{ m}\Omega/\square$. Dieser Wert entspricht etwa dem Flächenwiderstand von Nickel und ist etwa 4,5-mal höher als der Wert von einem Bulk-Kupfermaterial. Bei der Auslegung des Leistungsmoduls im Hinblick auf die thermische Performanz ist es erforderlich, die thermische Leitfähigkeit der eingebrannten Dickfilmkupferschicht zu kennen. Dieser Wert konnte weder durch eine Literaturrecherche noch aus dem Datenblatt ermittelt werden. Daher wurde im Rahmen dieser wissenschaftlichen Untersuchung die Dickfilmkupferschicht thermisch charakterisiert. Zunächst wurden Dickfilmkupferschichten einseitig auf einer $380 \mu\text{m}$ starken Al_2O_3 -Keramik aufgebaut. Die Kupferschicht wurde insgesamt durch drei Druck- und Einbrennvorgänge aufgebaut und erreichte eine finale Stärke von etwa $330 \mu\text{m}$ [163]. Die Kupferschicht delaminierte und konnte manuell von der Keramik gelöst werden.

Üblicherweise wird zur Bestimmung der Temperaturleitfähigkeit von Materialschichten das Laser-Flash-Verfahren (engl. Laser-Flash Analysis – LFA) genutzt (siehe Anhang A 32). Bei einem sehr dünnen und thermisch leitfähigen Material würde sich die Temperaturänderung auf der Rückseite der zu untersuchenden Probe in sehr kurzer Zeitdauer einstellen, sodass die Probe für das Messsystem sich wie eine „transparente“ Schicht verhält. Dies würde sich negativ auf die Messgenauigkeit auswirken. Daher wurde das Messverfahren photothermische Strahlableitung für Charakterisierung der Proben ausgewählt. Mit der Dynamischen Differenz-Kalorimetrie (engl. Differential Scanning Calorimetry – DSC) wird die spezifische thermische Kapazität c_p der Dickfilmkupferschicht ermittelt. Abschließend wird die Dichte ρ der Kupferschicht nach dem Archimedes Prinzip gemessen. Die thermische Leitfähigkeit der Isolationsschicht lässt sich mit nachfolgender Formel berechnen [191]:

$$\lambda(T) = \alpha(T) \cdot c_p(T) \cdot \rho(T) \quad (5.7)$$

Die Messungen lieferten bei Raumtemperatur $RT=25 \text{ }^\circ\text{C}$ folgende Ergebnisse:

- Temperaturleitfähigkeit $\alpha=5,159 \cdot 10^{-5} \text{ m}^2 \cdot \text{s}^{-1}$
- Spezifische Wärmekapazität $c_p=0,3756 \text{ J} \cdot (\text{g} \cdot \text{K})^{-1}$
- Dichte $\rho=7,606 \text{ g} \cdot \text{cm}^{-3}$

Daraus ergibt sich als Ergebnis eine thermische Leitfähigkeit von $147,4 \text{ W} (\text{m} \cdot \text{K})^{-1}$. Dies entspricht in etwa 36 % der thermischen Leitfähigkeit des Bulkmaterials. In [72] wurde empirisch der Zusammenhang zwischen der thermischen Leitfähigkeit und der Porosität einer Ag-Sinterschicht mit der Gleichung (5.8) beschrieben.

$$k_{p,Ag}(p) = 435,17 \cdot e^{-0,033 \cdot p} \quad (5.8)$$

Dabei ist $k_{p,Ag}$ die thermische Leitfähigkeit der porösen Ag-Sinterschicht und p ist die Porosität dieser Schicht in Prozent. Unter der Annahme, dass der Zusammenhang in der Gleichung (5.8) auf Kupfermaterial übertragbar wäre, lässt sich die thermische Leitfähigkeit einer porösen Kupferschicht näherungsweise wie folgt darstellen:

$$k_{p,Cu}(p) = 0,935 \cdot 435,17 \cdot e^{-0,033 \cdot p} = 406,88 \cdot e^{-0,033 \cdot p} \quad (5.9)$$

Da das Verhältnis der thermischen Leitfähigkeit von Kupfer zu Silber 93,5 % beträgt, wird die Gleichung (5.8) mit diesem Faktor verrechnet. Eine Dickfilmkupferschicht mit einer Porosität von 31 % (Messergebnis im Leistungskreis des Dickfilm-Substrates) hätte nach Gleichung (5.9) eine thermische Leitfähigkeit von $146,18 \text{ W} (\text{m} \cdot \text{K})^{-1}$ erzielen können. Die Messung nach der Methode der photothermischen Strahlableitung liefert daher ein plausibles Ergebnis.

5.2 Prototypenherstellung eines Leadframe-DSC-Leistungsmoduls

Das Leadframe-DSC-Leitungsmodul besteht (engl. Double-Sided-Cooling-Leitungsmodul) aus vier IGBTs und Dioden, zwei Kupferstanzgittern, zwei Isolationsfolien sowie aus zwei Pin-Fin-Kühlkörpern. Dieses Leadframe-Leistungsmodul wird beidseitig gekühlt, um die Leistungsdichte des Moduls zu steigern. Für den Aufbau des IGBT-Leadframe-DSC-Leistungsmoduls werden für den HS- und LS-Schalter jeweils zwei IGBTs und zwei pin-Dioden verwendet. Die Leistungshalbleiter-Chips sollen beidseitig mit jeweils einem Kupferstanzgitter kontaktiert werden. Zunächst werden Leistungshalbleiter mittels einer Wende-Montage (engl. Flip-Chip Mounting) auf das obere Leadframe positioniert und verlötet. In einem zweiten Lötprozess wird das untere Leadframe mit der Chipunterseite durch ein Lotverfahren stoffschlüssig verbunden. Der Zwischenraum zwischen dem unteren und dem oberen Leadframe wird mit einem Epoxidmaterial versiegelt, um die Leistungshalbleiter vor Umwelteinflüssen zu schützen. Beide Außenflächen des DSC-Leistungsmoduls sind über eine organische Isolationsfolie mit jeweils einem Pin-Fin-Kühlkörper verbunden (Abbildung 76).

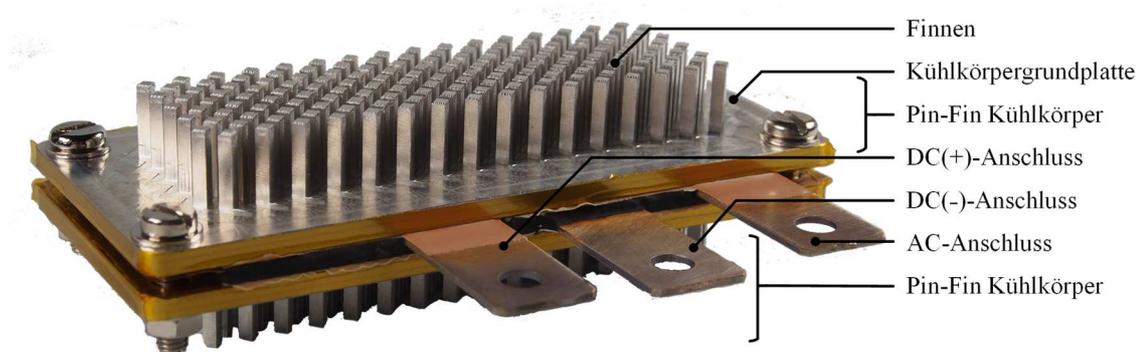


Abbildung 76: Fertig aufgebautes IGBT-Leadframe-DSC-Prototypleistungsmodul

5.2.1 Nachmetallisierung der Si-Leistungshalbleiter

Kommerziell verfügbare Si-Leistungshalbleiter Bare Dies haben in der Regel auf der Unterseite eine löt- und sinterbare Metallisierung. Die Chip-Oberseite ist jedoch mit einer nicht löt- und sinterbaren Aluminiumschicht metallisiert (siehe Abschnitt 2.1.3). Für den Aufbau von beidseitig gekühlten Leistungsmodulen ist es erforderlich, dass die Chip-Oberseite der Leistungshalbleiter in einem Nachmetallisierungsprozess mit einer löt- und sinterbaren Metallschicht versehen wird. Für den Prototypaufbau wurden zunächst kommerziell verfügbare Si-IGBT- und Si-Dioden-Leistungshalbleiter erworben. Diese werden in Form von gesägten Wafern geliefert, da der Halbleiterhersteller die Wafer aufgrund seines internen Produktionsablaufes nicht ungesägt dem KIT zur Verfügung stellen kann. Zunächst wird die Passivierung und die Aluminiummetallisierung auf der Waferoberseite entfernt. Bei einem bereits gesägten Wafer lässt sich der komplette Wafer nicht mehr beschichten. Daher werden die einzelnen Chips von einem Die-Bonder in einem automatisierten Prozess aus dem Wafer ausgestochen, umgedreht und in eine sogenannte Schattenwurfmaske platziert. Diese Schattenwurfmaske ist speziell auf die Größe des Chips ausgelegt und beinhaltet das Design der neuen Metallisierung für die Chip-Oberfläche. Nach dem Bestückungsprozess wird die Schattenwurfmaske durch eine magnetische Halterung verschlossen. Mehrere Schattenwurfmasken werden mit den Chips in einer Hochvakuumbedampfungsanlage platziert. Speziell für den Aufbau dieses Prototyp-Leistungsmoduls werden die Chips, wie in Abbildung 77 dargestellt, mit einem Metallisierungsstapel

bestehend aus Cr/Ni/Ag aufgedampft (PVD-Prozess – engl. Physical Vapour Deposition). Die finale Ag-Schicht ist sowohl löt- als auch sinterbar.

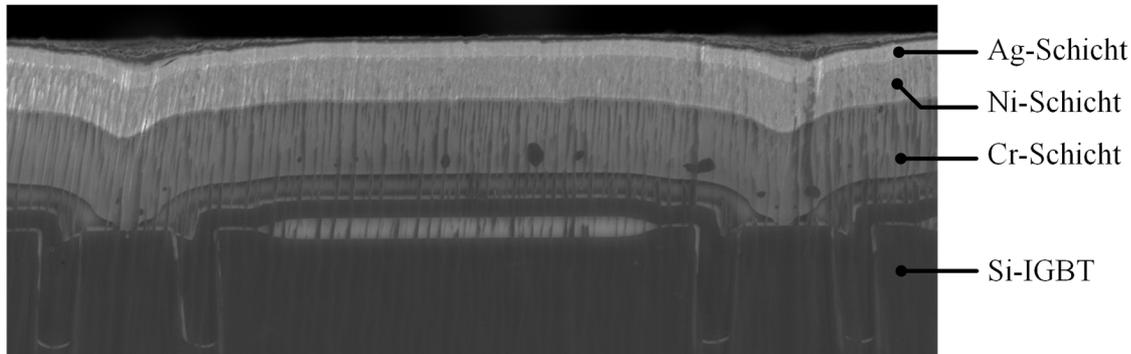


Abbildung 77: REM-Aufnahme eines mit Cr/Ni/Ag nachmetallisierten IGBT-Leistungshalbleiters

Für den Modulaufbau werden Si-Dioden mit einer Chipgröße von $8,7 \times 12,1 \text{ mm}^2$ eingesetzt. Die Größe der Anodenmetallisierung der Diode wird an allen vier Seiten um $0,2 \text{ mm}$ verkleinert, um die Kriechstrecke zwischen Anode und Kathode der Diode auf einen Wert von $797 \text{ }\mu\text{m}$ zu erhöhen. Gemäß der Norm EN 61800-5-1:2007 ist beim Epoxidmaterial eine Kriechstrecke von mindestens $700 \text{ }\mu\text{m}$ erforderlich. Beim Layout des IGBT-Chips wird die Gate-Metallisierungsfläche zum Rand hin um $100 \text{ }\mu\text{m}$ verringert, um die geforderte Kriechstrecke einhalten zu können. Der Abstand zwischen der Gate- und Emitter-Metallisierung wurde um etwa $1,6 \text{ mm}$ vergrößert, um eine größere Toleranz bei der Chipkontaktierung zu erlauben.

5.2.2 Herstellung der Kupferstanzgitter

In Abbildung 78 ist im linken Bild das untere Kupferstanzgitter abgebildet. Dieses besteht aus zwei Kupferinselflächen, das jeweils mit dem Kollektor der IGBTs und mit der Kathode der Dioden kontaktiert ist. Auf der DC- Kupferfläche ist ein streifenförmiges Plateau zu finden, das als Kontaktierung zum zweiten Kupferstanzgitter fungiert.

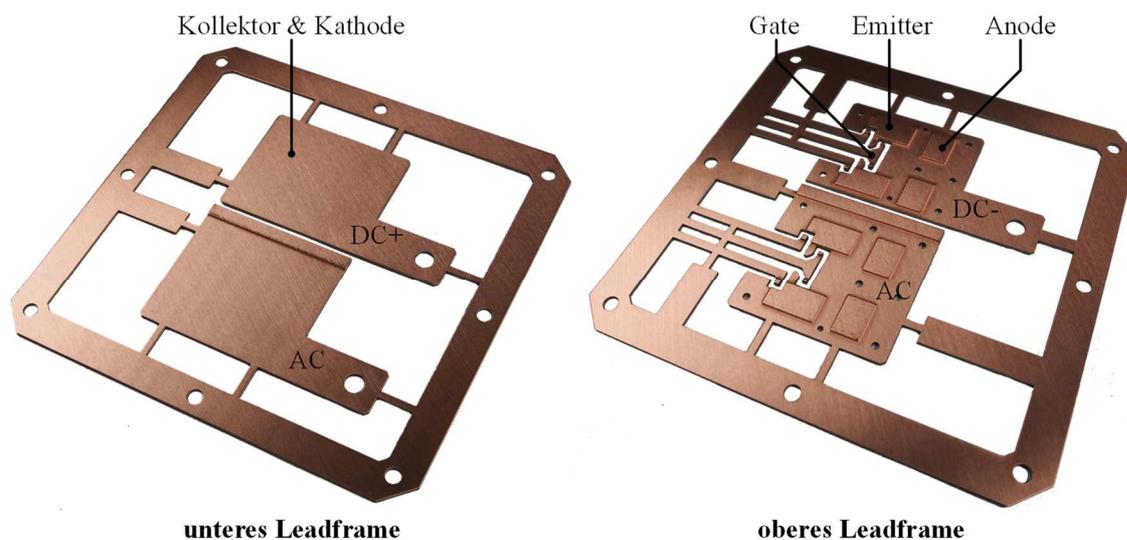


Abbildung 78: Herstellung der oberen und unteren Leadframes durch Anätzen und Laserschneiden aus einem $1,5 \text{ mm}$ starkem Kupferblech

Das obere Kupferstanzgitter, das mit den Gate- und Emitter-Anschlüssen der IGBTs bzw. mit den Anoden-Anschlüssen der Dioden verbunden ist, hat an den Kontaktstellen plateauartige Erhebungen (Abbildung 78, rechtes Bild). Die Erhebungen fungieren als Abstandshalter (engl. Spacer) im DSC-Leistungsmodul. Die Kupferstanzgitter wurden von einem externen Dienstleister gefertigt. Diese bestehen aus 1,5 mm starkem Kupferblech. Es handelt sich um Cu-OF mit folgenden Eigenschaften [192]:

- Hochreines Material mit mindestens 99,95 % Kupferanteil
- Sauerstoffarmes Kupfermaterial mit maximal 0,001 % O₂-Anteil
- Sehr hohe elektrische und thermische Leitfähigkeit
- Sehr gute Benetzbarkeit beim Löten

Für diese Kupfersorte Cu-OF besteht eine garantierte elektrische Leitfähigkeit von $>58 \text{ MS m}^{-1}$ nach der Norm DIN EN 1652. Nach dem International Annealed Copper Standard (IACS) wird dieser Wert als eine relative elektrische Leitfähigkeit von 100 % definiert [193]. Das Kupferblech für das untere Leadframe wurde zunächst gemäß Vorgabe um 0,18 mm angeätzt, um den Kontaktierungsstreifen zu bilden. Beim Kupferblech des oberen Kupferstanzgitters wurden 0,5 mm Kupfermaterial durch ein Anätzverfahren abgetragen, um die Erhebungen und Kontaktierungsstreifen für die Chipkontaktierung bzw. Kontaktierung zwischen den beiden Kupferstanzgittern zu erzeugen. Die Kupferflächen des unteren Kupferstanzgitters sollen somit eine Stärke von 1,32 mm aufweisen, während die restlichen Flächen des oberen Kupferstanzgitters 1 mm stark sein sollen. Die Fertigungstoleranz beim Ätzen der Strukturen beträgt etwa 5 %. Nach dem Ätzprozess wurden die Kupferbleche gemäß den vorgegebenen Layouts lasergeschnitten. Diese Kombination aus Ätz- und Laserschneidprozess ist sehr aufwendig und wird daher ausschließlich für sehr geringe Stückzahlen beim Aufbau von Prototypen verwendet. Bei einer Serienproduktion kann dieses Kupferstanzgitter durch Fließpressen und anschließendes Stanzen hergestellt werden. Abbildung 79 zeigt, dass die Kupferstanzgitter eine vergleichsweise starke Verbiegung (engl. Warpage) aufweisen. Diese Verbiegungen sind von Leadframe zu Leadframe unterschiedlich stark ausgeprägt und können bis etwa 1,6 mm betragen über die Gesamtabmessung des Kupferstanzgitters von etwa 125 mm. Das Kupfermaterial liegt vor der Verarbeitung als Bandmaterial vor, sodass dieses zunächst maschinell begradigt werden muss. Vermutlich konnte bei diesem Begradigungsprozess das Kupfermaterial nicht vollständig eben gebogen werden. Das Kupferstanzgitter wird durch einen Laserschneidprozess aus dem Kupferband geschnitten. Dieser Prozess kann an den Schnittstellen thermomechanische Spannungen hervorrufen, die zur Verbiegung des Kupferstanzgitters führen. Zu starke Verbiegungen verursachen Schwierigkeiten beim Modulaufbau. Die vorgesehene Luftstrecke zwischen dem oberen und dem unteren Kupferstanzgitter, die die Spannungspotentiale DC+ und DC- darstellen, kann jedoch nicht eingehalten werden. Das Leistungsmodul könnte in diesem Fall die erforderliche Spannungsfestigkeit nicht mehr garantieren oder sogar einen elektrischen Kurzschluss verursachen, wenn beide Kupferstanzgitter sich berühren. Die Verbiegung erschwert den darauffolgenden Die-Attach-Prozess und den Kontaktierungsprozess, da die Stärke der Die-Attach-Schichten innerhalb des Leistungsmoduls unterschiedlich stark sein muss.

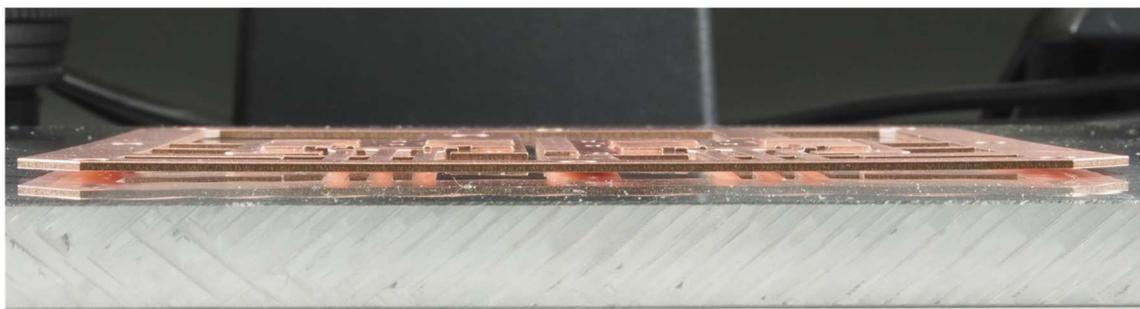


Abbildung 79: Oberes Leadframe mit einer Krümmung von etwa 1,6 mm vor der Begradigung

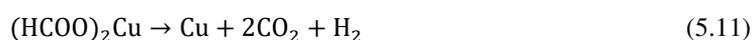
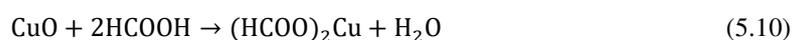
Die Kupferstanzgitter werden in einer Presse unter Druck und bei einer Temperatur von 250 °C über eine Dauer von 1 h im Vakuum getempert. Anschließend soll das Material langsam wieder auf Raumtemperatur gekühlt werden. Bei einer Wärmebehandlung in Luft bzw. sauerstoffhaltiger Atmosphäre kann das sauerstoffarme Cu-OF wieder O₂ aufnehmen. Durch diese Wärmebehandlung sollen Versetzungen im Kupfermaterial abgebaut werden, um eine Entspannung des Materials zu erzielen. Gemäß [194] wird eine Wärmebehandlung des Kupfermaterials zwischen 150 °C und 250 °C für 1 h empfohlen. Allerdings konnte das Kupferstanzgitter durch das Tempern nicht vollständig geebnet werden. Daher werden vor dem Modulaufbau alle Leadframes durch gezielte Gegenbiegebewegungen manuell begradigt.

5.2.3 Lötprozess beim DSC-Leistungsmodul

Die Chips werden durch Lötprozesse mit den Kupferstanzgittern verbunden. Zunächst wird eine 80 µm dicke SAC-Lotschicht auf die plateauförmigen Erhebungen des oberen Kupferstanzgitters (Abbildung 78 rechts) mittels eines Schablonendruckverfahrens aufgetragen (Bild 1 im Anhang A 28). Bei der Bestückung werden die IGBT- und die Dioden-Chips manuell aus der Waferfolie gelöst, gewendet und in einem Waffle-Pack zwischengelagert. In einem Die-Bonder werden die Chips durch einen am Bond-Kopf eingesetzten Bond-Werkzeug (engl. Bond Tool) aufgenommen und an den vorprogrammierten Stellen platziert (Bild 2 im Anhang A 28). Der Die-Bonder weist eine Positioniergenauigkeit von 20 µm auf. Das Leadframe wird mit den Chips in einer Vakuumlötanlage verlötet. Die gesamte Lötprozessdauer beträgt 22 Minuten (Abbildung 124 im Anhang A 29). Zu Beginn wird das Leadframe auf einer definierten Initialtemperatur von 50 °C erwärmt. Dabei wird zweimal abwechselnd ein Vakuum in der Kammer des Lötovens erzeugt und diese wieder mit Stickstoff geflutet. Die Sauerstoffkonzentration im Ofen soll auf ein Minimum reduziert werden, um Oxidationen an der Kupferoberfläche bei höheren Temperaturen zu vermeiden. Das Leadframe wird auf eine Solltemperatur von 170 °C erwärmt und für eine Dauer von 4 min gehalten. Die Temperatur des Kupferstanzgitters steigt verzögert auf etwa 160 °C. Im nächsten Schritt wird das Leadframe weiter auf eine Solltemperatur von 240 °C erhitzt. Für den Aufbau des DSC-Leistungsmoduls wurde ein Standard-SAC-Lot verwendet. Das in der Lotpaste enthaltene Flussmittel reduziert die Oxidschicht an der Kupferoberfläche unterhalb der Lotpaste und das Zinnoxid im Lotmaterial. Das Flussmittel fördert die Benetzung der Kupferoberfläche durch das Lotmaterial und schützt die Oberflächen vor erneuten Oxidationen während des gesamten Lötvorganges. Hinzu kommt, dass das Flussmittel als wärmeleitendes Medium zwischen dem Leadframe und dem Lotmaterial fungiert [195]. In Automotive-Anwendungen werden sehr hohe Anforderungen an die Zuverlässigkeit der Lötverbindung gestellt. In der Praxis wird Flussmittel mit einer geringen Aktivität eingesetzt, da Flussmittelrückstände mit einer starken Aktivierung die Korrosion der Kupferoberfläche fördern und daher nach dem Lötprozess rückstandslos entfernt werden müssen. In diesem Anwendungsfall wurde ein SAC-Lot mit einem auf Harz-Material basierten Flussmittel mit einem geringen Aktivierungslevel L0 eingesetzt („ROL0“ – engl. Rosin L0). Wenn das Leadframe die Liquidustemperatur erreicht, schmilzt das Lot. Die Liquidustemperatur wird für eine Dauer von 4 min gehalten, dabei verdampft in der Lotschicht das Flussmittel und bildet dadurch Voids. In diesem Lötprozess wird zugleich ein Vakuum gezogen, um diese Voids aus der Lötchicht zu lösen. Schließlich werden die Heizstrahler abgeschaltet und die Kammer mit Stickstoff geflutet um das Leadframe herunterzukühlen. Beim zweiten Lötprozess soll das untere Leadframe (Abbildung 78 links) mit der Unterseite der Leistungshalbleiter stoffschlüssig verbunden werden. Zuerst wird eine 80 µm starke Lotschicht mittels Schablonendruckverfahren auf die Kupferinseln aufgetragen. Anschließend wird in einem weiteren Druckprozess ein Lotstreifen auf den Kontaktierungsstreifen gedruckt (Bild 5 im Anhang A 28). Das untere Leadframe wird auf eine Justiereinrichtung platziert. Diese besteht aus einer Aluminiumplatte mit Bohrungen für Passstifte, um beide Kupferstanzgitter zu fixieren und in der xy-Ebene auszurichten. Das obere Leadframe mit den verlöteten Leistungshalbleitern wird auf die Lotpaste gesetzt. Zusätzliche Kupferplatten werden auf diesem Aufbau platziert, um beide Leadframes in z-Richtung zu fixieren (Bild 6 im Anhang A 28). Beide Kupferstanzgitter werden mit der

Justiereinrichtung in die Lötchamber gelegt. Aufgrund der zusätzlichen thermischen Masse der Justiereinrichtung muss das Lötprofil angepasst und die Prozessdauer verlängert werden (siehe Abbildung 125 im Anhang A 29).

In einer industriellen Fertigung wird die Lotpaste durch Lotformteile ersetzt, die in der Regel keine Flussmittel beinhalten. Stattdessen wird bei einer Prozesstemperatur von $>150\text{ °C}$ Stickstoff mit Ameisensäure (HCOOH) angereichert und in die Ofenkammer geleitet, um die Oberflächenbeläge des Kupferstanzgitters zu entfernen. Dies geschieht chemisch betrachtet in einem zweistufigen Prozess. Zunächst bildet sich bei 150 °C aus dem Kupferoxid und aus der Ameisensäure ein Kupferformiat gemäß Reaktionsgleichung (5.10). Ab einer Temperatur von 200 °C wird das Kupferformiat gemäß Reaktionsgleichung (5.11) komplett zersetzt [195]. Durch den Einsatz von Lotformen können die Chips mit den beiden Leadframes im einem Prozessschritt verlötet werden.



5.2.4 Qualitätsüberprüfung der Lötstellen

Nach den jeweiligen Lötprozessen werden alle Lötstellen mittels einer Röntgenanalyse untersucht. Das Auflösungsvermögen von konventionellen Röntgenanlagen für die automatisierte Röntgeninspektion (AXI – Automatic X-ray Inspection) in der Elektronikfertigung beträgt in etwa $4\text{ }\mu\text{m}$ bis $5\text{ }\mu\text{m}$. Große Lunker, die eine Auswirkung auf die Qualität der Verbindungsschichten haben, können mit dieser Methode detektiert werden.

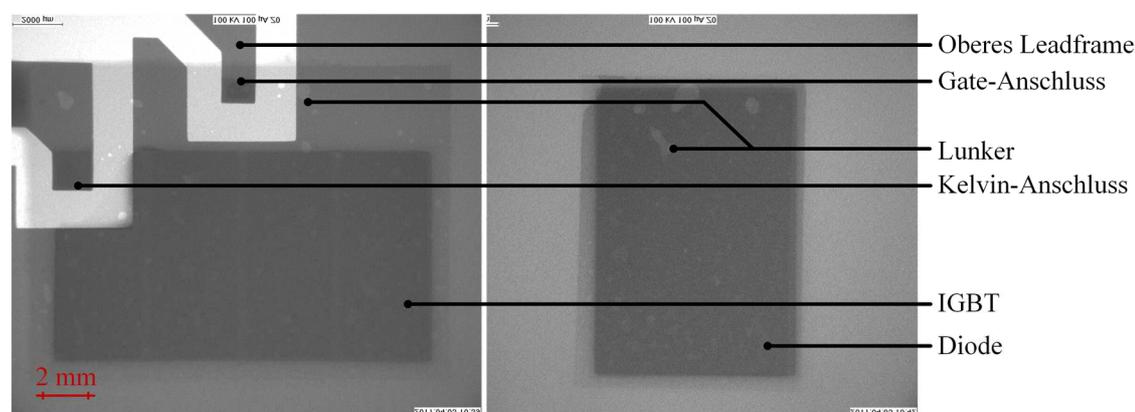


Abbildung 80: Röntgenaufnahme nach dem ersten und dem zweiten Lötprozess bei einem Leadframe-DSC-Leistungsmodul mit wenig Warpage in den Kupferstanzgittern und Lötverbindungen mit ausreichend guter Qualität

Bei der Röntgeninspektion werden zunächst die Lötstellen des ersten Lötprozesses geprüft. Es soll sichergestellt werden, dass die Hilfsemittler- (Kelvin-) und die Gate-Anschlüsse mit dem IGBT verlötet sind. Der Kelvin-Anschluss sollte keinen direkten Kontakt mit der Kupferfläche des Emitter-Anschlusses aufweisen. Die Emitter-Kontaktflächen sollen möglichst flächig und frei von Luftporen mit den Erhebungen des oberen Kupferstanzgitters verbunden sein. Die Röntgeninspektion nach dem ersten Lötprozess stellt ein Zwischenergebnis des Lötprozesses dar. Es besteht die Möglichkeit, fehlerhaft gelötete Exemplare auszusortieren. Während des zweiten Lötprozesses wird die Lotschicht zwischen dem oberen Leadframe und dem Leistungshalbleiter wieder aufgeschmolzen, sodass die Leistungshalbleiter eine andere Position annehmen können. Daher müssen sämtliche Lötstellen erneut überprüft werden. Die Anbindung zwischen der Chipunterseite und dem unteren Leadframe ist insbesondere wichtig, da über die Chip-unterseite etwa zwei

Drittel der Wärme im Chip abgeführt wird. Diese Lotschicht an der Chipunterseite sollte daher vollflächig und mit möglichst wenig Luft einschließen verlötet sein. Die Röntgenaufnahmen zeigen, dass der Grad der Verbiegung des oberen und des unteren Kupferstanzgitters die Lötresultate stark beeinflusst. Abbildung 80 zeigt das Lötresultat bei einem Leadframe-DSC-Leistungsmodul mit relativ ebenen Kupferstanzgittern. Die Lötstellen am Gate-, Kelvin- und Emitter-Kontakt des IGBTs sowie an der Anode der Diode sind vollflächig an das obere Leadframe angebunden und weisen einen sehr geringen Lunkeranteil auf. Der zweite Lötprozess ist ebenfalls erfolgreich verlaufen, da die Chipunterseiten vollflächig und nahezu lunkerfrei verlötet sind. Beim zweiten Leadframe-DSC-Leistungsmodul verlief der erste Lötprozess ebenfalls erfolgreich.

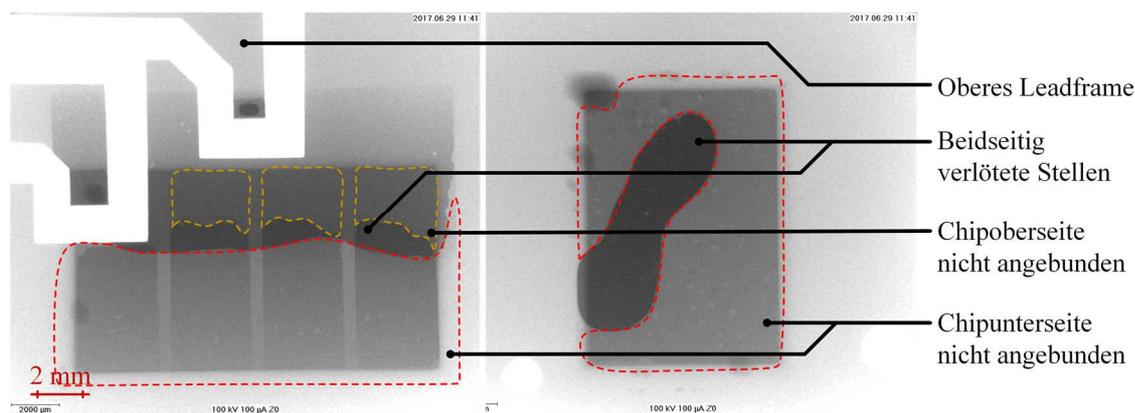


Abbildung 81: Röntgenaufnahme nach dem ersten und dem zweiten Lötprozess bei einem Leadframe-DSC-Leistungsmodul mit starken Verbiegungen in den Kupferstanzgittern im Leadframe und Lötverbindungen mit einer unzureichenden Qualität

Allerdings zeigen die Lötresultate in Abbildung 81 nach dem zweiten Lötprozess, dass sich bei allen Chips Lunker sowohl auf der Chip-Oberseite als auch auf der Chipunterseite bilden. Wie in Abbildung 126 und in Abbildung 127 im Anhang A 30 dargestellt, werden die Höhenprofile beider Leadframe-DSC-Leistungsmodul mit einem Laser-Scanner entlang einer Linie parallel zu den Gate-Kontakten erfasst, um den Grad der Verbiegung zu quantifizieren. Das Leadframe-DSC-Leistungsmodul mit dem Lötresultat in Abbildung 80 weist einen Warpage von etwa 110 μm in Bezug auf eine Abtaststrecke mit einer Länge von 90 mm auf. Die Verbiegung beim zweiten Leadframe-DSC-Leistungsmodul über die gleiche Abtaststrecke beträgt in etwa 260 μm . Die Vermessungen zeigen ebenso, dass nicht bei jedem Leadframe-DSC-Leistungsmodul die Verbiegung über die gesamte Abtaststrecke gleichmäßig verteilt ist.

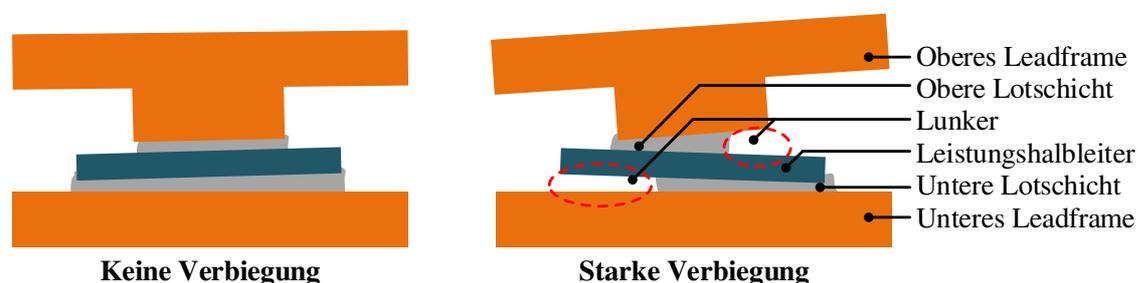


Abbildung 82: Vergleich der Lötresultate in Abhängigkeit der Verbiegung der oberen und unteren Kupferstanzgitter

Das Höhenprofil entlang der Abtaststrecke lässt sich als eine stückweise lineare Strecke vereinfachen, um die Verbiegungen auswerten zu können (Abbildung 128 im Anhang A 30). Das Leadframe-DSC-Leistungsmodul mit einem guten Lötresultat, wie in Abbildung 80 dargestellt, weist Steigungen an der Verbiegungsstelle zwischen 3 $\mu\text{m mm}^{-1}$ und 5,5 $\mu\text{m mm}^{-1}$ auf. Der im Leadframe-DSC-Leistungsmodul verbaute

IGBT hat eine Abmessung von 12,1 mm in Richtung der Abtaststrecke des Laser-Scanners. Aus der Steigung der Verbiegung am IGBT ergibt sich eine geschätzte Verbiegung des Kupferstanzgitters von $66,56 \mu\text{m}$ über die Chiplänge. Beide Lötsschichten im Leadframe-DSC-Leistungsmodul weisen insgesamt eine Stärke von etwa $100 \mu\text{m}$ auf, sodass diese Verbiegung ausgeglichen werden kann (Abbildung 82 links). Im Vergleich dazu beträgt die Verbiegung beim zweiten DSC-Modul zwischen $7 \mu\text{m mm}^{-1}$ und $10 \mu\text{m mm}^{-1}$. Die geschätzte Verbiegung am IGBT beträgt somit $121 \mu\text{m}$. Die starke Verbiegung am Leadframe hat zur Folge, dass beim IGBT etwa die Hälfte der Fläche und bei der Diode etwa zwei Drittel der Fläche auf der Chipunterseite nicht stoffschlüssig angebunden werden konnte. Beim IGBT sind sogar Lunken auf der Chipunterseite sichtbar (Abbildung 81 und Abbildung 82 rechts).

5.2.5 Verkapselung des Leadframe-DSC-Leistungsmoduls

Leadframe-Leistungsmodule und diskrete Leistungshalbleiter werden in der Regel mit dem Resin-Transfer-Molding-Prozess verkapselt (siehe Abschnitt 2.5.2). Für den hochautomatisierten RTM-Prozess wird eine teure Molding-Anlage und eine spezielle Molding-Form benötigt. Im Rahmen dieser wissenschaftlichen Arbeit soll untersucht werden, inwiefern Dam&Fill Materialien als eine alternative Möglichkeit für die Verkapselung von Leadframe-Leistungsmodulen eingesetzt werden können.

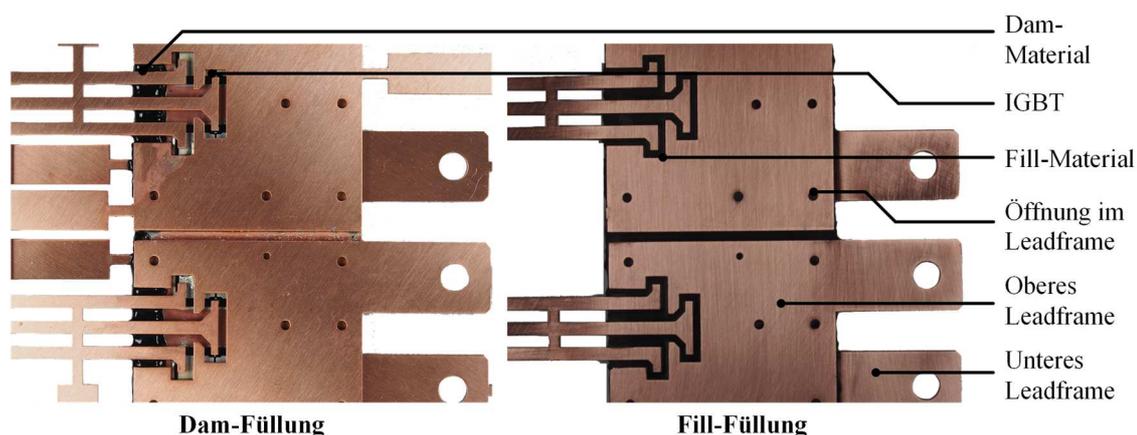


Abbildung 83: Auftrag des Dam-Materials an den Randstellen des Kupferstanzgitters (links) und Füllen der Zwischenräume mit dem Fill-Material (rechts)

Im Rahmen der Prototypenfertigung soll das Leadframe-DSC-Leistungsmodul mit einem Dam&Fill Material in einem manuellen Prozess verkapselt werden. Es handelt sich um ein Vergussmaterial auf Epoxidbasis. Zunächst wird das hochviskose Dam-Material an den Randstellen um das Leadframe-DSC-Leistungsmodul mit einem Dispenser aufgetragen (Abbildung 83 links) und anschließend im Ofen bei $150 \text{ }^\circ\text{C}$ ausgehärtet. Anschließend wird der Zwischenraum im Leadframe-DSC-Leistungsmodul mit einem niederviskosen Fill-Material über die Öffnungen im Kupferstanzgitter mit einem Dispenser aufgefüllt (Abbildung 83 rechts). Das Dam-Material dichtet das Leadframe-DSC-Leistungsmodul ab und hält dabei das Fill-Material zusammen. Der Füllvorgang mit dem Fill-Material beginnt an einer beliebigen Ecköffnung des Leadframe-DSC-Leistungsmoduls. Die Dosiergeschwindigkeit sollte gering gehalten werden, sodass das Fill-Material langsam in alle Richtungen im Leistungsmodul verlaufen kann. Das Leadframe-DSC-Leistungsmodul wird dabei auf einer Heizplatte auf einer konstanten Temperatur von $50 \text{ }^\circ\text{C}$ gehalten, um die Viskosität des Fill-Materials gering zu halten. Ist eine Öffnung vollgefüllt, wird die Dosierung an der nächsten Öffnung fortgesetzt, bis das Leadframe-DSC-Leistungsmodul komplett gefüllt ist. Anschließend wird das Leadframe-DSC-Leistungsmodul erneut in einem Ofen bei $150 \text{ }^\circ\text{C}$ ausgehärtet. Diese Verkapselung schützt die Leistungshalbleiter vor äußeren Umwelteinflüssen. Bei einem Leadframe-DSC-Leistungsmodul

fungiert die Verkapselung als ein wesentlicher Teil des Modulgehäuses und verstärkt die Steifigkeit sowie die Druckfestigkeit des Leistungsmoduls. Diese Druckfestigkeit ist erforderlich für den darauffolgenden Laminationsprozess, um das Leadframe-DSC-Leistungsmodul mit den Pin-Fin-Kühlkörpern zu verbinden. Nach dem Verkapselungsprozess können die umlaufenden Kupferrahmen durch Trennung der Verbindungsstege vom DSC-Modul getrennt werden. Durch den Aushärtungsprozess im Ofen sind die Kupferoberflächen oxidiert, sodass diese vor dem Laminieren in einem warmen Zitronensäurebad zunächst gereinigt werden müssen.

5.2.6 Lamination der Isolationsfolie

Evaluierung von Isolationsfolien

Für den Aufbau des Leadframe-DSC-Leistungsmoduls wird eine thermisch leitende und elektrisch isolierende Folie auf Basis eines Epoxidmaterials eingesetzt. Das Leadframe-DSC-Leistungsmodul soll beidseitig an jeweils einen Pin-Fin-Kühlkörper durch einen Laminationsprozess angebunden werden. In dieser wissenschaftlichen Arbeit wurden zwei organische Isolationsfolien von unterschiedlichen Herstellern evaluiert. Beide Isolationsfolien befanden sich noch in der Entwicklungsphase und standen als Testmuster (engl. Engineering Samples) zur Verfügung. In Tabelle 18 sind die Eigenschaften der beiden Isolationsfolien gemäß Herstellerangaben zusammengefasst.

Tabelle 18: Eigenschaften der evaluierten Isolationsfolie A und Isolationsfolie B

Eigenschaften	Einheit	Isolationsfolie A	Isolationsfolie B
Stärke	[μm]	210	100
Thermische Leitfähigkeit	[$\text{W (m}\cdot\text{K)}^{-1}$]	8 – 11	3,2
Glasübergangstemperatur	[$^{\circ}\text{C}$]	195	210
Elektrische Spannungsfestigkeit	[kV]	10	4,6
Thermischer Ausdehnungskoeffizient (xy-Ebene)	[ppm K^{-1}]	16	13
Lagerungstemperatur	[$^{\circ}\text{C}$]	-40	-20

Die Isolationsfolie A wird bei etwa -40°C Gefriertemperatur gelagert und vor der Verarbeitung bei Zimmertemperatur oder mittels einer Heizplatte langsam aufgetaut. Dabei wird die Temperatur der Heizplatte auf 40°C begrenzt. Die Isolationsfolie B darf gemäß Herstellerangabe bei einer Gefriertemperatur von -20°C gelagert werden. Vor der Verarbeitung soll allerdings die Isolationsfolie bei einer Kühlschrantemperatur von etwa 5°C über eine Dauer von 12 h aufgetaut werden. Die Isolationsfolie wird anschließend in die erforderliche Größe und Form ausgeschnitten. Diese ist beidseitig durch jeweils eine Deckfolie geschützt, die vor dem Laminationsprozess entfernt werden muss. Bei der Evaluierung der Isolationsfolien wird die Folie zwischen zwei Kupferstanzgittern mit einer Stärke von $300\ \mu\text{m}$ laminiert. Dabei ist zu beachten, dass die zu laminierenden Flächen frei von Staub, Oxidation und organischen Substanzen wie z. B. Fett sind, um eine gute Anbindung zu erzielen. Es werden Testmuster aus Kupferstanzgittern in unterschiedlichen Größen und Formaten hergestellt. Der konkrete Aufbau der einzelnen Muster wird in Abschnitt 5.2.7 beschrieben. Gemäß der Empfehlung der Hersteller der Isolationsfolien wird die Isolationsfolie zunächst mit einem Rollenlaminator temporär an einem Kupferstanzgitter angebunden (Abbildung 129 im Anhang A 31). Dabei werden Temperaturen zwischen 80°C und 100°C und ein Druck von etwa $0,5\ \text{MPa}$ auf die Isolationsfolie appliziert. Anschließend wird die Isolationsschicht in einer Vakuumpresse bei einem Luftdruck von $<13\ \text{mbar}$ unter Wirkung von Druck und Temperatur geliert (Abbildung 130 im Anhang A 31). Der Gelierungsprozess erfordert in Abhängigkeit des Epoxidmaterials der Isolationsfolie unterschiedliche Temperaturen. Bei der Isolationsfolie A wird eine Temperatur $\leq 160^{\circ}\text{C}$ für eine Dauer von 30 min empfohlen. Bei der Isolationsfolie B findet der Gelierungsprozess bereits bei etwa 130°C statt und benötigt eine Zeitspanne von etwa 10 min. Für eine optimale Anbindung ist bei der Isolationsfolie A

ein Druck von ≤ 15 MPa bzw. bei der Isolationsfolie B ein Druck von etwa 4 MPa erforderlich. Das Epoxidmaterial in den Isolationsfolien muss anschließend noch ausgehärtet werden bei einer Temperatur 190 °C (Isolationsfolie A) bzw. bei 175 °C (Isolationsfolie B).

Bei der Evaluierung der Isolationsfolien konnte festgestellt werden, dass bei der temporären Anbindung der Isolationsfolie mit einem Rollenlaminator Luft einschüsse zwischen der Isolationsfolie und dem Kupferstanzgitter entstehen können. Der Laminationsprozess kann optimiert werden, wenn diese temporäre Anbindung ebenfalls in einer Vakuumpresse durchgeführt wird. Durch das Ziehen des Vakuums können von Beginn des Laminationsprozesses an Luft einschüsse vermieden werden. Da der gesamte Laminierungsprozess ausschließlich in der Vakuumpresse durchgeführt wird, wird der gesamte Prozess vereinfacht. Die laminierten Proben zeigen, dass die laminierte Verbindung bei der Isolationsfolie A eine ausreichend hohe Isolationsfestigkeit und eine gute thermische Leitfähigkeit aufweist (siehe Abschnitt 5.2.7). Beim Laminieren mit der Isolationsfolie A konnte die Gelierungsdauer von ursprünglich 30 min auf 6 min reduziert werden. Die Testmuster mit der Isolationsfolie B zeigen, dass ein großer Teil des Epoxidmaterials der Isolationsfolie während der Gelierungsphase durch den auf die Probe wirkenden Druck über den Rand der Kupferstanzgitter herausgedrückt worden ist (Abbildung 131 im Anhang A 31). Eine Reduzierung des Druckes während der Gelierungsphase und der Aushärtungsphase bringt ebenfalls keine Veränderung. Eine Hochspannungsmessung wie in Abschnitt 5.2.7 zeigt, dass die Isolationsfolie eine sehr geringe Spannungsfestigkeit von etwa 450 V aufweist. Durch das Zerfließen des Isolationsmaterials verringert sich der Abstand zwischen den Kupferschichten und reduziert daher die Spannungsfestigkeit. Mit Ausnahme der Materialcharakterisierung wird die Isolationsfolie B in weiteren Untersuchungen aus der Betrachtung herausgenommen. Tabelle 19 fasst die Standard-Laminationsparameter zusammen, die für den weiteren Modulaufbau verwendet werden (siehe Abbildung 132 im Anhang A 31).

Tabelle 19: Standard-Laminationsprozessparametersätze für Isolationsfolie A und Isolationsfolie B

	Parameter	Einheit	Isolationsfolie A	Isolationsfolie B
Temporäre Anbindung	Druck	[MPa]	1	1
	Vakuum	[mBar]	-999	-999
	Temperatur	[°C]	90	60
	Dauer	[min]	2	5
Druckverbindung	Druck	[MPa]	20	2
	Vakuum	[mBar]	-999	-999
	Temperatur	[°C]	180	135
	Dauer	[min]	6	10
	Aufheizrate	[K min ⁻¹]	6	6
Aushärtung	Druck	[MPa]	20	2
	Vakuum	[mBar]	-999	-999
	Temperatur	[°C]	190	175
	Dauer	[min]	120	90
	Aufheizrate	[K min ⁻¹]	5	2,7
	Kühlungsrate	[K min ⁻¹]	-3,75	-3,9

Anbindung des Leadframe-DSC-Leistungsmoduls an den Pin-Fin-Kühlkörper

Beide Pin-Fin-Kühlkörper werden durch einen Laminationsprozess mit dem Leadframe-DSC-Leistungsmodul verbunden. Für diesen Laminationsprozess ist ein spezielles Justierwerkzeug entwickelt worden. Dieses besteht hauptsächlich aus zwei Aluminiumplatten mit Bohrungen an definierten Stellen. In diese Bohrungen werden Passstifte gesteckt, die die beiden Pin-Fin-Kühlkörper auf das Leadframe-DSC-Leistungsmodul ausrichten. Zunächst werden zwei 500 µm starke Teflonfolien zwischen der Aluminiumplatte und dem Pin-Fin-Kühlkörper platziert, um geringe Höhenunterschiede ausgleichen zu können. Zwischen

der Grundfläche des Pin-Fin-Kühlkörpers und des Leadframe-DSC-Leistungsmoduls wird jeweils eine Isolationsfolie positioniert. Der gesamte Aufbau wird in einer Vakuumpresse platziert und das Leadframe-DSC-Leistungsmodul wird gemäß dem Standard-Laminationsparametersatz in Tabelle 19 auf die Pin-Fin-Kühlkörper laminiert.

5.2.7 Charakterisierung der Isolationsfolie

Gemäß Herstellerangaben sind diese Isolationsfolien mit thermisch leitfähigen Partikeln gefüllt, um die thermische Leitfähigkeit der Folie zu steigern. Mithilfe der thermischen Charakterisierung soll die thermische Leitfähigkeit der Isolationsfolie nach dem Laminationsprozess bestimmt werden. Mittels der Mikroanalyse soll zum einen ermittelt werden, welche Materialien als Füllpartikel in den unterschiedlichen Isolationsfolien eingesetzt wurden, und zum anderen, wie die Isolationsfolie an der Kupferschicht angebunden ist. Durch einen Hochspannungstest soll geprüft werden, welche Isolationsfestigkeit die unterschiedlichen Isolationsfolien nach dem Laminationsprozess aufweisen.

Thermische Charakterisierung der Isolationsfolie mit der Laser-Flash-Analyse

Ziel dieser thermischen Charakterisierung ist die Bestimmung der thermischen Leitfähigkeit der Isolationsfolie nach dem Laminationsprozess. Für die thermische Charakterisierung wurde ein 80 x 100 mm² Testmuster bestehend aus zwei Kupferblechteilen und einer Isolationsfolie A aufgebaut. Die 210 µm starke Isolationsfolie A wird zwischen den 300 µm starken Kupferstanzgittern platziert und in einer Vakuumpresse gemäß Standard-Laminationsparameter laminiert (Tabelle 19). Nach dem Laminationsprozess wird auf der oberen und der unteren Kupferfläche des Testmusters eine lichtempfindliche Filmschicht aufgetragen. Diese wird ähnlich wie in einem Leiterplattenherstellungsprozess belichtet und entwickelt, um eine 20 x 20 mm² freiliegende Kupferfläche in der Filmschicht zu erstellen. Das Testmuster wird im anschließenden Ätzprozess bis zur Isolationsfolie entfernt, sodass die Isolationsfolie aus dem Testmuster herausgebrochen werden kann. Die Temperaturleitfähigkeit α der laminierten Isolationsfolie soll mit der Laser-Flash-Analyse gemessen werden (Anhang A 32). Mittels der Dynamischen Differenz-Kalorimetrie wird die spezifische thermische Kapazität c_p der Isolationsfolie ermittelt. Abschließend wird die Dichte ρ der laminierten Isolationsfolie nach dem Archimedes-Prinzip bestimmt. Alle genannten Messungen werden bei Raumtemperatur $RT=25\text{ °C}$ durchgeführt. Die thermische Leitfähigkeit der Isolationsfolie wird nach Gleichung (5.7) berechnet. Die Ergebnisse der thermischen Charakterisierung bei Raumtemperatur sind in Tabelle 20 zusammengefasst. Die Messung der Temperaturleitfähigkeit wurde mit zehn Laserimpulsen durchgeführt und das Ergebnis als Mittelwert angegeben mit einer Standardabweichung von 0,0011 und einer Messgenauigkeit von 3%.

Tabelle 20: Messergebnisse der thermischen Charakterisierung der laminierten Isolationsfolie A bei Raumtemperatur $RT = 25\text{ °C}$

Eigenschaft der Isolationsfolie	Einheit	Messergebnis
Mittelwert der Temperaturleitfähigkeit	$\left[\frac{\text{cm}^2}{\text{s}}\right]$	0,0338
Spezifische Wärmekapazität	$\left[\frac{\text{J}}{\text{g}\cdot\text{K}}\right]$	1,2
Dichte	$\left[\frac{\text{g}}{\text{cm}^3}\right]$	2,14
Thermische Leitfähigkeit	$\left[\frac{\text{W}}{\text{m}\cdot\text{K}}\right]$	8,68

Materialcharakterisierung und Charakterisierung der Interface-Schicht mithilfe der Mikroanalyse

Für die Mikroanalyse der Isolationsfolie sowie der Verbindungsstelle zwischen der Kupfer- und der Isolationsfolie werden zwei 300 µm starke Kupferstanzgitter mit einer Isolationsfolie laminiert. Es werden je zwei Testmuster mit Isolationsfolie A und Isolationsfolie B gemäß dem Standard-Laminationsparameterersatz in Tabelle 19 aufgebaut. Nach dem Laminieren wird aus den beiden Testmustern jeweils eine 10 x 15 mm² Probe mit einer Kreissäge geschnitten. Die Schnittflächen sind durch den Sägeprozess verschmiert und weisen eine hohe Oberflächenrauheit auf. Daher werden diese Flächen mittels eines Schleifprozesses nachbearbeitet. Die Schnittflächen der Proben werden anschließend in einem Cross Section Polisher feiner präpariert (Abbildung 116 im Anhang A 21). Die polierten Proben werden auf einem Probenhalter montiert und mit Silberleitlack elektrisch mit dem Probenhalter kontaktiert. Nach der Trocknung des Silberleitlackes wird der Probenhalter mit den Proben in die Probenkammer des Rasterelektronenmikroskopes (REM) geschoben (Abbildung 117 im Anhang A 21). Die Kammer wird vor dem Beginn der Materialanalyse in einem Hochvakuum (etwa 10⁻⁵ hPa) versetzt. Mit dem REM wird zunächst die Anbindung zwischen der Kupferschicht und der Isolationsfolie untersucht. Anschließend werden die Bestandteile in den Isolationsfolien mit der EDX-Analyse bestimmt.

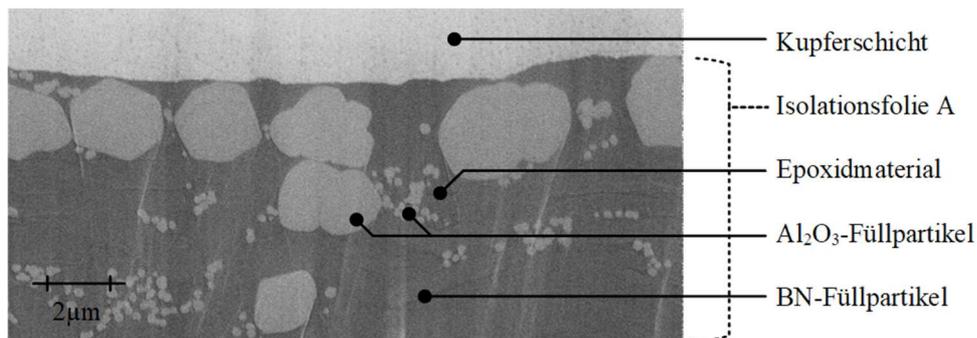


Abbildung 84: REM-Aufnahme eines Testmusters am Interface zwischen der Kupferschicht und der Isolationsfolie A bei einer Verstärkung von 10000

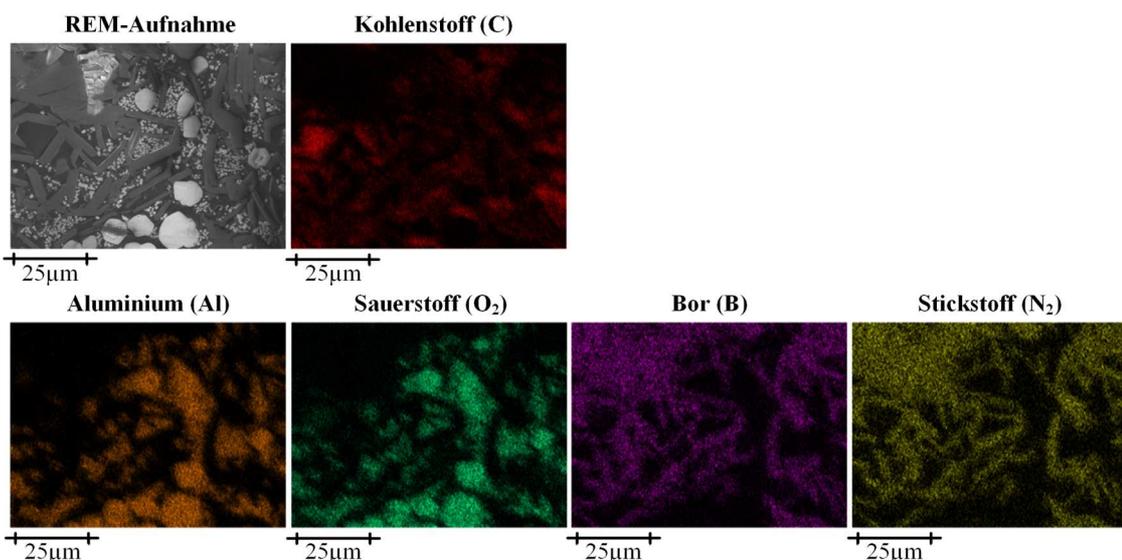


Abbildung 85: REM-Aufnahme und EDX-Analyse der Isolationsfolie A

Die Ergebnisse in Abbildung 84 und Abbildung 86 zeigen, dass die Isolationsfolien A und B ohne Lufteinschlüsse an der Kupferschicht angebunden sind. Eine 10000-fache Vergrößerung am REM und die EDX-Analyse zeigen, dass die Isolationsfolie A mit kugelförmigen Aluminiumoxidpartikeln (Al_2O_3) und mit streifenförmigen Bornitridpartikeln (BN) gefüllt ist (Abbildung 85 und Abbildung 134 im Anhang A 33). Die größeren Aluminiumoxidpartikel weisen einen Durchmesser von etwa 1 bis 4 μm auf, während die Bornitridpartikel eine Länge von 2 bis 8 μm haben. Diese Aluminiumoxid- und Bornitridpartikel haben eine thermische Leitfähigkeit von etwa $25 \text{ W (m}\cdot\text{K)}^{-1}$ bzw. bis zu $60 \text{ W (m}\cdot\text{K)}^{-1}$ und bilden thermisch leitfähige Pfade innerhalb der Isolationschicht [196]. Die Zwischenräume sind mit Epoxidmaterialien und Aluminiumoxidpulverkörner mit einem Durchmesser von etwa 200 nm gefüllt (Abbildung 135 im Anhang A 33). Das Epoxidmaterial wird in der EDX-Analyse als Kohlenstoff markiert.

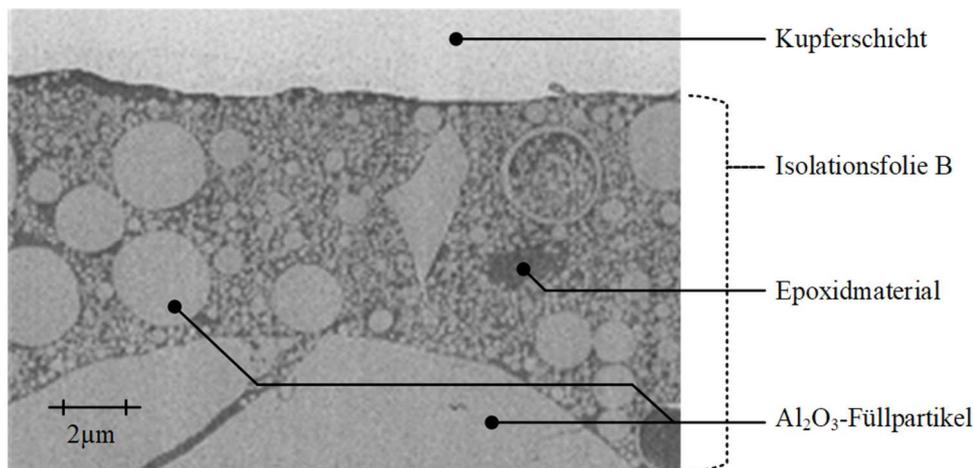


Abbildung 86: REM-Aufnahme eines Testsamples am Interface zwischen der Kupferschicht und der Isolationsfolie B bei einer Verstärkung von 10000

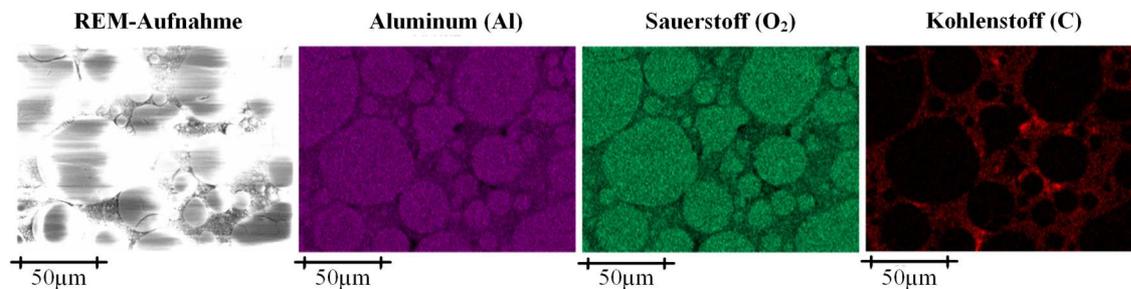


Abbildung 87: REM-Aufnahme und EDX-Analyse der Isolationsfolie B

Abbildung 137 im Anhang A 33 zeigt, dass die Isolationsfolie B ausschließlich mit kugelförmigen Aluminiumoxidpartikeln in drei unterschiedlichen Größenkategorien gefüllt ist. Die größeren Partikel weisen einen Durchmesser von etwa 25 bis 100 μm auf (Abbildung 87). Partikel mit mittleren Größen sind etwa 1 bis 10 μm im Durchmesser. Die Aluminiumoxidpulverkörner haben einen Durchmesser von etwa 200 nm (Abbildung 86). Mit einer selbst erstellten Bildauswertungssoftware lässt sich der Partikelvolumenfüllgrad bei der Isolationsfolie A und B auf 85,1 % bzw. 71,4 % beziffern.

Die thermische Charakterisierung der Isolationsfolie A liefert als Ergebnis eine thermische Leitfähigkeit von $8,68 \text{ W (m}\cdot\text{K)}^{-1}$, während die Isolationsfolie B gemäß Herstellerangabe $3,2 \text{ W (m}\cdot\text{K)}^{-1}$ aufweist. Gemäß den Quellen [196] und [197] ist die thermische Leitfähigkeit von Isolationsfolien auf Basis von Verbundwerkstoffen von folgenden Faktoren abhängig:

- Thermische Leitfähigkeit des Füllmaterials (engl. Filler)
- Thermische Leitfähigkeit des Trägermaterials (engl. Matrix)
- Füllgrad des Verbundwerkstoffs (engl. Composites)
- Form und Anordnung der Füllmaterialien im Verbundwerkstoff

Die thermische Leitfähigkeit von Verbundwerkstoffen mit kugelförmigen Füllpartikeln wie im Falle von Isolationsfolie B lässt sich mit dem Bruggeman-Modell in Gleichung (5.12) beschreiben [197]:

$$1 - V_f = \frac{(\lambda_f - \lambda_c) \cdot \left(\frac{\lambda_m}{\lambda_c}\right)^{\frac{1}{3}}}{\lambda_f - \lambda_m} \quad (5.12)$$

Dabei sind V_f das Partikelfüllvolumen, λ_f die thermische Leitfähigkeit des Füllmaterials, λ_m die thermische Leitfähigkeit des Trägermaterials und λ_c die thermische Leitfähigkeit des Verbundwerkstoffs. Das Modell nach Agari in Gleichung (5.13) eignet sich zur Abschätzung der thermischen Leitfähigkeit der Isolationsfolie A, da dieses Modell zusätzlich die Anordnung der Füllpartikel und die Qualität der thermischen Pfade über die Füllpartikel beschreibt [197].

$$\log(\lambda_c) = V_f \cdot C_2 \cdot \log(\lambda_f) + (1 - V_f) \cdot \log(C_1 \cdot \lambda_m) \quad (5.13)$$

Dabei beschreibt der Faktor C_1 die Auswirkung des Füllmaterials auf das Trägermaterial und der Faktor C_2 die Bildung von thermischen Brücken durch die Füllpartikel. Wendet man das Bruggeman-Modell auf die Isolationsfolie B an mit $\lambda_f = 25 \text{ W (m}\cdot\text{K)}^{-1}$, $\lambda_c = 3,2 \text{ W (m}\cdot\text{K)}^{-1}$ und $\lambda_m = 0,25 \text{ W (m}\cdot\text{K)}^{-1}$, liefert die Gleichung (5.12) als Ergebnis einen Volumenfüllgrad von $V_f = 64,7 \%$. Das Bruggeman-Modell liefert somit eine akzeptable Näherung für die thermische Leitfähigkeit von Isolationsfolien mit kugelförmigen Füllpartikeln. Obwohl der Volumenfüllgrad von Isolationsfolie A etwa 13 % höher liegt als der Volumenfüllgrad der Isolationsfolie B, weist die Isolationsfolie A eine 2,7-fach bessere thermische Performanz auf als die Isolationsfolie B. Bei der Isolationsfolie A wird als Füllmaterial BN mit einer 2,5-fach höheren thermischen Leitfähigkeit als Al_2O_3 verwendet. Abbildung 136 zeigt, dass durch die Kombination von länglichen BN- und runden Al_2O_3 -Füllpartikeln zahlreiche thermische Pfade durch die Füllmaterialien gebildet werden. Bei Isolationsfolie B sind alle Füllpartikel vom thermisch isolierenden Trägermaterial umgeben, sodass die Wärmeübertragung in der Isolationsfolie B behindert wird. Laut Herstellerangaben besteht das Trägermaterial bei der Isolationsfolie A aus einem Epoxidmaterial mit einer geordneten Molekularstruktur, sodass durch die Ausrichtung der Moleküle die thermische Leitfähigkeit des Trägermaterials etwa um den Faktor 5 optimiert wird [198].

Wie in Abbildung 88 dargestellt, besteht das Epoxidmaterial aus einem Polymer, das aus einer langen Kette von gleichartigen Molekülbausteinen, den sogenannten Monomeren, besteht. Die Monomere bestehen wiederum aus einem Mesogen, das an beiden Enden mit einer kurzen Molekülkette verbunden ist [199]. In dem konkreten Beispiel Isolationsfolie A besteht das Mesogen aus Biphenyl ($\text{C}_{12}\text{H}_{10}$), das aus zwei Benzol-Bausteinen zusammengesetzt wurde [196]. Mehrere Mesogene bilden zusammen eine geordnete Struktur, sodass der Wärmestrom nur auf einer Ebene optimal geführt werden kann. Innerhalb einer einzelnen geordneten Struktur ist die thermische Leitfähigkeit somit anisotrop. Betrachtet man allerdings einen makroskopischen Bereich, so ist die thermische Leitfähigkeit des Polymers isotrop, da die einzelnen geordneten Strukturen nach dem Aushärtungsprozess ein duroplastisches Material bilden und keine bevorzugte Orientierungsrichtung zueinander aufweisen. Aus diesen Gründen lässt sich die Wärme im Kupferstanzkupfer mit der Isolationsfolie A viel effektiver zum Kühlkörper leiten.

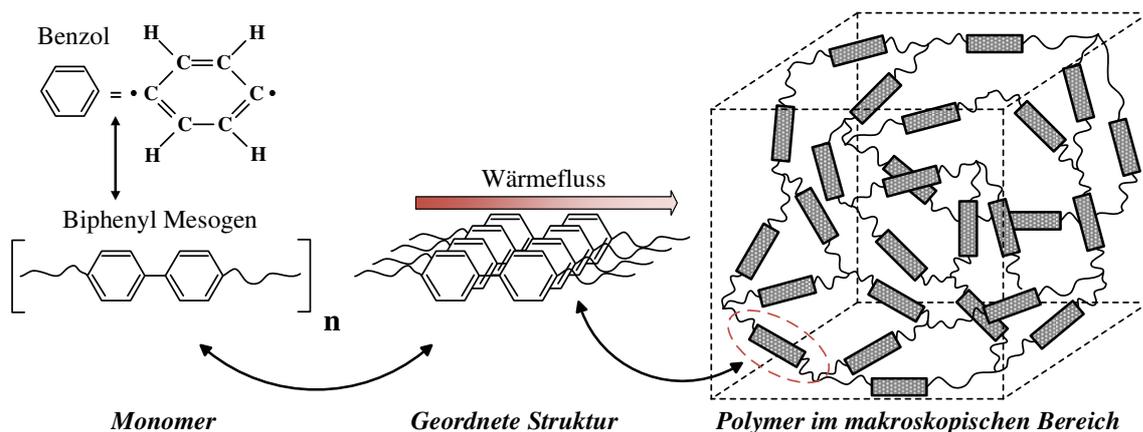


Abbildung 88: Chemische Zusammensetzung und struktureller Aufbau eines thermisch leitfähigen Polymers

Bestimmung der Durchbruchspannung der Isolationsfolie

Hersteller von Isolationsfolie A und B geben als elektrische Isolationsfestigkeit 9 kV bei einer Folienstärke von 210 μm bzw. 7 kV bei einer Stärke von 150 μm an. Die Messungen der Durchbruchspannung der Isolationsfolie wurden gemäß den japanischen Normen JIS-C2110 bzw. JIS K6911 durchgeführt. Dabei wird eine sinusförmige AC-Spannung an der Probe angelegt. Bei einer Spitze-Spitze-Spannungsamplitude von beispielsweise 5 kV würde an der Probe eine Spannungsflankensteilheit von 500 V s^{-1} anliegen.

Für die spezielle Anwendung Aufbau von Leadframe-Leistungsmodulen sind solche Angaben nicht aussagekräftig, da die Flankensteilheit am Leistungshalbleiter während der Schaltvorgänge mindestens um den Faktor 10^6 größer ist ($>0,5 \text{ V ns}^{-1}$). Zur Bestimmung der Durchbruchspannung der Isolationsfolie wurde am Institut IPE des KIT ein eigens entwickelter Hochspannungsteststand (HV-Teststand) aufgebaut. Wie in Abbildung 89 und Abbildung 90 dargestellt, besteht der Aufbau im Wesentlichen aus einem Hochspannungsnetzteil und einer getakteten Hochspannungshalbbrückenschaltung (HV-Halbbrücke). Über die HV-Quelle wird die Spannung für den Isolationstest variiert. Die MOSFETs dieser HV-Halbbrücke haben eine maximale Durchbruchspannung von 2,5 kV, sodass die maximale Prüfspannung auf 2 kV limitiert ist. Am AC-Ausgang der HV-Halbbrücke wird der Prüfling (DUT) angeschlossen.

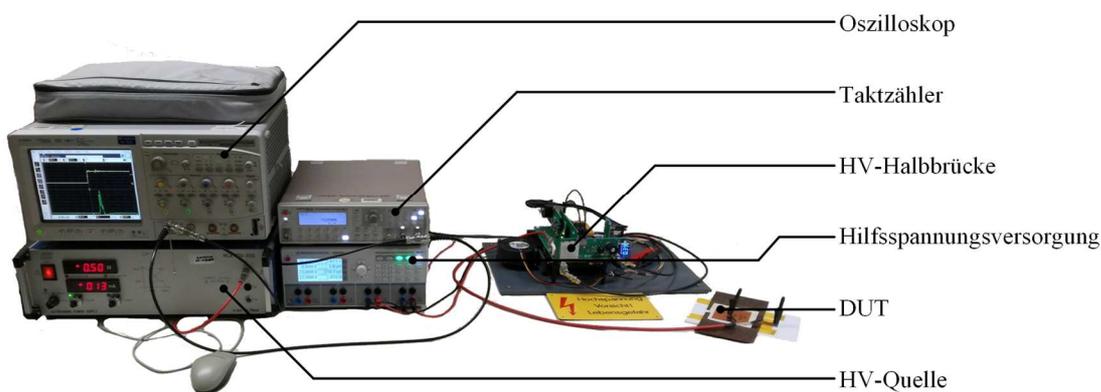


Abbildung 89: Komponenten des HV-Teststandes zur Bestimmung der Durchbruchspannung einer laminierten Probe

Während des Prüfvorganges werden die beiden MOSFETs Q1 und Q2 ein- bzw. ausgeschaltet, sodass das Potential über dem DUT gegen DC+ bzw. gegen DC- gezogen wird. Die HV-Brücke wird mit einem

Duty-Cycle von 50 % und einer Taktfrequenz von bis zu 10 kHz betrieben. Über einen in der HV-Halbbrücke integrierten Shunt wird der Strom, der durch das DUT fließt, erfasst. Bei einem Spannungsdurchbruch würde der Strom im DUT einen fest definierten Schwellwert überschreiten und der Komparator der Kurzschlussdetektion würde den Testvorgang automatisch unterbrechen. Während einer Taktperiode sendet die Steuereinheit der HV-Halbbrücke einen Impuls an einen externen Taktzähler, um die Anzahl der Testzyklen zu dokumentieren.

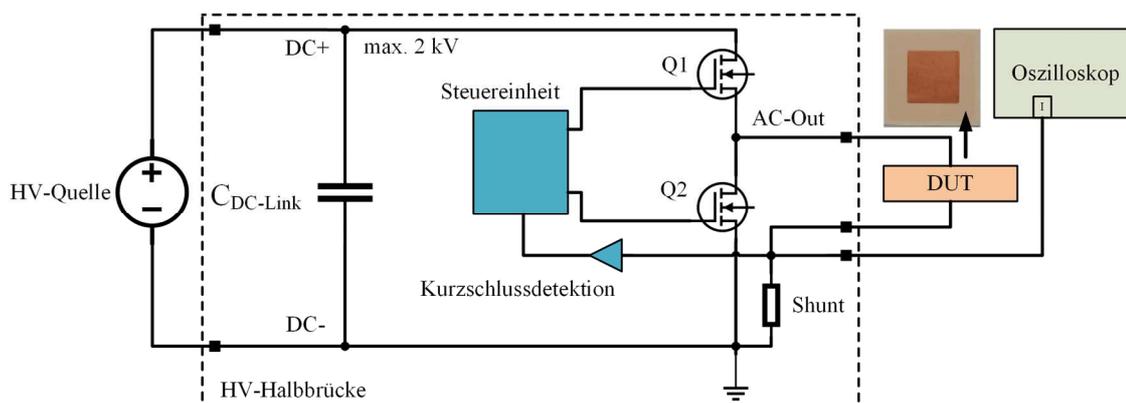


Abbildung 90: Schaltungstechnischer Aufbau des HV-Teststandes

Wie in Abbildung 138 im Anhang A 34 dargestellt, besteht ein DUT für die Spannungsprüfung aus zwei quadratischen Kupferstanzgitterteilen mit einer Stärke von 300 μm . Das obere und das untere Kupferstanzgitter haben eine Kantenlänge von 30 mm bzw. 50 mm. Beim Aufbau der Prüflinge werden die beiden Kupferstanzgitterteile mit der Isolationsfolie gemäß dem Standard-Laminationsparametersatz in Tabelle 19 laminiert. Das obere Kupferstanzgitter wird dabei zentral zum unteren Kupferstanzgitter ausgerichtet, sodass eine Kriechstrecke von etwa 10 mm zwischen dem oberen und dem unteren Kupferstanzgitter gebildet wird. Die Ecken der beiden Kupferstanzgitterteile sind mit einem Radius von 1 mm abgerundet, um die elektrische Feldstärke an den Ecken während des Prüfvorganges zu reduzieren.

Ziel der Untersuchung ist es, die Relation zwischen der Isolationsfestigkeit der Isolationsfolie und dem Druck sowie der Temperatur während des Gelierungsprozesses zu ermitteln. Der Gelierungsprozess (Druckverbindung zwischen den beiden Kupferstanzgittern) beeinflusst wesentlich die Eigenschaften der laminierten Verbindung, da in dieser Phase die Verbindungsschicht geformt und an die Verbindungspartner angepasst wird. Wie in Tabelle 21 dargestellt, wurden insgesamt fünf Experimente mit je zwei Proben durchgeführt. Diese Versuchsreihe wird ausschließlich für die Isolationsfolie A durchgeführt. Bei der Isolationsfolie B zerfließt das Isolationsmaterial noch während der Gelierungsphase aus der Verbindungsschicht, sodass keine elektrische Isolation zwischen den beiden Kupferstanzgittern gewährleistet oder nur eine sehr geringe Isolationsfestigkeit von etwa 450 V erzielt werden kann.

Tabelle 21: Übersicht über alle Experimente beim Isolationstest von Isolationsfolie A

Parameter	Einheit	Werte			Bedingung
Druck	[MPa]	1	4	10	@ 180 °C
Temperatur	[°C]	150	165	180	@ 1 MPa

Beim Testvorgang wird die Probe zu Beginn bei 300 V getestet. Bei jedem Testschritt wird die Probe mit $3 \cdot 10^6$ Schaltzyklen getestet. Danach wird die Spannung um 100 V angehoben. Ab einer Spannung von 1200 V wird die Anzahl der Schaltzyklen pro Testschritt auf $30 \cdot 10^6$ Zyklen erhöht. Damit soll sichergestellt werden, dass das Isolationsmaterial der Belastung tatsächlich standhält.

Die Ergebnisse in Abbildung 91 zeigen, dass nur bei einem Testmuster mit 1 MPa Druck und 180 °C Temperatur eine Durchbruchspannung von 1,9 kV gemessen wurde. Alle anderen Testmuster erzielen eine Spannungsfestigkeit von >2 kV. Da ein Testmuster eine geringere Durchbruchspannung aufweist, lässt sich daraus kein genauer Zusammenhang zwischen der Isolationsfestigkeit der Isolationsfolie sowie dem Druck und der Temperatur beim Laminationsprozess herleiten.

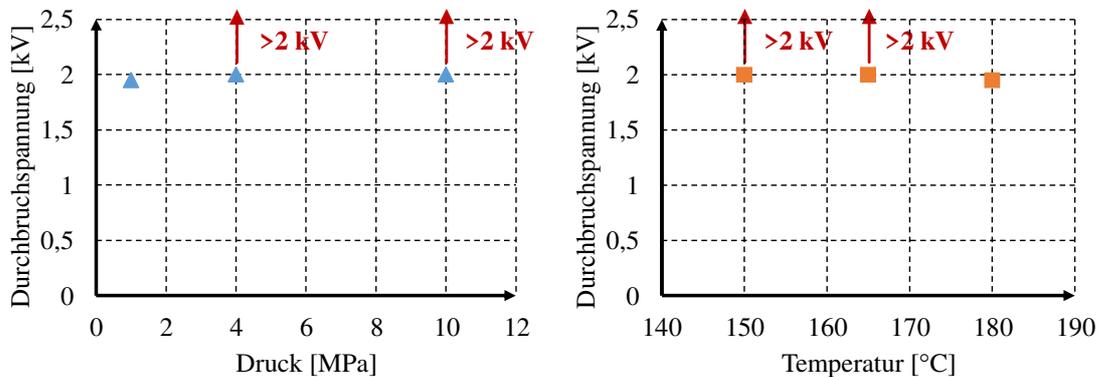


Abbildung 91: Ergebnisse des Hochspannungstests bei der Isolationsfolie A

Die Stelle des Spannungsdurchbruches lässt sich mittels Infrarot-Thermographie lokalisieren. Durch den Spannungsdurchbruch hat sich an einer Stelle in der Isolationsschicht ein leitfähiger Kanal gebildet. Wenn am Testmuster eine geringe DC-Spannung angelegt wird, stellt sich ein Stromfluss durch den leitfähigen Kanal ein. Die Temperaturerhöhung durch den Stromfluss lässt sich mit einer IR-Kamera erfassen (Abbildung 92). Aus der angelegten Spannung und dem Strom lässt sich der Widerstandswert des leitenden Kanals auf etwa 70 Ω schätzen.

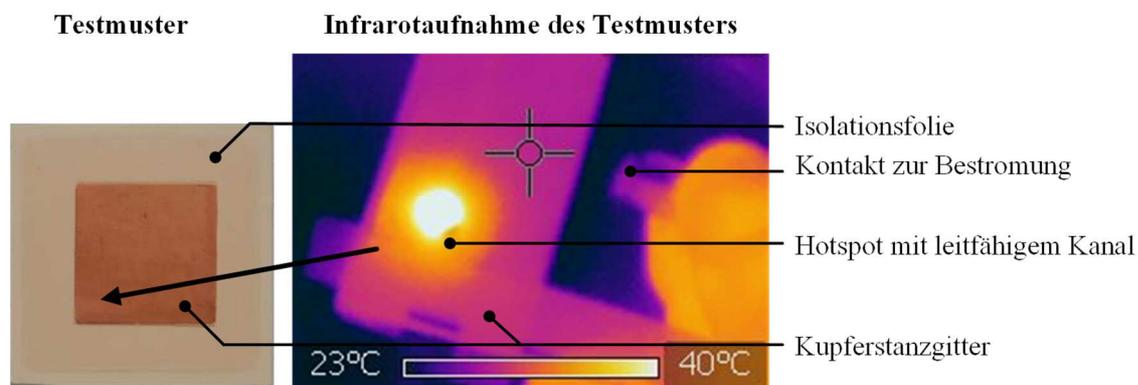


Abbildung 92: Detektion der Spannungsdurchbruchsstelle mittels IR-Thermographie

Mit dem vorliegenden HV-Teststand lässt sich die tatsächliche Spannungsfestigkeit der anderen Testmuster nicht bestimmen. Mit dieser Untersuchung lässt sich lediglich feststellen, dass die Isolationsfolie A eine Spannungsfestigkeit von >2 kV aufweist. Diese Spannungsfestigkeit ist ausreichend für den Aufbau von leistungselektronischen Modulen im Automotive-Bereich mit einer maximalen Spannung von 1200 V.

6 Zusammenfassung

In Automotive-Anwendungen werden leistungselektronische Systeme mit sehr hoher Effizienz und Leistungsdichte zur Energiewandlung eingesetzt. Üblicherweise werden diese Leistungselektroniken als DC-DC-Wandler für die Stromversorgung im Bordnetz oder als Antriebsinverter verwendet. Nach aktuellem Stand der Technik werden Siliziumleistungshalbleiter (Si-Leistungshalbleiter), wie z. B. Si-MOSFETs oder Si-IGBT, für den Aufbau der Leistungselektronik eingesetzt. Allerdings zeigt der Trend, dass Si-Leistungshalbleiter in der Leistungselektronik zunehmend durch Wide-Bandgap-Leistungshalbleiter (WBG-Leistungshalbleiter) ersetzt werden. Insbesondere ist Siliziumkarbid (SiC) aufgrund seiner permanenten Weiterentwicklung technisch ausgereift, sodass dieses bevorzugt im Automotive-Bereich angewendet wird. SiC-Chips werden im Vergleich zu Si-Chips bei höheren Temperaturen betrieben. Bei einer Lotverbindung ist die homologe Temperatur so hoch, dass die Zuverlässigkeit der Die-Attach-Verbindung nicht der Anforderung genügt und durch eine Sinterverbindung ersetzt werden muss. SiC-Leistungsmodule stellen höhere Anforderungen an das Thermomanagement der Leistungselektronik, da die im Chip entstehenden Wärme sich auf einer kleineren Fläche konzentriert. Eine effektive Entwärmung der Leistungshalbleiter ist erforderlich, um entweder das Potential der Stromtragfähigkeit der Chips voll auszunutzen oder um den Temperaturhub im Leistungsmodul zu verringern. Durch den Betrieb des Leistungshalbleiters an seinen spezifizierten Grenzen können Chips mit kleinerer Chipfläche genutzt und die Kosten für die Leistungselektronik gesenkt werden. Alternativ kann die Lebensdauer des Leistungsmoduls durch den geringeren Temperaturhub gesteigert werden.

In dieser Arbeit wurde simulativ gezeigt, dass eine Sinterverbindung im Vergleich zu einer Lotverbindung den thermischen Widerstand zwischen Chip und Kühlkörper um bis zu 8 % verringert. Sowohl das Silbersintern (Ag-Sintern) als auch das neuartige Kupfersintern (Cu-Sintern) wurde in dieser Arbeit untersucht und miteinander verglichen. Dabei wurden folgende neue Erkenntnisse gewonnen:

- Mittels einer Versuchsplanung (Design of Experiments – DoE) wurden vier unterschiedliche Ag-Sinterpasten evaluiert. Der Aufwand bei der Evaluierung konnte mit der DoE im Vergleich zu der klassischen „one-factor-at-a-time“-Methode deutlich reduziert werden. Mit der DoE konnten signifikante Faktoren und Wechselwirkungseffekte beim Ag-Sintern ermittelt werden. Allerdings konnte der funktionale Zusammenhang zwischen der Scherfestigkeit der Sinterverbindung und den Sinterparametern nicht exakt bestimmt werden, da Störeinflüsse wie z. B. die Oberflächenqualität eines Substrates oder die Ungenauigkeit der eingestellten Prozessparameter einen signifikanten Einfluss auf die Sinterergebnisse haben.
- Beim Vergleich zwischen Ag- und Cu-Sintern hat die Sintertemperatur einen besonders starken Einfluss die Scherfestigkeit der Sinterverbindung. Ag-Sinterpasten sintern bereits ab einer Sinterpaste von etwa $T_{\text{Sinter}} \leq 200 \text{ °C}$, während die erforderliche Sintertemperatur für das Cu-Sintern bei etwa $T_{\text{Sinter}} \leq 260 \text{ °C}$ liegt. Cu-Drucksintern erzielt bei einer Sintertemperatur von 300 °C eine höhere Scherfestigkeit um bis zu 10 % als Ag-Drucksintern.
- Beim drucklosen Cu-Sintern konnte die Dauer für den gesamten drucklosen Sinterprozess durch Prozessoptimierung von ursprünglich 92 min auf 18-25 min um mehr als das 3,5-Fache verkürzt werden. Durch die verkürzte Prozessdauer kann der Durchsatz gesteigert und die Kosten können gesenkt werden.
- Eine thermische Auslagerung einer Cu-Sinterprobe auf einem DCB-Substrat (Direct Copper Bonding) mit einer Goldoberfläche zeigt, dass sich durch intermetallische Diffusionen am Interface zwischen der Cu-Sinterschicht und der Substratoberfläche Kirkendall Voids bilden und die Scherfestigkeit deutlich minimiert wird. Empfohlene Metalloberflächen für das Cu-Sintern sind Bare-Cu- oder

Ni-Oberflächen. Alternativ sollte unterhalb der Goldoberfläche eine Diffusionsbarriere integriert sein.

Zur vollen Nutzung des Potenzials von SiC-Leistungshalbleitern, insbesondere des verlustarmen Betriebs bei hohen Schaltfrequenzen, werden höhere Anforderungen an die elektrischen Eigenschaften eines Leistungsmoduls gestellt. Die parasitären Induktivitäten im Kommutierungskreis sollen minimiert werden, um eine Spannungsüberschwingung bei einer hohen Stromflankensteilheit zu verringern. Die parasitären Induktivitäten in den Gate-Treiberschaltkreisen durch ein symmetrisches Moduldesign möglichst gleiche Werte aufweisen und minimal sein, um die Totzeit beim Schalten gering halten zu können. Durch die Integration eines Entkopplungskondensators in den Leistungskreis des SiC-Leistungsmoduls kann die parasitäre Induktivität im Kommutierungskreis reduziert werden. Die Integration der Gate-Treiberbauelemente in das Leistungsmodul verringert die parasitäre Induktivität in den Gate-Treiberschaltkreisen. Ein symmetrisches Design und sowie geringe parasitäre Induktivität im Gate-Treiberschaltkreis verringert die erforderliche Totzeit bei der Ansteuerung der Leistungsschalter und erhöht daher die Effizienz des leistungselektronischen Systems. Dies stellt besondere Anforderungen an das Design eines SiC-Leistungsmoduls, sodass neuartige Aufbau- und Verbindungstechnologien (AVT) für den Aufbau von hochintegrierten Leistungsmodulen erforderlich sind. Die Dickfilm-Technologie erlaubt neben den stromtragenden Leitungsstrukturen auch den Aufbau von feineren Strukturen und somit eine sowohl kompakte als auch niederinduktive Modulaufbauweise. Der prototypische Modulaufbau liefert folgende neue Erkenntnisse:

- Der Aufbau der Kupferdickfilmschichten sollte möglichst symmetrisch prozessiert werden, um eine Delamination der Kupferdickfilmschichten zu vermeiden. Beim Aufbau der Isolation-Dickfilmschichten sollen diese durch mehrmaliges Siebdrucken und Trocknen die Bildung von Pinholes vermieden werden.
- Die Herstellung von Dickfilm-Substraten ist im Vergleich zu einem konventionellen DCB-Substrat aufwendiger. Allerdings weisen Dickfilm-Substrate eine höhere Lebensdauer auf als DCB-Substrate. Die Dickfilm-Technologie ermöglicht ein Fine-Pitch und Multi-Lagen Design, sodass sich diese Substrattechnologie für Integration von komplexen Schaltungsstrukturen sehr gut eignet. Die DCB-Dickfilmkombination vereint das DCB-Substrat mit der Dickfilm-Technologie. Der Leistungskreis mit den Leistungsschaltern wird auf DCB platziert, während der Gate-Treiberschaltkreis mit einer komplexen Schaltungsstruktur kompakt mit der Dickfilm-Technologie abgebildet werden kann.
- Die Charakterisierung der Dickfilmkupferschicht zeigt, dass diese eine Porosität zwischen 27 % bis 33 % aufweist. Aufgrund der porösen Struktur beträgt die thermische Leitfähigkeit der Dickfilmkupferschicht in etwa 36 % des Kupfervollmaterials.

Thermische Simulationen zeigen, dass durch eine beidseitige Kühlung (Double-Sided Cooling – DSC) die thermische Performanz eines Leistungsmoduls um etwa ein Drittel gesteigert werden kann. Nach aktuellem Stand der Technik werden DSC-Leistungsmodule auf Basis von DCB-Substraten aufgebaut. In dieser Arbeit wurde ein neuartiges Modulaufbaukonzept auf Basis von Kupferstanzgittern mit thermisch leitenden Isolationsfolien entwickelt und prototypisch aufgebaut. Das Aufbaukonzept und die dazugehörige AVT wurde untersucht und dabei folgende neue Erkenntnisse generiert:

- Beim DSC-Leadframe-Leistungsmodul werden die Chips auf die Kupferstanzgittern verlötet. Die Qualität der Lotverbindung ist stark abhängig von dem Grad der Verbiegung der Kupferstanzgitter.
- Zwei unterschiedliche Isolationsfolien wurden evaluiert. Mit der Isolationsfolie B konnte beim Laminieren der Isolationsfolie keine homogene Isolationsschicht erzielt werden, da ein Teil des Epoxidmaterials während des Prozesses herausgedrückt wurde. Der Laminationsprozess mit der

Isolationsfolie A konnte erfolgreich durchgeführt werden. Dabei konnte die Gelierungsdauer von ursprünglich 30 min auf 6 min verkürzt werden.

- Die thermische Charakterisierung der Isolationsfolie B zeigt, dass diese mit $8,68 \text{ W (m}\cdot\text{K)}^{-1}$ eine 2,7-fach höhere thermische Leitfähigkeit aufweist als die Isolationsfolie A. Die beiden Isolationsfolien wurden einer REM- und EDX-Analyse unterzogen. Die Isolationsfolie A enthält als Füllmaterial kugelförmige Aluminiumoxid- und länglich geformte Bornitrid-Partikel, die Isolationsfolie B ausschließlich Aluminiumoxid-Partikel als Füllmaterial zur Steigerung der thermischen Leitfähigkeit. Die lang geformten Bornitrid-Partikel erleichtern die Bildung von thermischen Pfaden durch die Füllmaterialien und weisen zudem eine höhere thermische Leitfähigkeit auf als die Aluminiumoxid-Partikel.
- Die HV-Spannungsprüfung bei der der Isolationsfolie A mit hoher Spannungsflankensteilheit ($>0,5 \text{ V ns}^{-1}$) zeigt, dass diese eine Spannungsfestigkeit von mehr als 2 kV aufweist.

Für den Einsatz von SiC-Leistungshalbleiter in Automotive-Anwendungen ist Ag-Sintern eine geeignete und sinnvolle Die-Attachment-Technologie, da die Vorteile in Bezug auf Zuverlässigkeit und thermische Performanz bietet. Die Cu-Sinter-Technologie befindet sich aktuell noch in der Entwicklungsphase. Allerdings hat das Cu-Sintern das Potential, das Ag-Sintern aufgrund seiner geringfügig höheren Zuverlässigkeit und seines Preisvorteils gegenüber dem Ag-Sintern zu ersetzen. Das Potential für eine optimale Kühlung der Leistungshalbleiter durch eine beidseitige Kühlung wurde in dieser wissenschaftlichen Arbeit aufgezeigt. Ein optimales Thermomanagement im Leistungsmodul ist essentiell, um die erforderliche Chipfläche in einer Anwendung zu minimieren bzw. die Zuverlässigkeit des Leistungsmoduls zu steigern.

6.1 Ausblick

Bei der Evaluierung der Ag- und Cu-Sinterpasten wurde die Scherfestigkeit als Bewertungskriterium für die Qualität der Sinterverbindung herangezogen. Eine ausreichend hohe Scherfestigkeit ist zwar ein notwendiges Kriterium für eine zuverlässige Sinterverbindung, jedoch kann die Scherfestigkeit nicht mit der Zuverlässigkeitsanforderung für eine bestimmte Anwendung gleichgesetzt werden. In den Sinterversuchen wurden Si-Widerstandschips mit einer kleinen Chipfläche von $2,25 \times 2,5 \text{ mm}^2$ gesintert. Ausgehend von dieser Arbeit wäre es sinnvoll, die Eigenschaften der Sinterverbindung bei größeren Chipflächen zu untersuchen. Zudem sollten Power-Cycling-Tests (PCT) bzw. Thermal-Cycling Tests (TCT) durchgeführt werden, um Rückschlüsse auf die Lebensdauer der Sinterverbindung für eine definierte Anwendung ziehen zu können.

In einem Leadframe-Leistungsmodul fungiert die Isolationsfolie als eine thermisch leitende Schicht zwischen Leadframe und Kühlkörper und als ein elektrischer Isolator. Eine Isolationsfolie konnte durch einen Laminationsprozess auf das Leadframe aufgebracht werden. Diese Folie wurde zunächst sowohl thermisch als auch elektrisch charakterisiert. Bei der HV-Spannungsmessung konnte das eingesetzte Messsystem ausschließlich bis 2 kV die Spannungsfestigkeit der Isolationsfolie testen. Durch einen Umbau des HV-Spannungsmesssystems mit 10 kV SiC-MOSFET-Schalter könnte diese Isolationsfolie bei deutlich höheren Spannungswerten getestet und die maximale Isolationsfestigkeit der Folie bestimmt werden. Durch einen Peeltest wäre es möglich die Haftfestigkeit der Isolationsfolie am Leadframe zu quantifizieren. Die Lebensdauer dieser laminierten Verbindung sollte durch einen TCT bestimmt werden. Allerdings sollte beim Testen die Glasübergangstemperatur von $195 \text{ }^\circ\text{C}$ nicht überschritten werden.

6.2 Diskussion

6.2.1 Hochintegriertes Leistungsmodul

Ein Schwerpunkt dieser Arbeit ist die Konzeption und Aufbau eines hochintegrierten SiC-Leistungsmoduls. In diesem Modul werden Entkopplungskondensatoren und Gate-Treiberschaltkreise integriert, um parasitäre Induktivitäten sowohl im Kommutierungskreis als auch im Gate-Treiberschaltkreis zu minimieren. Hohe Anforderungen werden an das Moduldesign gestellt bei Anwendungen, in der das Leistungsmodul mit sehr hohen Taktfrequenzen im MHz-Bereich betrieben und der Strom mit einer sehr hohen Flankensteilheit geschaltet wird. Allerdings ist der Modulaufbau bei hochintegrierten Leistungsmodulen aufwendiger als bei konventionellen Leistungsmodulen. Hinzu kommt, dass die ins Leistungsmodul integrierten elektronischen Komponenten zusätzlich Fläche auf dem Substrat benötigen. Die Fläche auf einem DCB- oder Dickfilm-Substrat ist jedoch im Vergleich zu einem Standard-PCB sehr viel kostenintensiver. Daher sollte in Abhängigkeit der Anwendung und Anforderungen sorgfältig abgewogen werden, ob und welche Komponenten in das Leistungsmodul integriert werden sollen. Beispielsweise können Gate-Treiberleiterplatten in relativ kurzer Distanz und direkt über einem Leistungsschalter positioniert und z. B. mit einem Press-Fit-Pin kontaktiert werden. In diesem Fall sollte geprüft werden, ob eine modulnahe Kontaktierung des Gate-Treiberschaltkreises den Anforderungen der Anwendung genügt.

Beim hochintegrierten Modulaufbau werden zunächst die SiC-Leistungsschalter auf das Substrat gesintert und die zu integrierenden Komponenten werden in einem nachgelagerten Prozess auf das Substrat verlötet. Aus Sicht der Modulherstellung wäre es sinnvoll, wenn sich der Die-Attach-Prozess mit der Bestückung der SMD-Komponenten zu einem Prozessschritt verknüpfen lässt. Ein Lösungsansatz wäre, die SMD-Komponenten ebenfalls zu versintern. Allerdings haben die Kontaktierungsflächen der SMD-Komponenten eine verzinnete Oberfläche. Diese Oberfläche sollte durch z. B. eine sinterbare Ni/Ag-Beschichtung ersetzt werden, sodass diese und die Leistungsschalter in einem drucklosen Sinterprozess mit Substrat verbunden werden können.

6.2.2 DSC-Leadframe-Leistungsmodul

Diese wissenschaftliche Arbeit hat das Potential einer beidseitigen Kühlung aufgezeigt. Allerdings ist der Aufwand für die beidseitige Kühlung auch höher als bei einer konventionellen Kühlung. SiC-Leistungshalbleiter haben eine deutlich geringe Chipfläche als Si-Leistungshalbleiter mit einer vergleichbaren Leistung. Die Verlustleistung im Chip muss daher über eine kleinere Chipfläche abgeführt werden. Mit einer beidseitigen Kühlung lässt sich der Chip optimal kühlen, sodass der SiC-Leistungshalbleiter besser ausgenutzt werden kann und eine geringere Chipfläche für eine vorgegebene Leistung benötigt wird. Das Einsparpotential durch die Reduktion der Chipfläche ist beim SiC deutlich höher als beim Si aufgrund des höheren Bauteilpreises.

Das vorgestellte DSC-Leistungsmodul basiert auf Kupferstanzgittersubstraten, die aus einem Kupfervollmaterial bestehen. Aufgrund der unterschiedlichen Ausdehnungskoeffizienten zwischen Chip ($\text{Si} \approx 3 \text{ ppm K}^{-1}$ bzw. $\text{SiC} \approx 1 \text{ ppm K}^{-1}$ bei Raumtemperatur) [200] und Leadframe ($\text{Cu} \approx 16 \text{ ppm K}^{-1}$ bei Raumtemperatur) entstehen an den Kontaktierungsstellen thermomechanische Spannungen, die über die Lebensdauer des Leistungsmoduls betrachtet versagen können. Um diese thermomechanische Spannung zu verringern, sollte die Differenz der Ausdehnungskoeffizienten minimiert werden. Eine Möglichkeit wäre, ein Kupferstanzgitter zu verwenden, das aus einem Nickel-Eisen-Kernmaterial besteht und von zwei Kupferschichten wie bei einem Sandwichaufbau eingebettet ist. Das Nickel-Eisen-Material hat einen Aus-

dehnungskoeffizienten von etwa 4 ppm K^{-1} bei Raumtemperatur. Durch diesen Aufbau lässt sich der Ausdehnungskoeffizient des Kupferstanzgitters verringern und an den Ausdehnungskoeffizienten des Halbleitermaterials anpassen.

In dieser Arbeit wurde gezeigt, dass die Qualität der Lötverbindung von der Verbiegung der Kupferstanzgitter maßgeblich beeinflusst wird. Selbst wenn die verwendeten Kupferstanzgitter keine Verbiegung aufweisen, kann die Stärke und die Qualität der Lotschichten bei der Verwendung einer Lotpaste nicht gleichmäßig ausgeführt sein. Die Stärke beim Auftragen der Lotpaste kann variieren und das Lösungsmittel sowie das Flussmittel in der Lotpaste verursachen Lufteinschlüsse beim Löten. Ein sinnvoller Lösungsansatz wäre die Verwendung von Lotformen mit integriertem Abstandshalter, die eine definierte Stärke der Lotschicht ermöglichen. Diese Abstandshalter könnten beispielsweise als Drahtgeflecht in den Lotformen integriert sein [188, 201].

7 Anhänge

A 1. Veröffentlichungen im Rahmen der Dissertation

Bao Ngoc An, Martin Bernd, Benjamin Leyrer, Thomas Blank, Marc Weber, André Loges, Thomas Wetzel, Johannes Kolb

“Full SiC power module with substrate integrated liquid cooling for battery electric vehicles”

CIPS 2016 - 9th International Conference on Integrated Power Electronics Systems

Bao Ngoc An, Maurizio Kempf, Benjamin Leyrer, Thomas Blank, Johannes Kolb, Marc Weber

„Evaluation of Ag-Sinter Pastes for the Die Attachment in Power Electronic Modules using Design of Experiments”

2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)

Bao Ngoc An, Viktor Wegelin, Martin Bernd, Benjamin Leyrer, Michael Meisser, Horst Demattio, Thomas Blank, Marc Weber

„A highly integrated full SiC six-pack power module for automotive applications”

PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management

Bao Ngoc An, Maurizio Kempf, Michael Meisser, Horst Demattio, Benjamin Leyrer, Thomas Blank, Johannes Kolb, Marc Weber

„Evaluation of Leadframe Power Modules for Automotive Drive Applications”

PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management

Bao Ngoc An, Peter Kaestner, Michael Meisser, Benjamin Leyrer, Horst Demattio, Dorit Noetzel, Torsten Scherer, Matthias Mail, Johannes Kolb, Thomas Blank, Thomas Hannemann, Marc Weber

„A Novel Double Sided Cooled Leadframe Power Module for Automotive Application based on ceramic-free Substrates”

CIPS 2018 - 10th International Conference on Integrated Power Electronics Systems

Bao Ngoc An, Dai Ishikawa, Thomas Blank, Helge Wurst, Horst Demattio, Benjamin Leyrer, Johannes Kolb, Torsten Scherer, Ansgar Simon, Marc Weber

„A highly integrated copper sintered SiC power module for fast switching operation”

2018 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC)

Thomas Blank, Bao An, Dominik Bauer, Patrick Jochem, Matthias Luh, Helge Wurst, Marc Weber

„Highly integrated SiC-power modules for ultra-fast lithium-ion battery chargers in LLC-topology”

PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management

Dai Ishikawa, Hideo Nakako, Yuki Kawana, Chie Sugama, Motohiro Negishi, Yoshinori Ejiri, Suguru Ueda, Bao Ngoc An, Helge Wurst, Benjamin Leyrer, Thomas Blank, Marc Weber

„Copper Die-Bonding Sinter Paste: Sintering and Bonding Properties”

2018 7th Electronic System-Integration Technology Conference (ESTC)

Dai Ishikawa, Bao Ngoc An, Matthias Mail, Helge Wurst, Benjamin Leyrer, Thomas Blank, Marc Weber, Suguru Ueda, Hideo Nakako, and Yuki Kawana

„Analysis of Bonding Interfaces of Pressureless-sintered Cu on Metallization Layers”

2019 International Conference on Electronics Packaging (ICEP)

Thomas Blank, Volker Dudek, Bao An, Helge Wurst, Matthias Luh, Dai Ishikawa, Benjamin Leyrer, Marc Weber

„Properties of a GaAs Power Rectifier Diode Module for Ultra-Fast Electric Vehicle Battery Charging Systems“

PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management

Thomas Blank, Matthias Luh, Benjamin Leyrer, Torsten Scherer, Vanessa Trouillet, Matthias Pochert, Helge Wurst, Bao Ngoc An, Marc Weber, Dai Ishikawa

„Is Pressureless Sintering Ready for Power Electronic Modules?”

CIPS 2020 - 11th International Conference on Integrated Power Electronics Systems

A 2. Herstellungsprozess von Silizium-Wafern

Das Basismaterial Silizium (Si) für die Herstellung von Halbleitern kommt in der Natur ausschließlich als Siliziumdioxid (SiO_2) vor. Durch Reduktion von SiO_2 mit Kohlenstoff in einem Lichtbogenofen bei etwa $1800\text{ }^\circ\text{C}$ wird Si gewonnen (Gleichung (7.1)) [202].



Jedoch enthält das Si Verunreinigungen aus beispielsweise Eisen (Fe) oder Aluminium (Al) im ppm-Bereich (parts per million - ein Fremdatom auf 10^6 Si-Atome). Um das Si von den Verunreinigungen trennen zu können, wird Si zunächst gemahlen und in einem Wirbelschichtreaktor mit Chlorwasserstoffgas (HCl - Salzsäure) versetzt. Bei $300\text{ }^\circ\text{C}$ reagieren beide Stoffe in einer exothermen Reaktion zu Trichlorsilan (SiHCl_3) (Gleichung (7.2)). Das SiHCl_3 -Gas wird abgeführt und kondensiert. Das Trichlorsilan wird zusammen mit Wasserstoff in einen von außen gekühlten Beschichtungsreaktor in Abbildung 93 geleitet. In dieser Kammer werden Siliziumstäbe, die ebenfalls Silizium-Seelen genannt werden, mit elektrischer Energie auf etwa $1100\text{ }^\circ\text{C}$ erhitzt. Dabei lagert sich reines polykristallines Si an die Silizium-Seelen an und das HCl-Gas wird abgeführt (Gleichung (3.7)) [203]. Für die Anwendung als Elektronikhalbleiter sollte das Si eine Reinheit im ppb-Bereich (parts per billion - ein Fremdatom auf 10^9 Si-Atome) aufweisen.

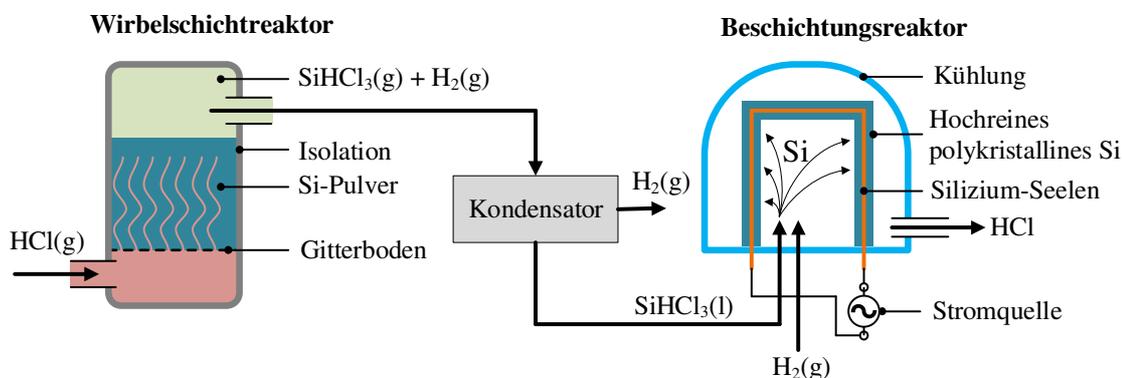


Abbildung 93: Funktionsprinzip des Siemensprozesses zur Reinigung von metallurgischem Silizium

Für die Leistungselektronik werden sauerstofffreie einkristalline Siliziumsubstrate benötigt. Der gereinigte polykristalline Siliziumstab wird mit einem einkristallinen Si-Keimstab kontaktiert und in einem Vakuorrohr platziert (Abbildung 94). Durch induktives Heizen wird der Grenzbereich zwischen dem einkristallinen und polykristallinen Si aufgeschmolzen. Die Oberflächenspannung des Si verhindert, dass das Material wegfließt [204]. Während die Spule weiter nach unten bewegt wird, erstarrt das Material zu einkristallinem Si. Die geringen Mengen an Verunreinigungen im Kristall sinken bei diesem Prozess nach unten. Daher bewirkt dieser Prozess eine zusätzliche Zonenreinigung, die eine Reinheit von 0,1 ppb erzielen kann [203]. Dieser Prozess wird als Floating-Zone-Verfahren bzw. Zonenziehprozess bezeichnet.

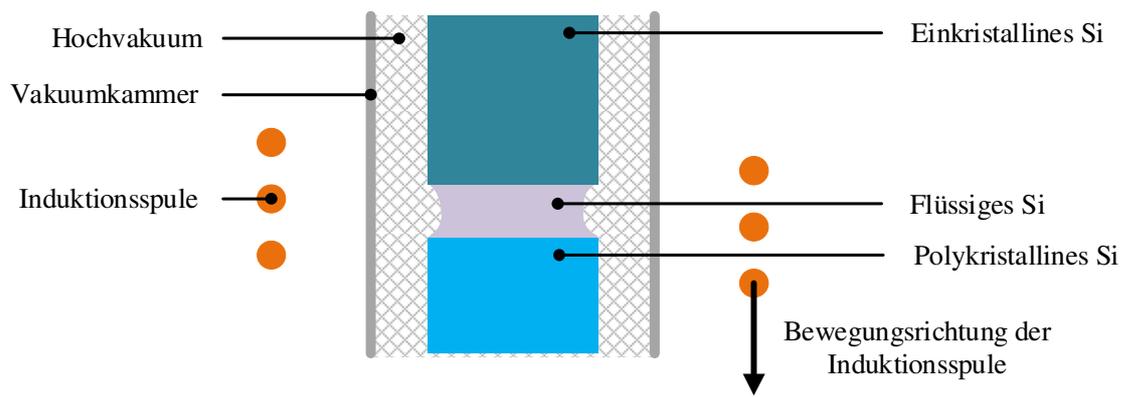


Abbildung 94: Querschnitt einer Floating-Zone-Kristallzuchtanlage zur Erzeugung von hochreinen einkristallinen Siliziumkristallen

A 3. Elektrische Feldstärke in einem SiC-MOSFET

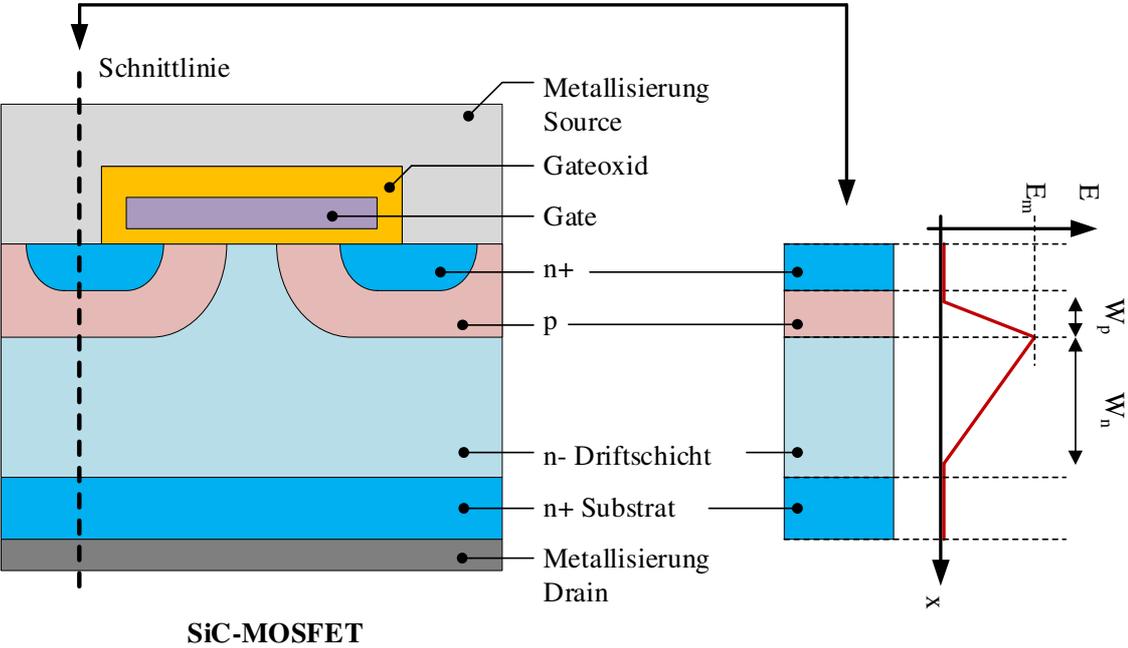


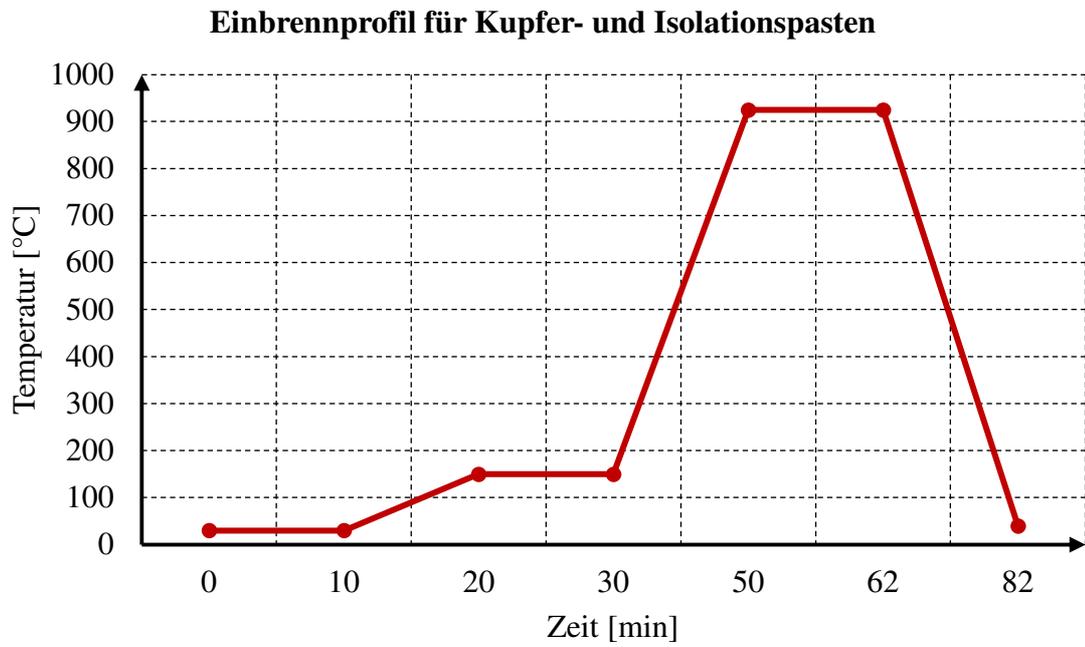
Abbildung 95: Verlauf der elektrischen Feldstärke in einem SiC-MOSFET mit einer D-Struktur [205]

A 4. Aktivlote

Hier sind einige Beispiele für kommerziell verfügbare Aktivlote.

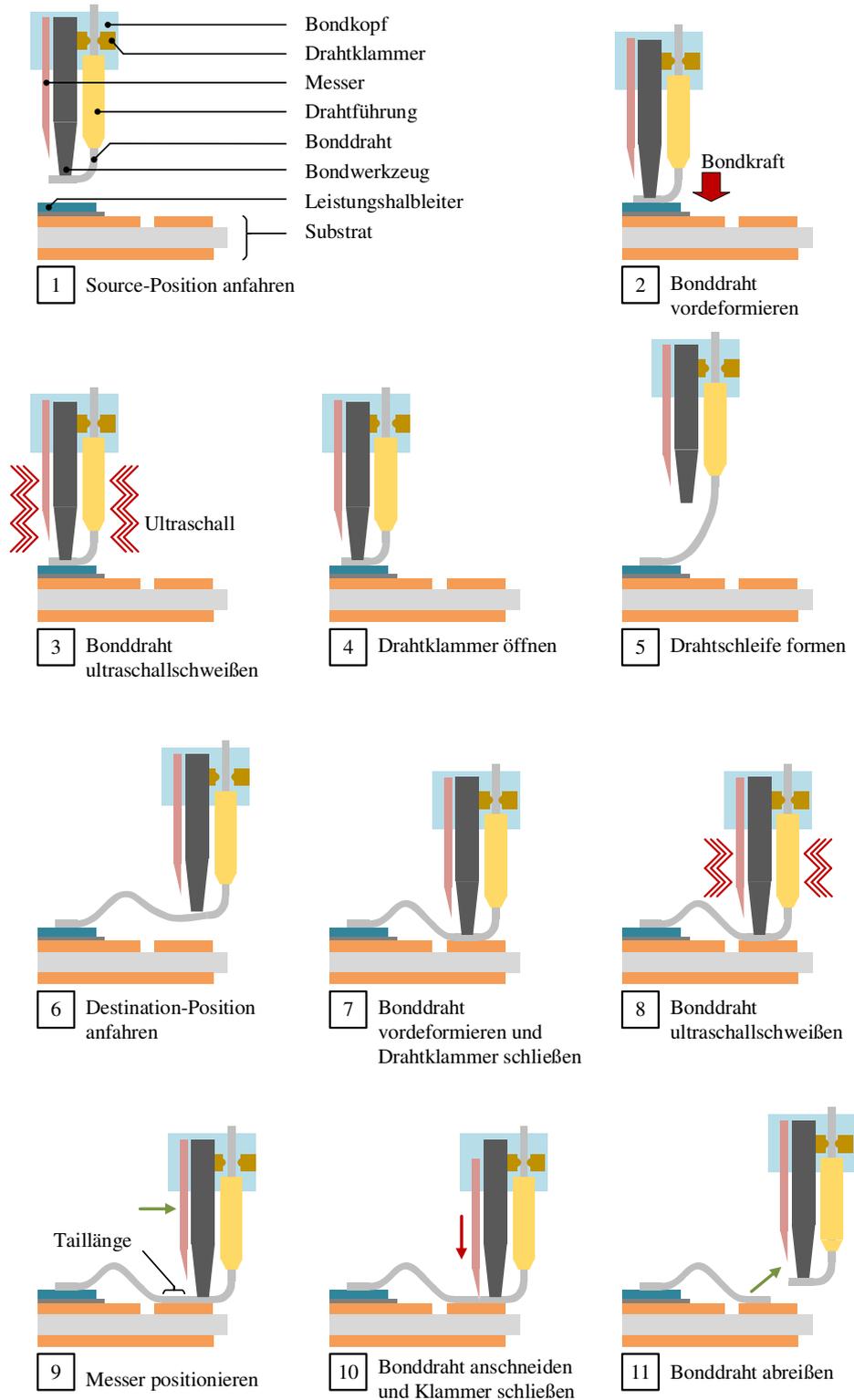
Aktivlote	Solidustemperatur [°C]	Liquidustemperatur [°C]
96Au4Ti	1123	1180
98Au2Ti	1103	1115
50Ti50Ni	960	1032
96.4Au3Ni0.6Ti	1003	1030
92.75Cu2Al3Si2.25Ti	958	1024
67Ti33Ni	942	980
96Ag4Ti	971	971
70Ti15Cu15Ni	910	960
98.4AgIn0.6Ti	947	958
60Ti25Ni15Cu	890	940
92.75Ag5Cu1Al1.25Ti	860	912
68.8Ag26.7Cu4.5Ti	780	900
63Ag35.25Cu1.75Ti	780	815
63Ag34.25Cu1.75Ti1Sn	775	806
60.3Ag23Cu14.7In2Ti	605	725
59Ag27.25Cu12.5In1.25Ti	605	715
43.6Ag29.1Cu24.3In3Ti	488	612

A 5. Einbrennprofil für die Herstellung von Dickfilm-Substraten

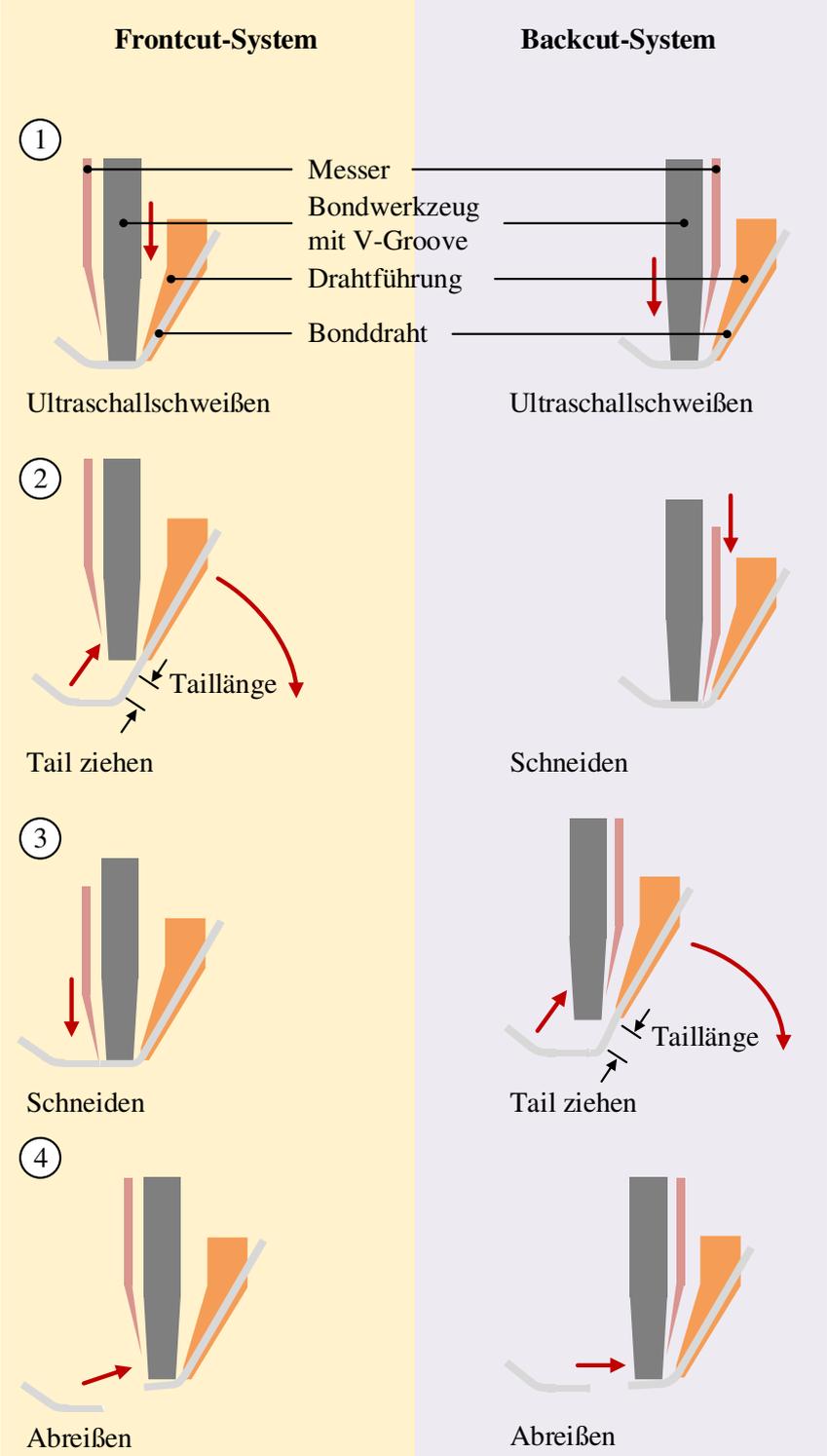


A 6. Dickdrahtbondprozess

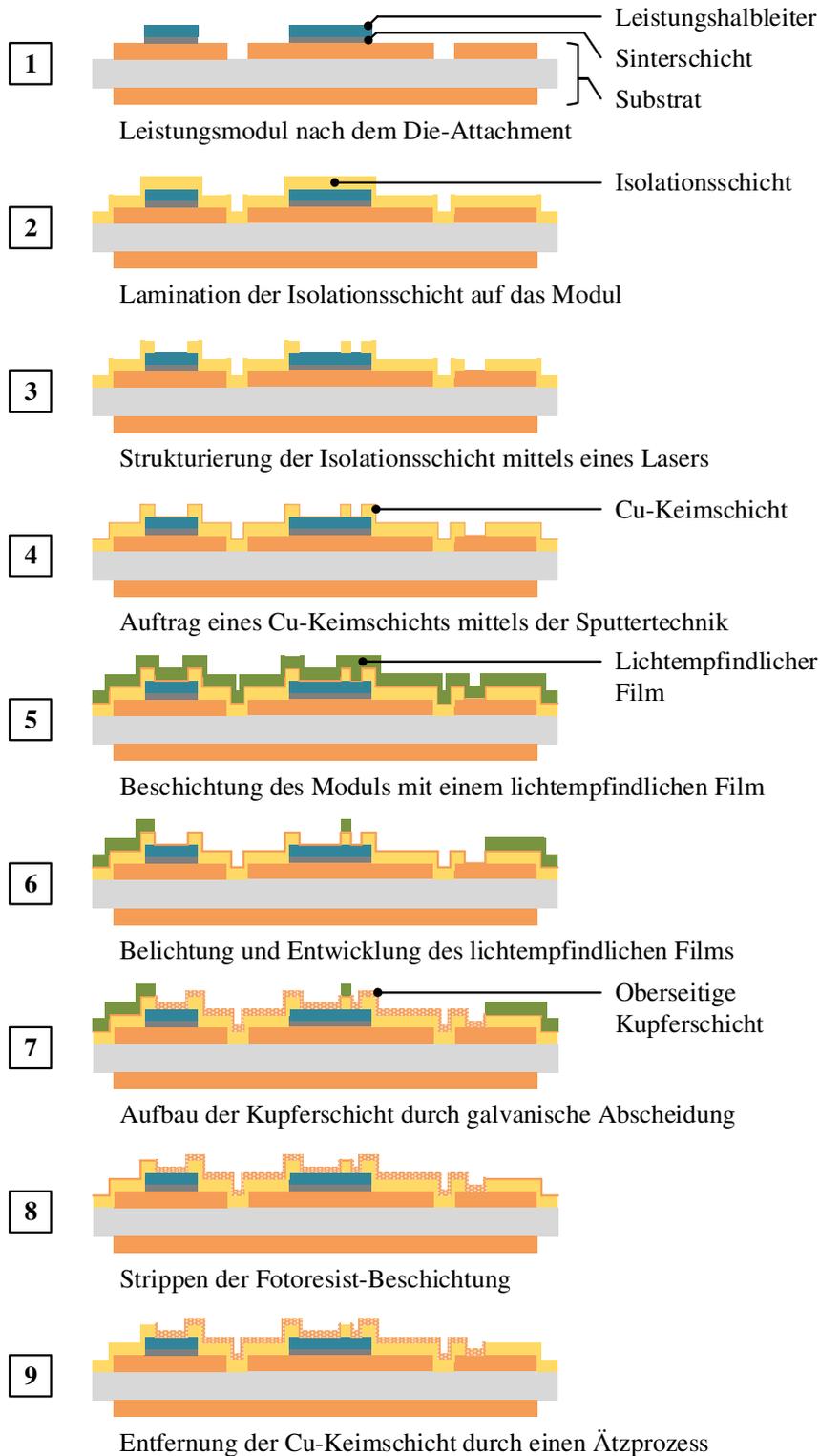
Prozessablauf bei der Herstellung einer Dickdrahtbondverbindung von der Chip-Oberfläche zum Substrat mit einem Frontcut-System.



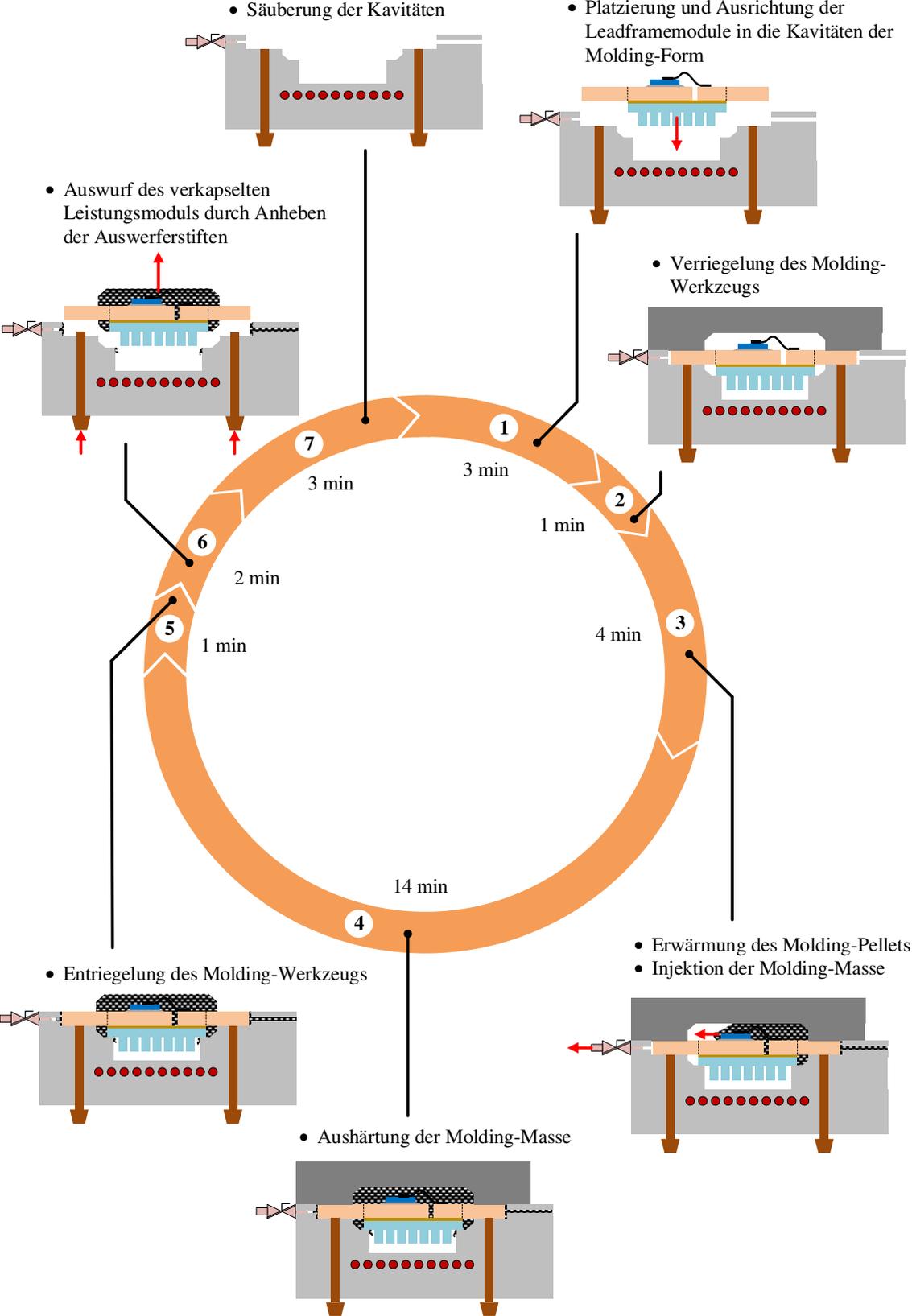
A 7. Frontcut und Backcut-System beim Dickdrahtbonden



A 8. Siemens Planar Interconnect Technology

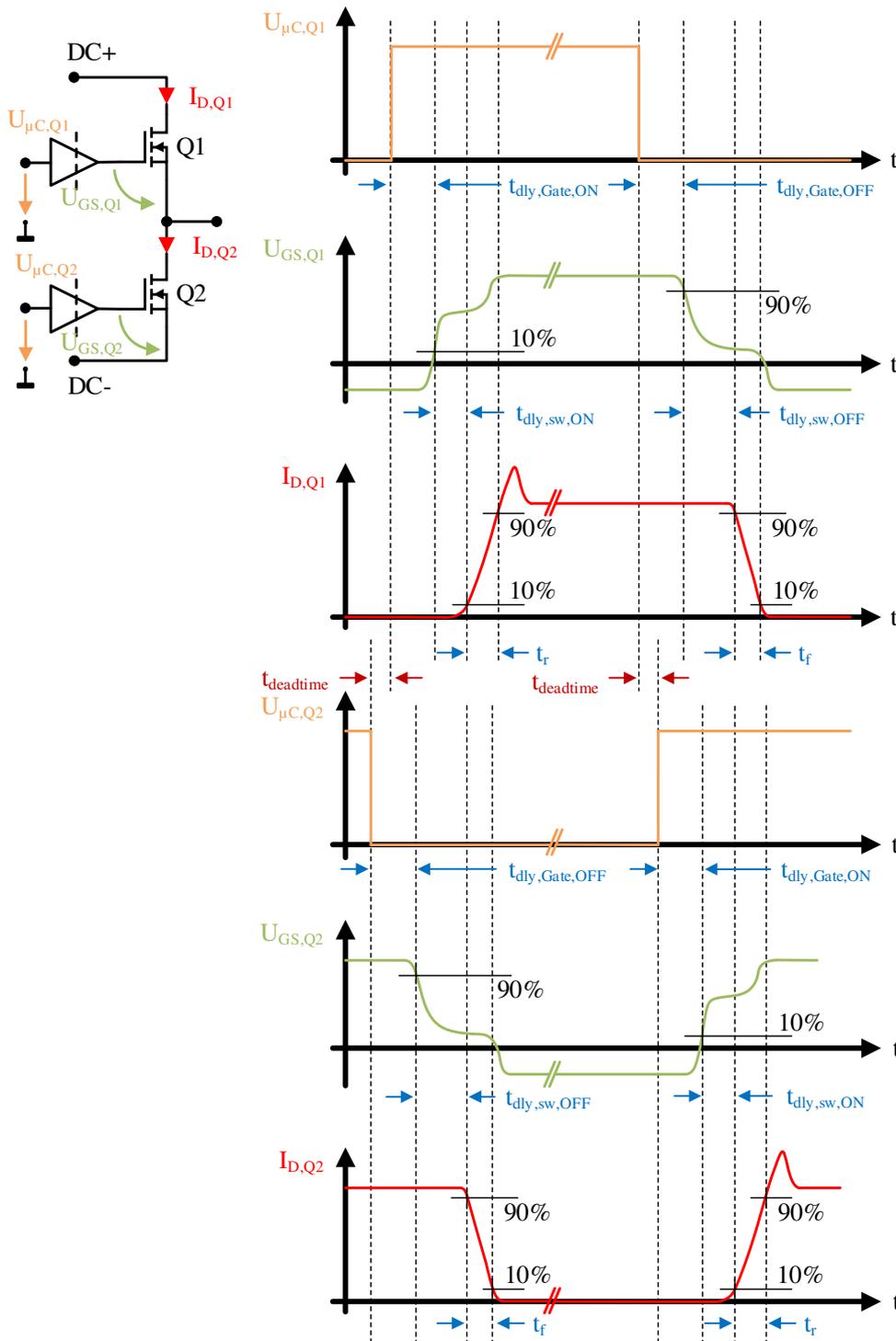


A 9. Resin-Transfer-Molding-Prozessablauf



A 10. Totzeit zwischen den Schaltvorgängen einer Halbbrücke

Die Totzeit wird anhand eines Beispiels für das Ausschalten des Highside-Schalters und für das Einschalten des Lowside-Schalters dargestellt.



A 11. Parametrisierung für die thermische Simulation

Tabelle 22: Standardparameter für das keramikbasierte Leistungsmodul

-	Parameter	Standardwert	Einheit
Modulstruktur	Stärke des SiC-Chips	330	μm
	Abmessung des SiC-Chips	4,8 x 4,8	mm
	Stärke des Si-Chips	120	μm
	Abmessung des Si-Chips	12,1 x 16	mm
	Stärke der Die-Attach-Schicht	80	μm
	Stärke der Kupferschicht (obere und untere Kupferschicht)	300	μm
	Stärke der Al_2O_3 -Keramikschiicht	380	μm
	Stärke der AlN-Keramikschiicht	635	μm
	Abmessung des Substrats (Kupfer / Keramik)	190 x 190	mm
	Verhältnis zwischen der Fläche der oberen Kupferschicht und der Chipkantenlänge	39,58	-
	Verhältnis zwischen der Substrat- und der Chipkantenlänge	39,58	-
	Stärke der Grundplatte (Baseplate)	3	mm
	Abmessung der Grundplatte	190 x 190	mm
	Material	Thermische Leitfähigkeit des SiC-Chips (bei Raumtemperatur)	280
Thermische Leitfähigkeit des Si-Chips (bei Raumtemperatur)		130	$\text{W (m}\cdot\text{K)}^{-1}$
Die-Attach-Material und thermische Leitfähigkeit der Ag-Sinterschicht		265	$\text{W (m}\cdot\text{K)}^{-1}$
Thermische Leitfähigkeit der Kupferschicht (Bulk-Kupfer)		400	$\text{W (m}\cdot\text{K)}^{-1}$
Thermische Leitfähigkeit der Al_2O_3 -Keramikschiicht		25	$\text{W (m}\cdot\text{K)}^{-1}$
Thermische Leitfähigkeit der Lotschicht SAC-Lot (Sn3.5Ag0.5Cu)		57,5	$\text{W (m}\cdot\text{K)}^{-1}$
Betriebsbedingungen	Verlustleistung	100	W
	Kühlkörpertemperatur	65	$^{\circ}\text{C}$

Tabelle 23: Parametrisierung der Die-Attach-Schicht

Dimension des Leistungshalbleiters	Die-Attach-Material	Thermische Leitfähigkeit der Die-Attach-Schicht	Stärke der Die-Attach-Schicht
[mm ²]	-	[W (m·K) ⁻¹]	[μm]
4,8 x 4,8	SAC-Lotschicht	58,7	40; 50; 60; 80
	Ag-Sinterschicht	265	40; 50; 60; 80
16 x 12,1	SAC-Lotschicht	58,7	40; 50; 60; 80
	Ag-Sinterschicht	265	40; 50; 60; 80

Tabelle 24: Parametrisierung der Stärke der Keramik- und Kupferschichten (keramikbasiertes Leistungsmodul)

Substrat-Typ	Thermische Leitfähigkeit der Keramik	Stärke der Keramikschicht	Stärke der Kupferschicht
-	$[W (m \cdot K)^{-1}]$	$[\mu m]$	$[\mu m]$
Al ₂ O ₃ -DCB	25	250	100; 150; 200; 250; 300; 320; 340; 360; 380; 400; 420; 440; 460; 480; 500; 520; 540; 560; 580; 600; 620; 640; 660; 680; 700; 720; 740; 760; 780; 800; 900; 1000; 1500; 2000; 2500; 3000; 3500; 4000; 4500; 5000
		380	100; 150; 200; 250; 300; 320; 340; 360; 380; 400; 420; 440; 460; 480; 500; 520; 540; 560; 580; 600; 620; 640; 660; 680; 700; 720; 740; 760; 780; 800; 900; 1000; 1500; 2000; 2500; 3000; 3500; 4000; 4500; 5000
		635	100; 150; 200; 250; 300; 320; 340; 360; 380; 400; 420; 440; 460; 480; 500; 520; 540; 560; 580; 600; 620; 640; 660; 680; 700; 720; 740; 760; 780; 800; 900; 1000; 1500; 2000; 2500; 3000; 3500; 4000; 4500; 5000
AlN-DCB	180	380	100; 150; 200; 250; 300; 320; 340; 360; 380; 400; 420; 440; 460; 480; 500; 520; 540; 560; 580; 600; 620; 640; 660; 680; 700; 720; 740; 760; 780; 800; 900; 1000; 1500; 2000; 2500; 3000; 3500; 4000; 4500; 5000
		635	100; 150; 200; 250; 300; 320; 340; 360; 380; 400; 420; 440; 460; 480; 500; 520; 540; 560; 580; 600; 620; 640; 660; 680; 700; 720; 740; 760; 780; 800; 900; 1000; 1500; 2000; 2500; 3000; 3500; 4000; 4500; 5000

Tabelle 25: Parametrisierung der Chipkantenlänge, der Kantenlänge der oberen Kupferschicht und Kantenlänge des Keramiksubstrates (Keramik und untere Kupferschicht)

Substrattyp	Chipkantenlänge	Skalierungsfaktor zwischen der Chipkantenlänge und der Kantenlänge der oberen Kupferschicht bzw. zwischen der Chipkantenlänge und der Kantenlänge des Keramiksubstrates
-	[mm]	-
Al ₂ O ₃ -DCB	1	1
	1,5	1,2
	2	1,4
	2,5	1,6
	2,8	1,8
	3	2
	3,5	2,5
	4	3
	4,5	4
	4,8	6
	5	10
	6	15
	7	18
8	20	
AlN-DCB	1	1
	1,5	1,2
	2	1,4
	2,5	1,6
	2,8	1,8
	3	2
	3,5	2,5
	4	3
	4,5	4
	4,8	6
	5	10
	6	15
	7	18
8	20	
Hinweise:		
<ul style="list-style-type: none"> • Der Chip ist quadratisch. • Die Kantenlängen der oberen Kupferschicht bzw. Kantenlängen des Keramiksubstrates ergeben sich aus der Multiplikation der einzelnen Chipkantenlänge und den Skalierungsfaktoren. • Bei der Variation der Größe der oberseitigen Kupferfläche sind die Flächen der Keramik und der unteren Kupferschichten sowie die Größe der Grundplatte auf konstante Standardwerte gesetzt. 		

Tabelle 26: Parametrisierung der Stärke der Grundplatte (keramikbasiertes Leistungsmodul)

Substrattyp	Stärke der Grundplatte
-	[mm]
Al ₂ O ₃ -DCB	0,5
	0,6
	0,7
	0,8
	0,9
	1
	1,2
	1,4
	1,6
	1,8
	2
	2,2
	2,4
	2,6
	2,8
	3
	3,5
	4
5	
6	
AlN-DCB	0,5
	0,6
	0,7
	0,8
	0,9
	1
	1,2
	1,4
	1,6
	1,8
	2
	2,2
	2,4
	2,6
	2,8
	3
	3,5
	4
5	
6	

Tabelle 27: Parametrisierung der Kantenlänge der Grundplatte (keramikbasiertes Leistungsmodul)

Substrattyp	Chipkantenlänge	Skalierungsfaktor zwischen der Chipkantenlänge und der Kantenlänge der Grundplatte
-	[mm]	-
Al ₂ O ₃ -DCB	1	1
	1,5	1,2
	2	1,4
	2,5	1,6
	2,8	1,8
	3	2
	3,5	2,5
	4	3
	4,5	4
	4,8	6
	5	10
	6	15
	7	18
	8	20
AlN-DCB	1	1
	1,5	1,2
	2	1,4
	2,5	1,6
	2,8	1,8
	3	2
	3,5	2,5
	4	3
	4,5	4
	4,8	6
	5	10
	6	15
	7	18
	8	20
Hinweise:		
<ul style="list-style-type: none"> • Der Chip ist quadratisch. • Die Kantenlängen der Grundplatte ergeben sich aus der Multiplikation der einzelnen Chipkantenlänge und den Skalierungsfaktoren. • Bei der Variation der Kantenlänge der Grundplatte wird die Kantenlänge des Substrates im gleichen Maße skaliert. 		

Tabelle 28: Standardparameter für das Kupferstanzgitterleistungsmodul

-	Parameter	Standardwert	Einheit
Modulstruktur	Stärke des SiC-Chips	330	μm
	Abmessung des SiC-Chips	4,8 x 4,8	mm
	Stärke des Si-Chips	120	μm
	Abmessung des Si-Chips	12,1 x 16	mm
	Stärke der Die-Attach-Schicht	80	μm
	Stärke des Kupferstanzgitters	2000	μm
	Abmessung des Substrats (Kupfer / Keramik)	190 x 190	mm
	Verhältnis zwischen der Substrat- und der Chipkantenlänge	39,58	-
	Stärke der Grundplatte (Baseplate)	3	mm
	Abmessung der Grundplatte	190 x 190	mm
Material	Thermische Leitfähigkeit des SiC-Chips (bei Raumtemperatur)	280	W (m·K) ⁻¹
	Thermische Leitfähigkeit des Si-Chips (bei Raumtemperatur)	130	W (m·K) ⁻¹
	Die-Attach-Material und thermische Leitfähigkeit der Ag-Sinterschicht	265	W (m·K) ⁻¹
	Thermische Leitfähigkeit der Kupferschicht (Bulk-Kupfer)	400	W (m·K) ⁻¹
	Thermische Leitfähigkeit der Lotschicht SAC-Lot (Sn3.5Ag0.5Cu)	57,5	W (m·K) ⁻¹
Betriebsbedingungen	Verlustleistung	100	W
	Kühlkörpertemperatur	65	°C

Tabelle 29: Parametrisierung Stärke des Kupferstanzgitters

Eigenschaften der Isolationsschicht	Stärke der Kupferstanzgitters
-	[mm]
$11 \text{ W (m}\cdot\text{K)}^{-1}$ $210 \mu\text{m}$	0,5
	0,6
	0,7
	0,8
	0,9
	1
	1,5
	2
	2,5
	3
	3,5
	4
	4,5
	5
	6
	7
	8
	9
	10
	11
12	
13	
14	
15	
20	
25	

Tabelle 30: Parametrisierung der Kantenlänge des Leadframe-Substrates

Chipkantenlänge	Skalierungsfaktor zwischen der Chipkantenlänge und der Kantenlänge des Leadframe-Substrates
[mm]	
1	1
1,5	1,2
2	1,4
2,5	1,6
2,8	1,8
3	2
3,5	2,5
4	3
4,5	4
4,8	6
5	10
6	15
7	18
8	20
Hinweise:	
<ul style="list-style-type: none"> • Der Chip ist quadratisch. • Die Kantenlängen des Leadframe-Substrates ergeben sich aus der Multiplikation der einzelnen Chipkantenlänge und den Skalierungsfaktoren. 	

Tabelle 31: Parametrisierung der Stärke Grundplatte (Kupferstanzgitterleistungsmodul)

Eigenschaften des Leadframe-Substrates	Stärke der Grundplatte
	[mm]
Stärke des Kupferstanzgitters: 2 mm Wärmeleitfähigkeit der Folie: $11 \text{ W (m}\cdot\text{K)}^{-1}$ Stärke der Folie: 210 μm	0,5
	0,6
	0,7
	0,8
	0,9
	1
	1,2
	1,4
	1,6
	1,8
	2
	2,2
	2,4
	2,6
	2,8
	3
	3,5
4	
5	
6	

Tabelle 32: Parametrisierung der Kantenlänge der Grundplatte (Kupferstanzgitterleistungsmodul)

Chipkantenlänge	Skalierungsfaktor zwischen der Chipkantenlänge und der Kantenlänge des Leadframe-Substrates
[mm]	-
1	1
1,5	1,2
2	1,4
2,5	1,6
2,8	1,8
3	2
3,5	2,5
4	3
4,5	4
4,8	6
5	10
6	15
7	18
8	20

Hinweise:

- Der Chip ist quadratisch.
- Die Kantenlängen der Grundplatte ergeben sich aus der Multiplikation der einzelnen Chipkantenlänge mit den Skalierungsfaktoren.
- Bei der Variation der Kantenlänge der Grundplatte wird die Kantenlänge des Substrates im gleichen Maße skaliert.

A 12. Ergebnisse der thermischen Simulation mit AlN-DCB-Substraten

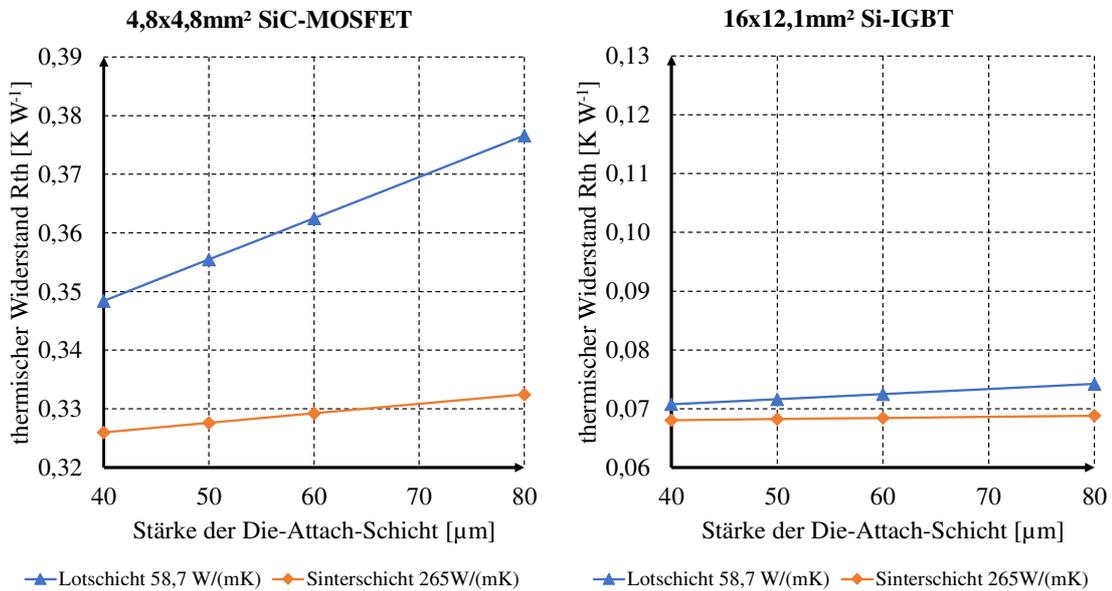


Abbildung 96: R_{th} in Abhängigkeit von der Stärke der SAC-Lotschicht bzw. Ag-Sinterschicht bei einem Leistungsmodul auf Basis einer AlN-Keramik mit einem 4,8x4,8 mm² SiC MOSFET Chip bzw. 16x12,1 mm² Si-IGBT

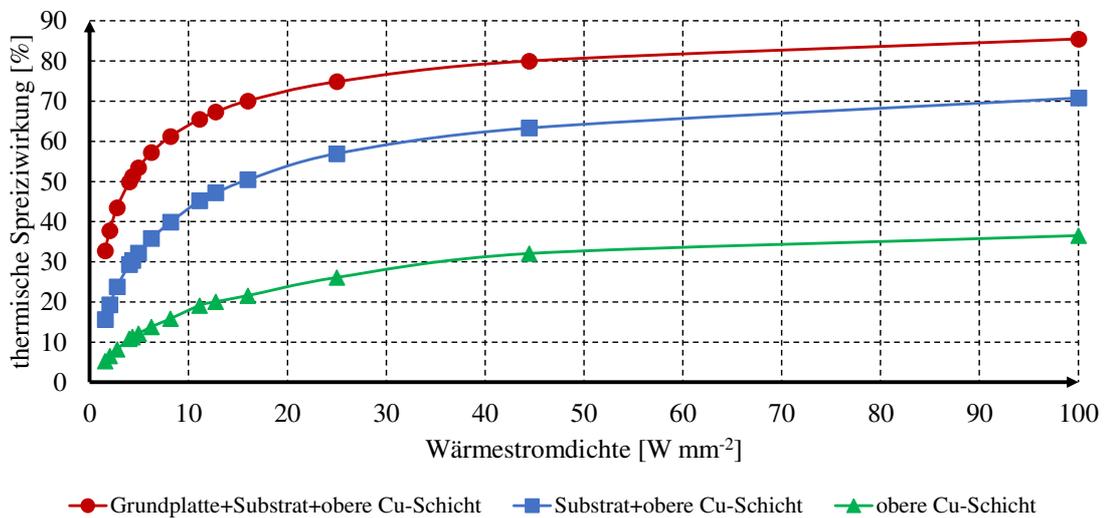


Abbildung 97: Vergleich der thermischen Spreizwirkung in der oberen Kupferschicht, im AlN-DCB-Substrat und in der Grundplatte (AlN-DCB-Substrat mit 300 μm Cu-Schicht und 635 μm ist an die Abmessungen der Grundplatte angepasst)

A 13. Ergebnisse der thermischen Simulation beim Leadframe-Leistungsmodul

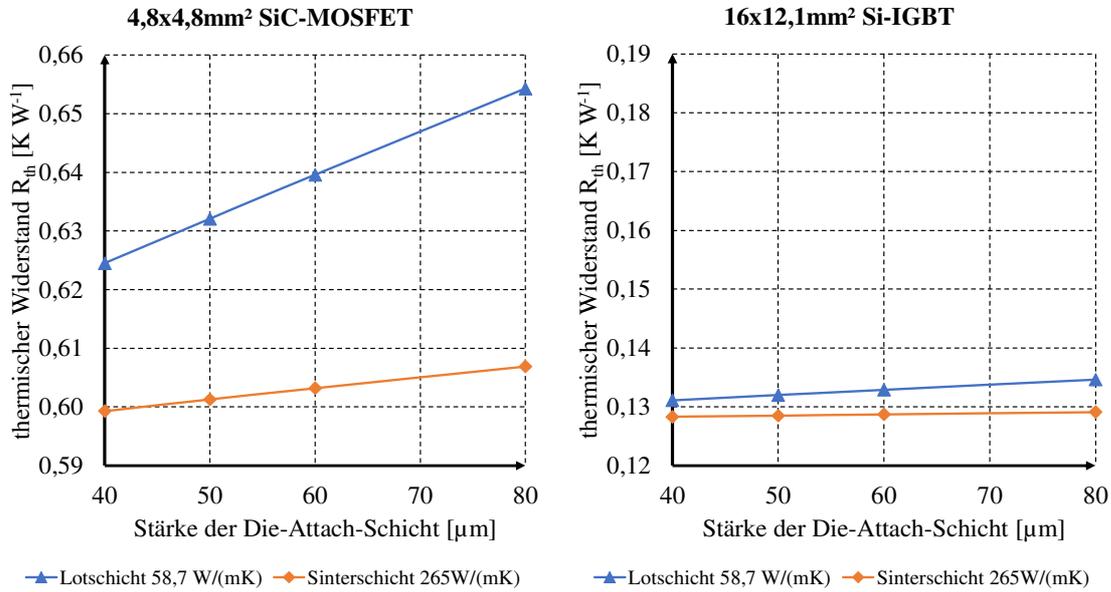


Abbildung 98: Abhängigkeit des R_{th} von der Stärke der SAC-Lotschicht bzw. Ag-Sinterschicht bei einem Leadframe-Leistungsmodul mit einem 4,8x4,8mm² SiC-MOSFET bzw. 16x13,1mm² Si-IGBT

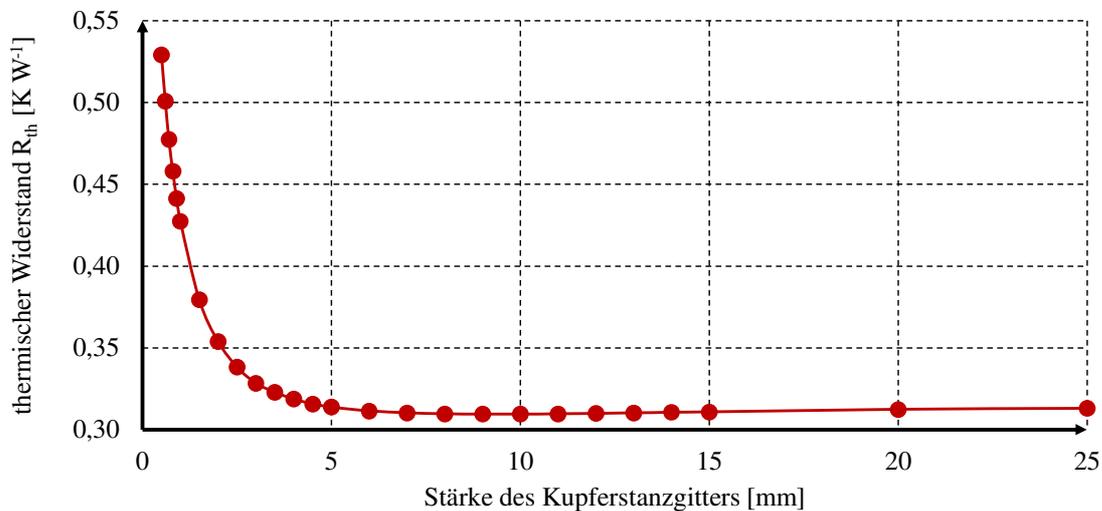


Abbildung 99: Abhängigkeit des R_{th} von der Stärke des Kupferstanzgitters bei einem Leadframe-Leistungsmodul (4,8x4,8mm² SiC MOSFET Chip, $P_V=100$ W, Isolationsfolie mit einer Stärke von 210 μm und mit einer thermischen Leitfähigkeit von 11 W (mK)⁻¹)

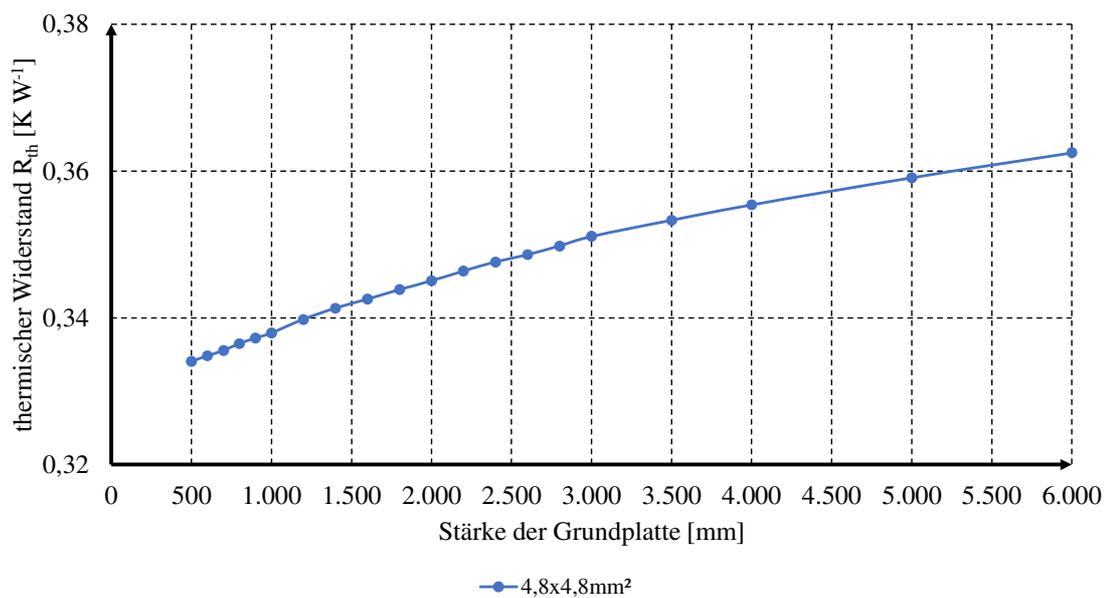


Abbildung 100: Abhängigkeit des R_{th} von der Stärke der Baseplate ($4,8 \times 4,8 \text{ mm}^2$ SiC MOSFET Chip, $P_V = 100 \text{ W}$, Stärke des Leadframe 2 mm , Isolationsfolie mit einer Stärke von $210 \mu\text{m}$ und mit einer thermischen Leitfähigkeit von 11 W (mK)^{-1})

A 14. Siebdrucklayout für den Aufbau von eines Dickfilm-Substrates

Tabelle 33: Zuordnung der unterschiedlichen Siebe zu den Layouts für den Aufbau eines Multilayer-Dickfilm-Substrates

Layout-Bezeichnung	Eigenschaften der Siebe	
Kupferschicht Haftvermittler (oben)	Sieb 1	
	Sieb zum Auftragen der Haftvermittlerschicht auf der Oberseite der Keramik	
	Maschenzahl (Mesh-Zahl) F_n	165
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49
Kupferschicht Haftvermittler (unten)	Sieb 2	
	Sieb zum Auftragen der Haftvermittlerschicht auf der Unterseite der Keramik	
	Maschenzahl (Mesh-Zahl) F_n	165
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49
Aufbaukupfer (oben)	Sieb 3	
	Sieb zum Auftragen der Kupferschicht für den Aufbau der Kupferflächen auf der Oberseite der Keramik	
	Maschenzahl (Mesh-Zahl) F_n	70
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49
Aufbaukupfer (unten)	Sieb 4	
	Sieb zum Auftragen der Kupferschicht für den Aufbau der Kupferflächen auf der Unterseite der Keramik	
	Maschenzahl (Mesh-Zahl) F_n	70
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49
Aufbaukupfer (oben)	Sieb 5	
	Sieb zum Auftragen der finalen Kupferschicht für den Aufbau der Kupferflächen auf der Oberseite der Keramik	
	Maschenzahl (Mesh-Zahl) F_n	280
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49

Isolationsschicht Gate-Treiberschalt- kreis (oben)	Sieb 6	
	Sieb zum Auftragen der Isolationsschicht im Gate-Treiber- schaltkreis	
	Maschenzahl (Mesh-Zahl) F_n	270
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49
Kupferausgleichsflä- chen Gate-Treiber- schaltkreis (oben)	Sieb 7	
	Sieb zum Auftragen der Kupferausgleichsflächen für die 0603-SMD Kondensatoren für den Gate-Treiberbauelement	
	Maschenzahl (Mesh-Zahl) F_n	270
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49
Kupferausgleichsflä- chen Leistungskreis (oben)	Sieb 8	
	Sieb zum Auftragen der obersten Kupferschicht im Gate-Treiberkreis	
	Maschenzahl (Mesh-Zahl) F_n	270
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49
Obere Kupferschicht Gate-Treiberschalt- kreis (oben)	Sieb 9	
	Sieb zum Auftragen der Kupferausgleichsflächen unterhalb der SiC-Leistungshalbleiter	
	Maschenzahl (Mesh-Zahl) F_n	270
	Drahtdurchmesser d [μm]	50
	Maschenweite w [μm]	104
	Offene Siebfläche A_o [%]	45
	Theoretischer Volumenauftrag [$\text{cm}^3 \text{m}^{-2}$]	49

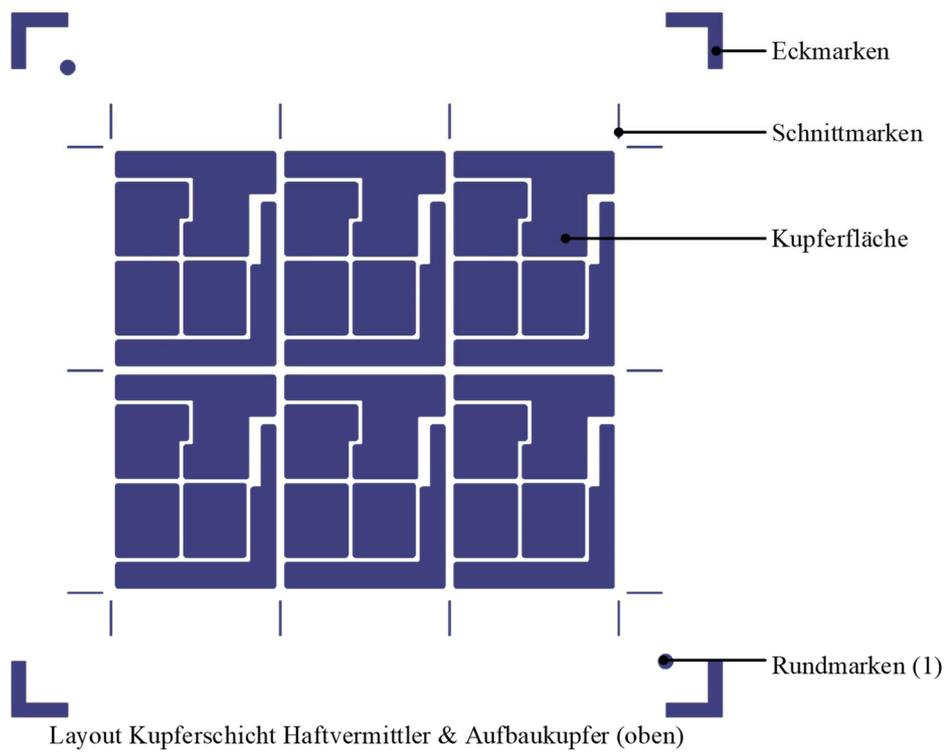


Abbildung 101: Layout für den Auftrag der Haftvermittler- und Aufbaukupferschicht auf der oberen Seite der Keramik

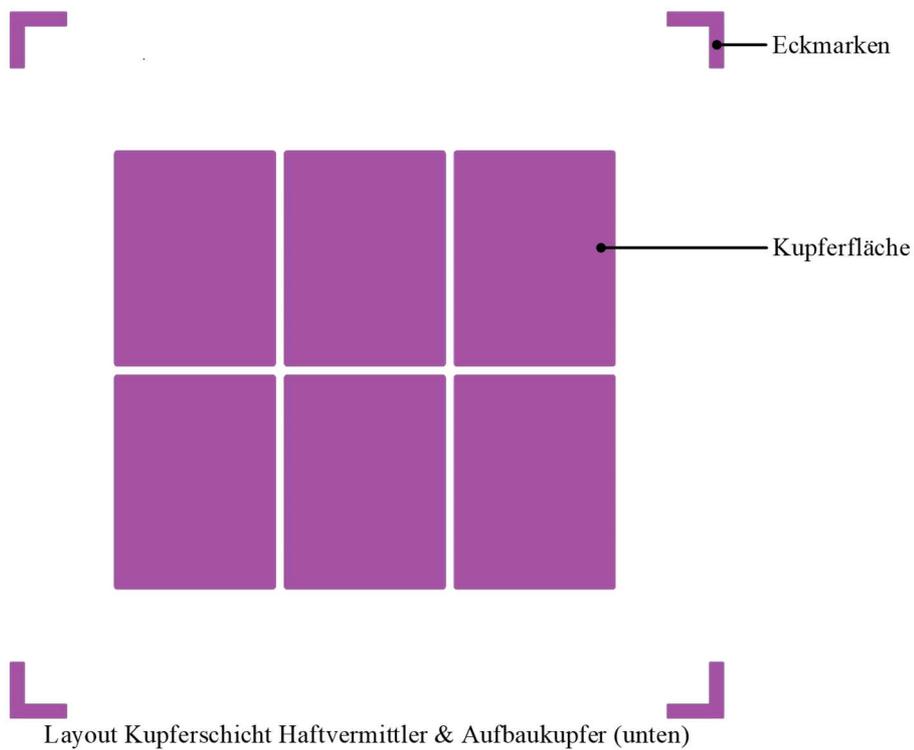
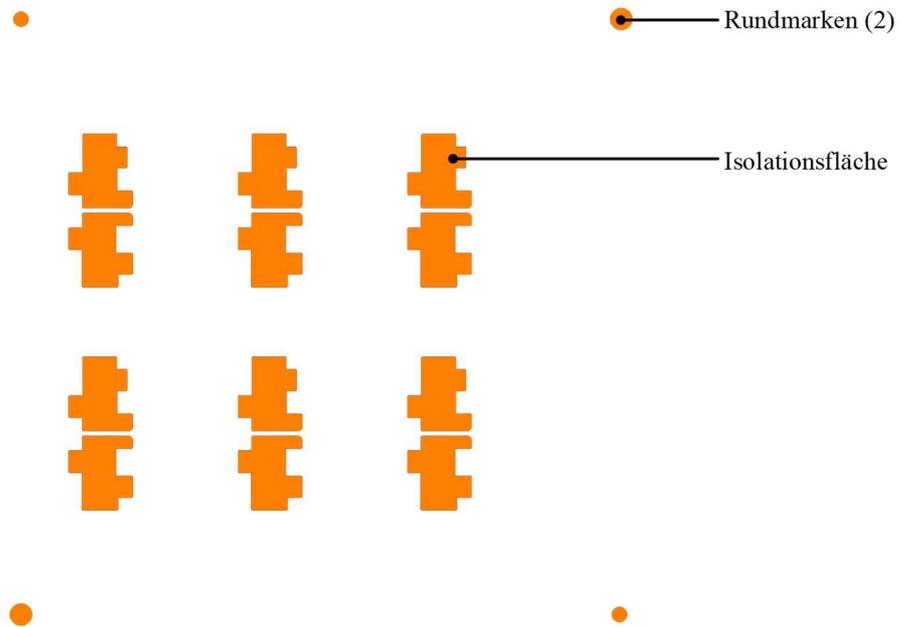
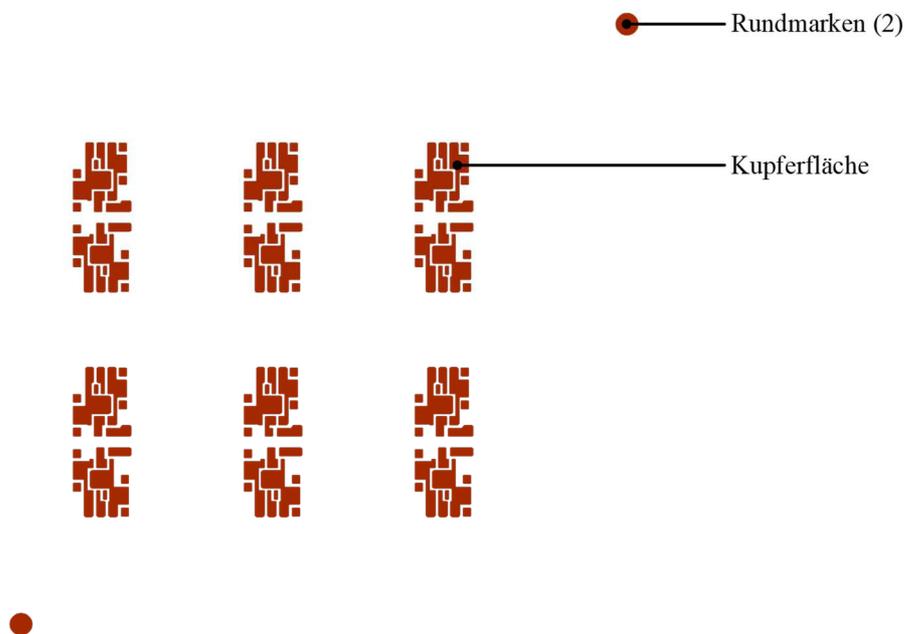


Abbildung 102: Layout für den Auftrag der Haftvermittler- und Aufbaukupferschicht auf der unteren Seite der Keramik



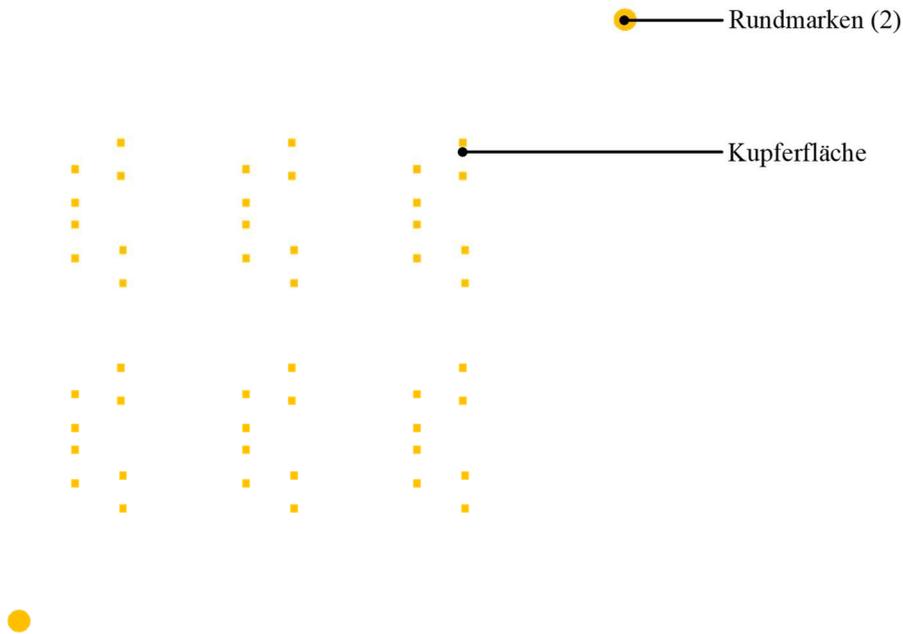
Layout Isolationsschicht im Gate-Treiberschaltkreis (oben)

Abbildung 103: Layout für den Auftrag der Isolationsschicht auf der oberen Seite im Gate-Treiberschaltkreis



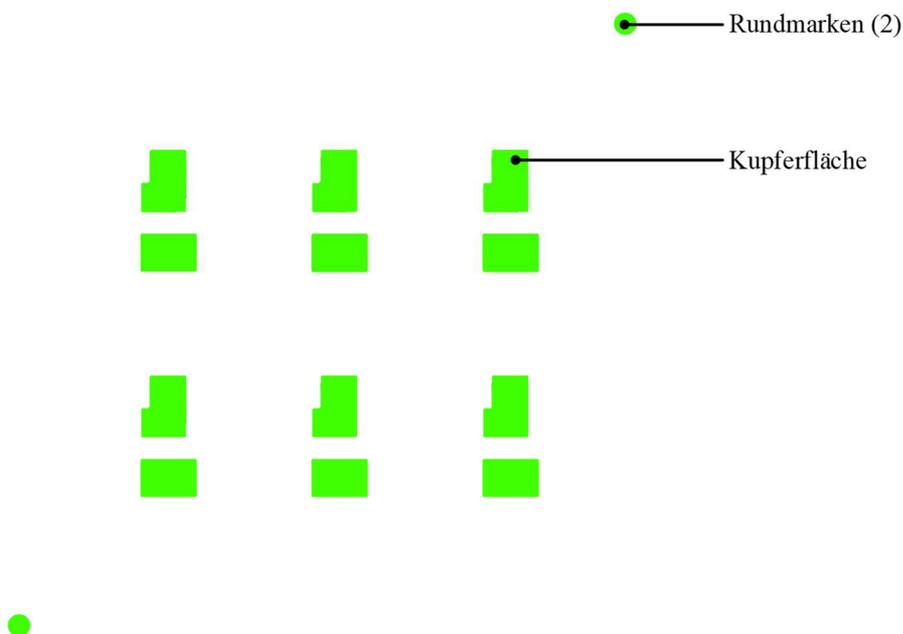
Layout oberste Kupferschicht im Gate-Treiberschaltkreis (oben)

Abbildung 104: Layout für den Auftrag der Kupferschicht auf der oberen Seite der Keramik im Gate-Treiberschaltkreis



Layout Kupferausgleichsflächen Gate-Treiber (oben)

Abbildung 105: Layout für den Auftrag einer Kupferausgleichsschicht auf der oberen Seite der Keramik im Gate-Treiberschaltkreis



Layout Kupferausgleichsflächen Leistungskreis (oben)

Abbildung 106: Layout für den Auftrag einer Kupferausgleichsschicht auf der oberen Seite der Keramik im Leistungskreis direkt unterhalb des Leistungshalbleiterchips

A 15. Vergleich zwischen OFAT und DoE

One-Factor-at-a-Time (OFAT)

Beim OFAT wird stets nur ein Faktor verändert. Am Beispiel von einem zwei-dimensionalen Versuch in Abbildung 107 würde man sich so lange entlang einer horizontalen Linie bewegen, bis der höchste Punkt abgetastet wurde. Anschließend wird der nächste Faktor variiert, was einer vertikalen Bewegung entspricht. Mit OFAT lässt sich das Maximum nur durch Zufall finden, da die tendenzielle Bewegungsrichtung häufig nicht festgelegt werden kann.

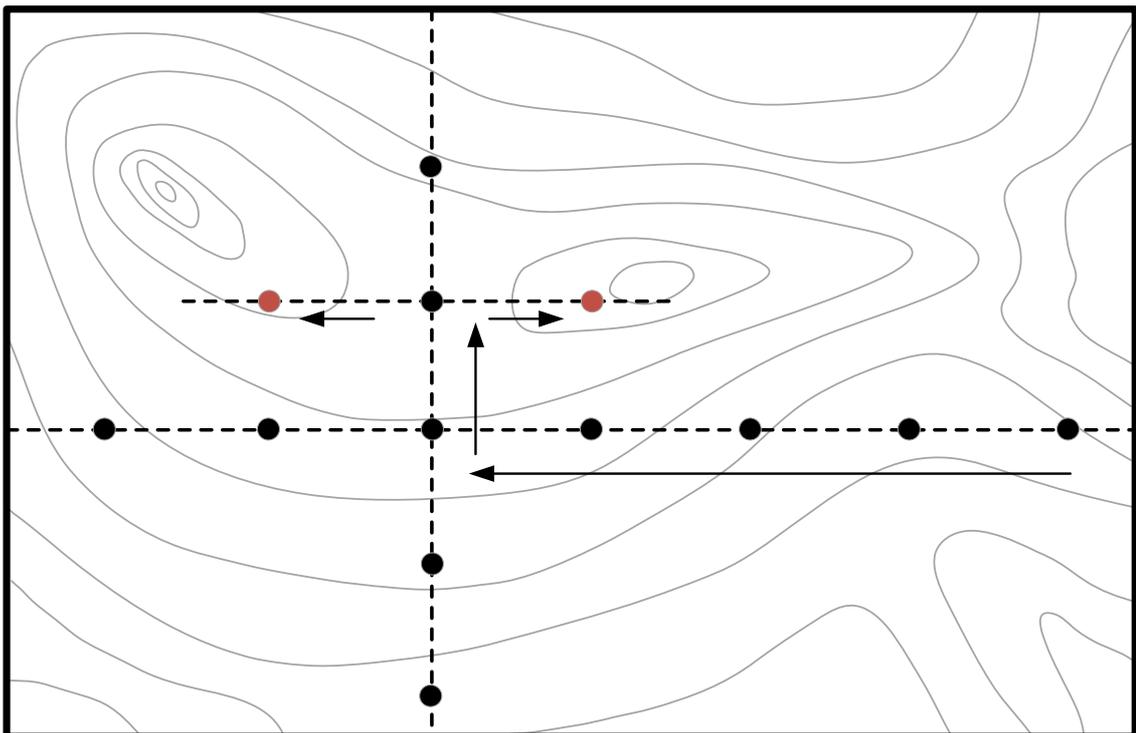


Abbildung 107: Anwendung von OFAT anhand von eines zwei dimensionalens Versuchs

Design of Experiments (DoE)

Beim DoE wird ein Versuchsraum aufgespannt. Die Effekte und Wechselwirkungen der Effekte geben Aufschluss über die Richtung, in dem sich das Maximum befindet. Durch wenige nachfolgende Versplanungen lässt sich das Maximum weiter eingrenzen. Aus den Effekten und Wechselwirkungen lassen sich mehr Informationen über das System ableiten, sodass weniger Aufwand erforderlich ist, um das Maximum zu bestimmen.

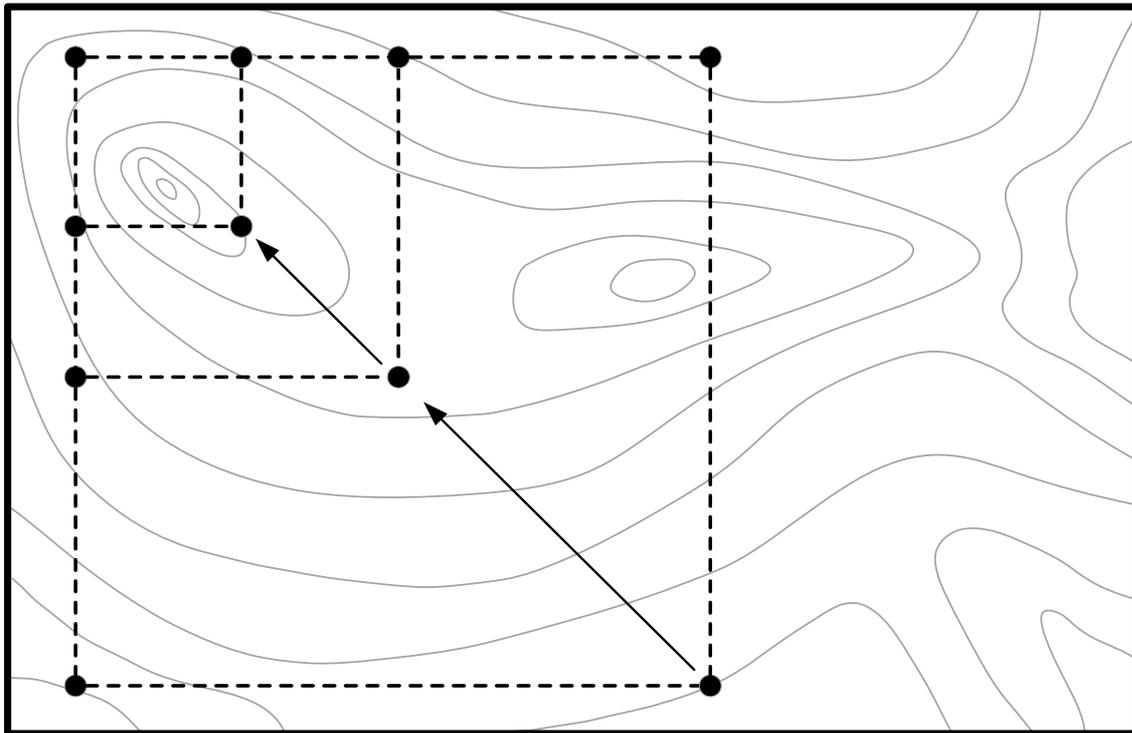


Abbildung 108: Durchführung mehrerer 2²-Versuchsplanungen zur Eingrenzung des Maximums

A 16. Zentral zusammengesetzter Versuchsplan

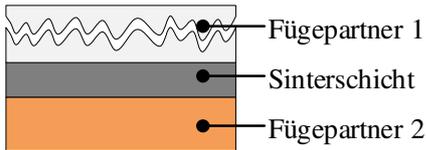
Tabelle 34: Übersicht über alle Versuche eines 2^4 – Zentral zusammengesetzter Versuchsplan

Versuchsnummer	Parameter				Erläuterungen
	Sinterdruck	Sintertemperatur	Trocknungstemperatur	Sinterdauer	
	A	B	C	D	
1	-1	-1	-1	-1	Vollfaktorieller Versuchsplan („Würfel“)
2	+1	-1	-1	-1	
3	-1	+1	-1	-1	
4	+1	+1	-1	-1	
5	-1	-1	+1	-1	
6	+1	-1	+1	-1	
7	-1	+1	+1	-1	
8	+1	+1	+1	-1	
9	-1	-1	-1	+1	
10	+1	-1	-1	+1	
11	-1	+1	-1	+1	
12	+1	+1	-1	+1	
13	-1	-1	+1	+1	
14	+1	-1	+1	+1	
15	-1	+1	+1	+1	
16	+1	+1	+1	+1	
17	$-\alpha$	0	0	0	„Stern“
18	α	0	0	0	
19	0	$-\alpha$	0	0	
20	0	α	0	0	
21	0	0	$-\alpha$	0	
22	0	0	α	0	
23	0	0	0	$-\alpha$	
24	0	0	0	α	
25	0	0	0	0	„Zentrum“
Kodierung der Parameter	Parameterraum				-
$-\alpha$	9 MPa	226 °C	8 min	118 °C	
-1	10 MPa	230 °C	10 min	120 °C	
0	12,5 MPa	240 °C	15 min	125 °C	
+1	15 MPa	250 °C	20 min	130 °C	
$+\alpha$	16 MPa	254 °C	22 min	132 °C	

A 17. Definition der Bruchcodes beim Schertest

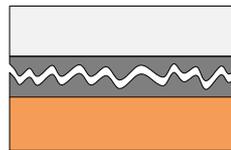
Bruchcodes zur Klassifizierung einer Bruchstelle beim Schertest [177].

Kohäsionsbruch im Fügepartner 1



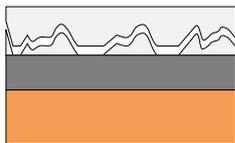
CODE 1

Kohäsionsbruch in der Sinterschicht



CODE 5

Mischbruch im Fügepartner 1 und in der Sinterschicht



CODE 2

Adhäsionsbruch in der Sinterschicht und im Fügepartner 2



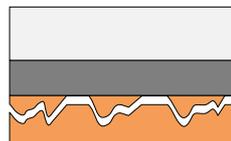
CODE 6

Adhäsionsbruch im Fügepartner 1 und in die Sinterschicht



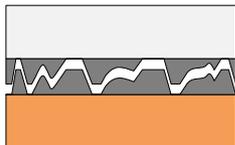
CODE 3

Mischbruch in der Sinterschicht und im Fügepartner 2



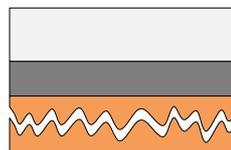
CODE 7

Mischbruch im Fügepartner 1, in der Sinterschicht und im Fügepartner 2



CODE 4

Kohäsionsbruch im Fügepartner 2



CODE 8

A 18. Evaluation von Ag-Sinterpasten

Ag-Sintern

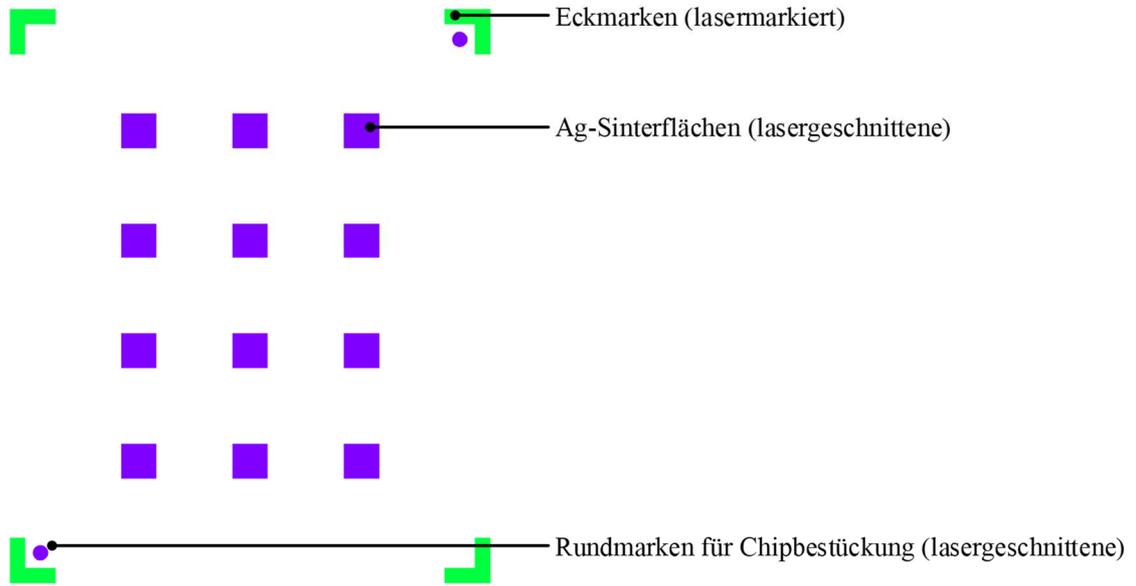


Abbildung 109: Schablonenlayout für Sinterest mit Si-Widerstandschip mit einer Chipfläche von 2,25 x 2,25 mm²

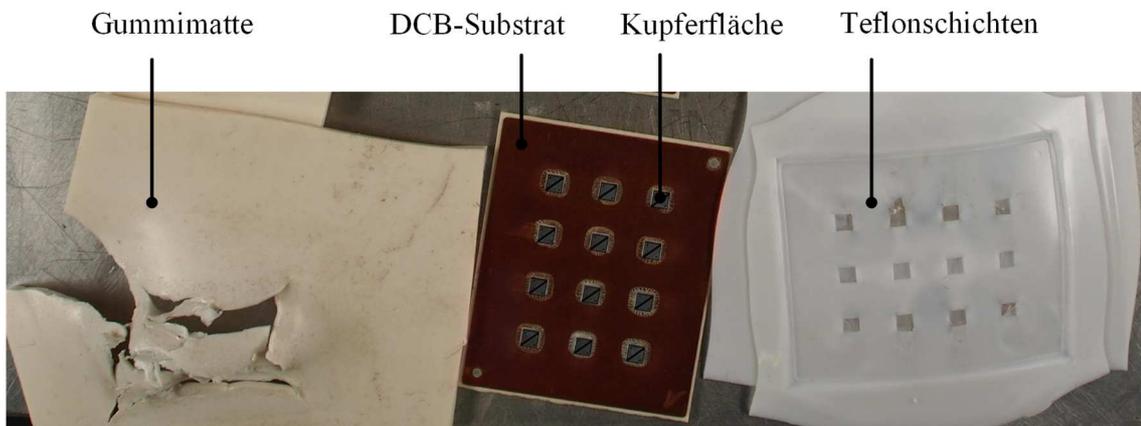


Abbildung 110: Druckausgleich beim Ag-Drucksintern

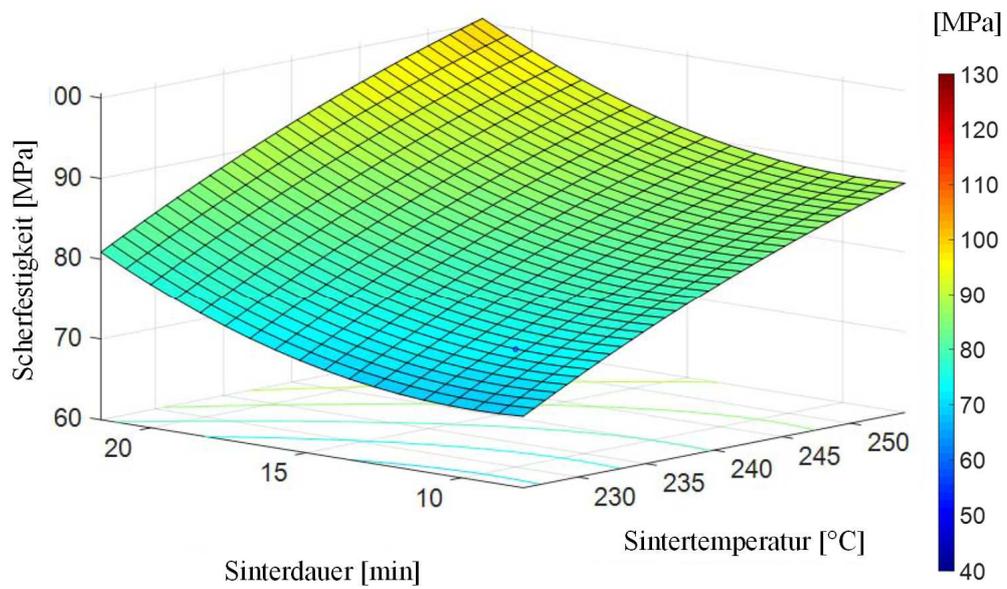


Abbildung 111: Scherfestigkeit von Sinterpaste #1 in Abhängigkeit der Sinterdauer und Sintertemperatur bei einem Sinterdruck von 15 MPa und einer Trocknungstemperatur von 130 °C

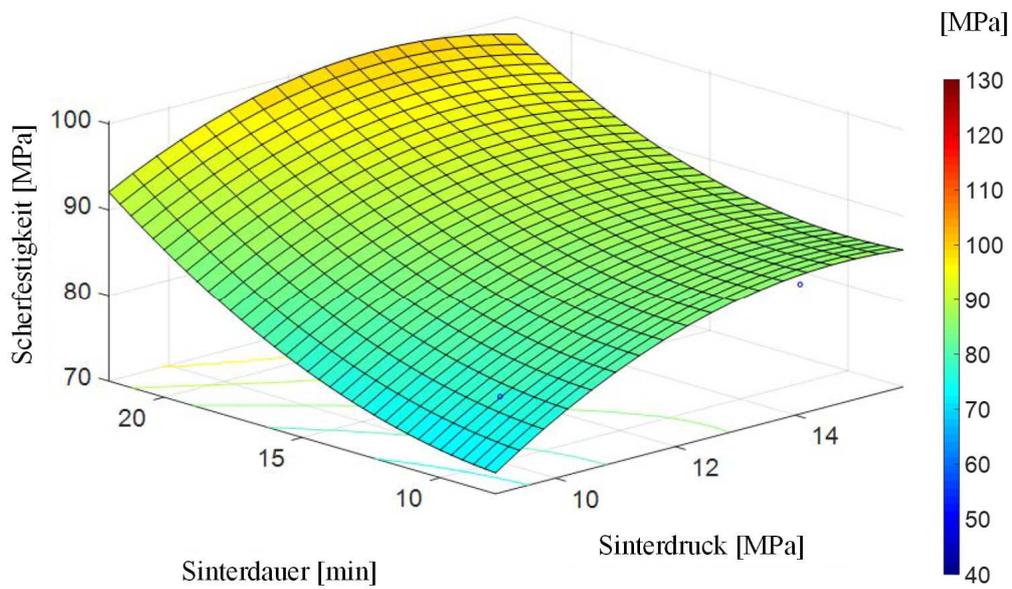


Abbildung 112: Scherfestigkeit von Sinterpaste #1 in Abhängigkeit der Sinterdauer und Sinterdruck bei einer Sintertemperatur von 250°C und einer Trocknungstemperatur von 130 °C

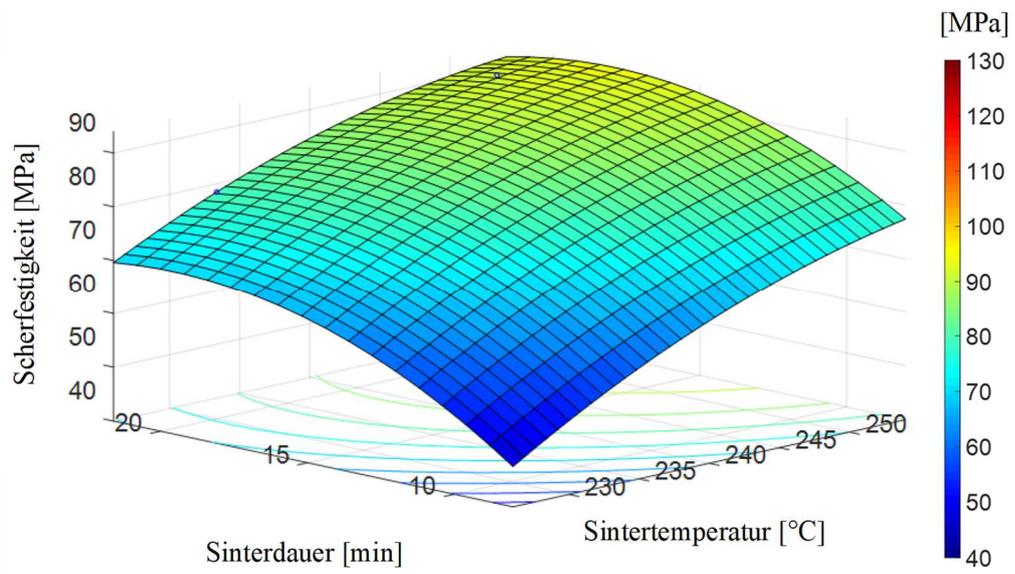


Abbildung 113: Scherfestigkeit von Sinterpaste #2 in Abhängigkeit der Sinterdauer und Sintertemperatur bei einem Sinterdruck von 15 MPa und einer Trocknungstemperatur von 130 °C

A 19. Vergleich Ag- und Cu-Drucksintern

Tabelle 35: Übersicht über alle Versuche beim Vergleich zwischen Ag- und Cu-Drucksintern

Versuchsnummer	Sintermaterial	Parameter	
		Sinterdruck [MPa]	Sinterdauer [°C]
1.a	Ag	3	220
1.b	Cu	3	220
2.a	Ag	5	220
2.b	Cu	5	220
3.a	Ag	10	220
3.b	Cu	10	220
4.a	Ag	12	220
4.b	Cu	12	220
5.a	Ag	20	220
5.b	Cu	20	220
6.a	Ag	3	250
6.b	Cu	3	250
7.a	Ag	5	250
7.b	Cu	5	250
8.a	Ag	10	250
8.b	Cu	10	250
9.a	Ag	12	250
9.b	Cu	12	250
10.a	Ag	20	250
10.b	Cu	20	250
11.a	Ag	3	300
11.b	Cu	3	300
12.a	Ag	5	300
12.b	Cu	5	300
13.a	Ag	10	300
13.b	Cu	10	300
14.a	Ag	12	300
14.b	Cu	12	300
15.a	Ag	20	300
15.b	Cu	20	300

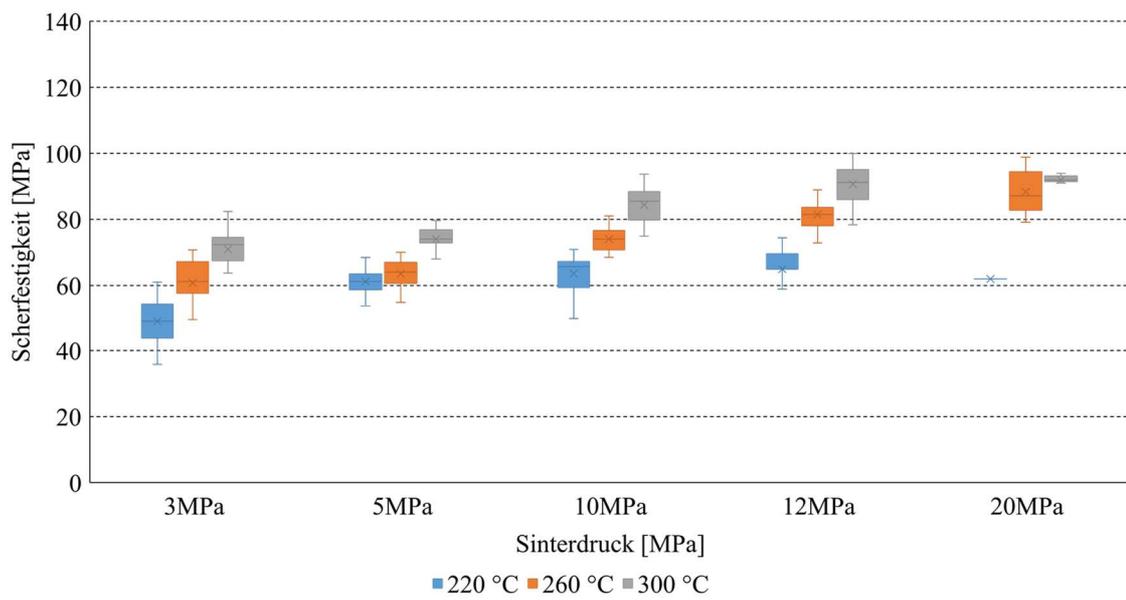


Abbildung 114: Streuung der Scherfestigkeitswerte beim Ag-Drucksintern

A 20. Standardprofil beim drucklosen Cu-Sintern

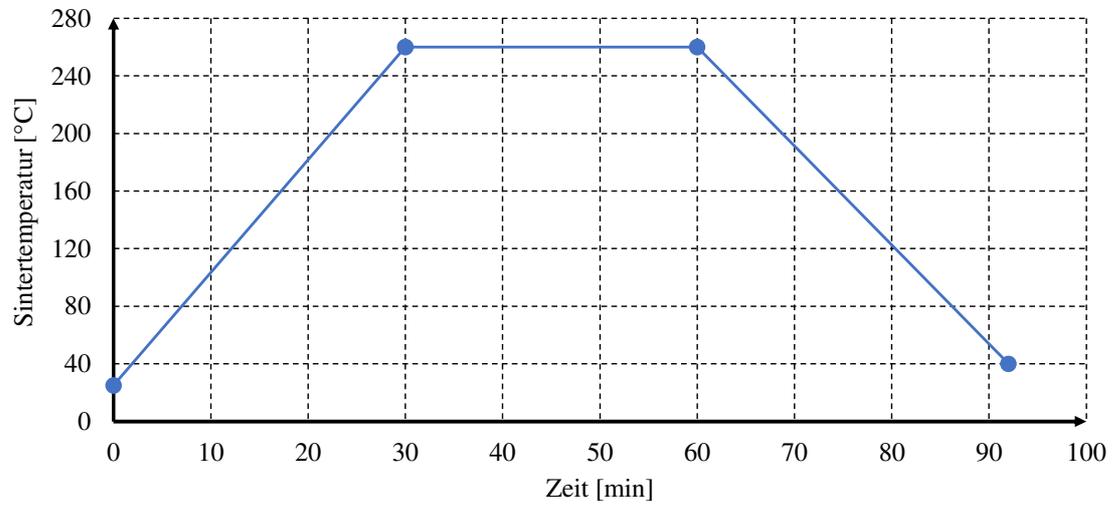


Abbildung 115: Vom Hersteller empfohlenes Standardsinterprofil für das druckloses Cu-Sintern

A 21. Probenpräparation und Gefügeanalyse



Abbildung 116: Cross-Section-Polisher als Präparationswerkzeug für die Herstellung von präzisen Schlifften

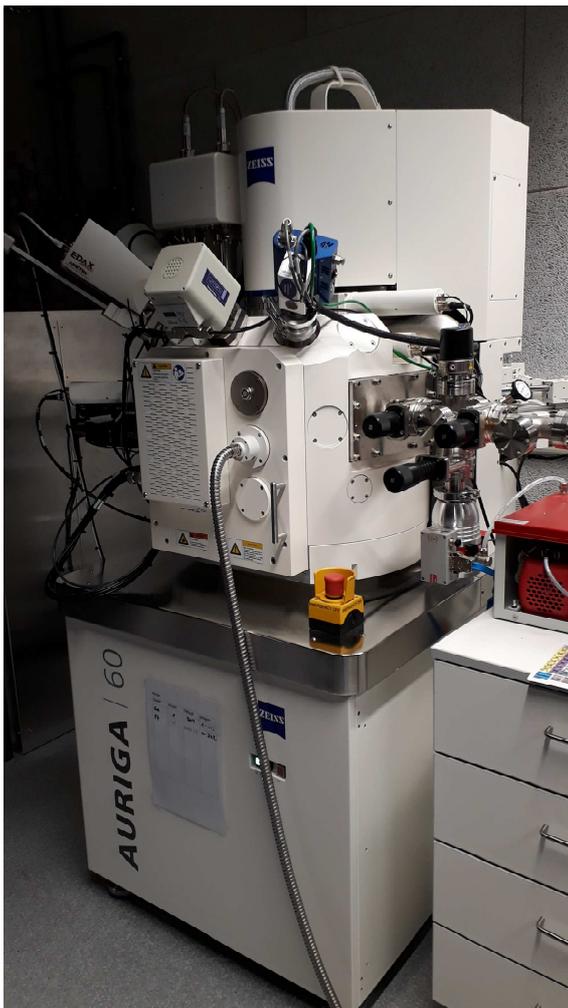
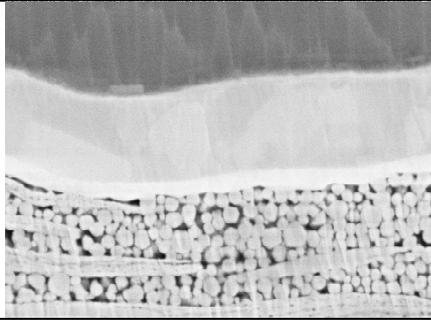
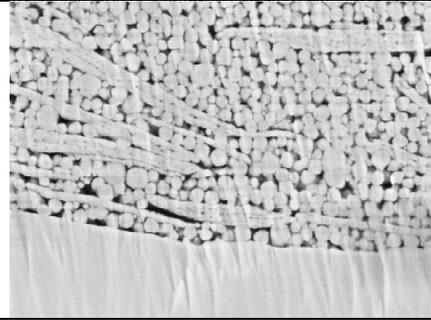
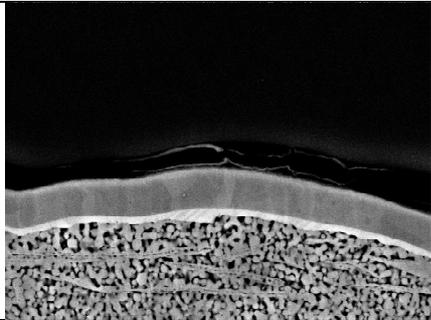
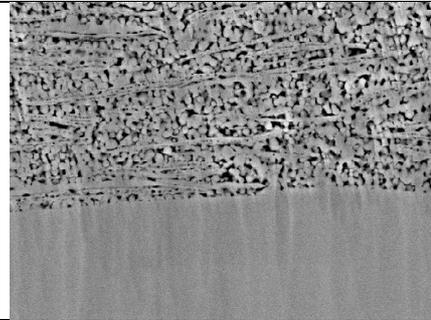
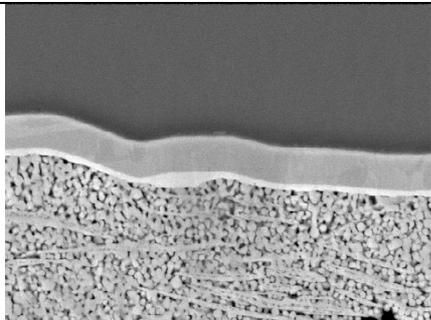
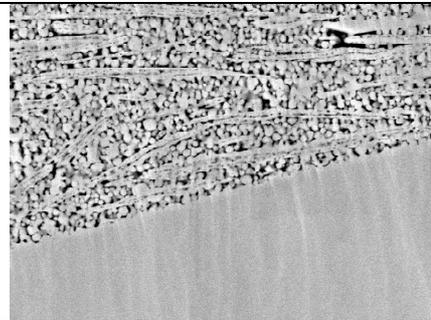
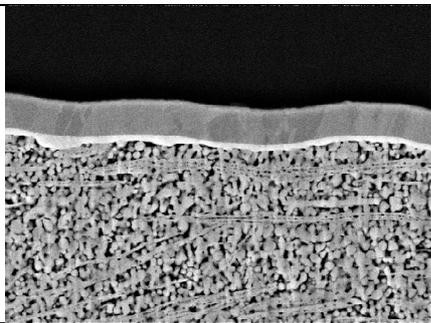
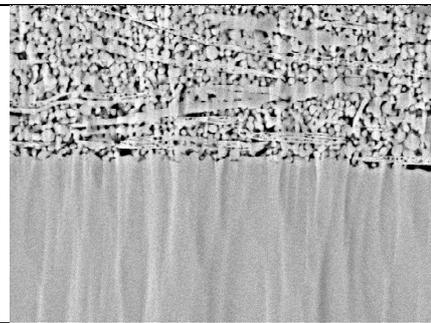


Abbildung 117: Elektronenmikroskop am KIT für die mikroskopische Analyse von Gefügen

A 22. REM Interface-Analyse der Cu-Sinterverbindung

Tabelle 36: Gefügeanalyse der Cu-Sinterverbindung in Abhängigkeit des Sinterdruckes und der Sintertemperatur

Sinterparameter	Interface Chip-Sinterschicht	Interface Sinterschicht-Kupferschicht	Porosität
(I) 12 MPa 220 °C 50K x			14,4 %
(II) 3 MPa 260 °C 24,4K x			34,7 %
(III) 5 MPa 260 °C 24,4K x			27,9 %
(IV) 10 MPa 260 °C 24,4K x			27,2 %

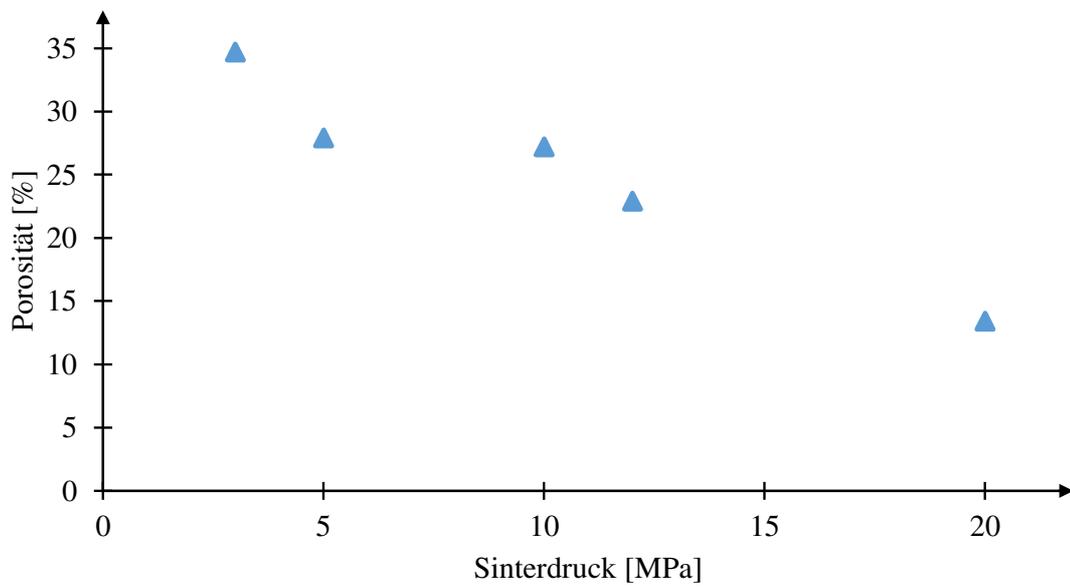
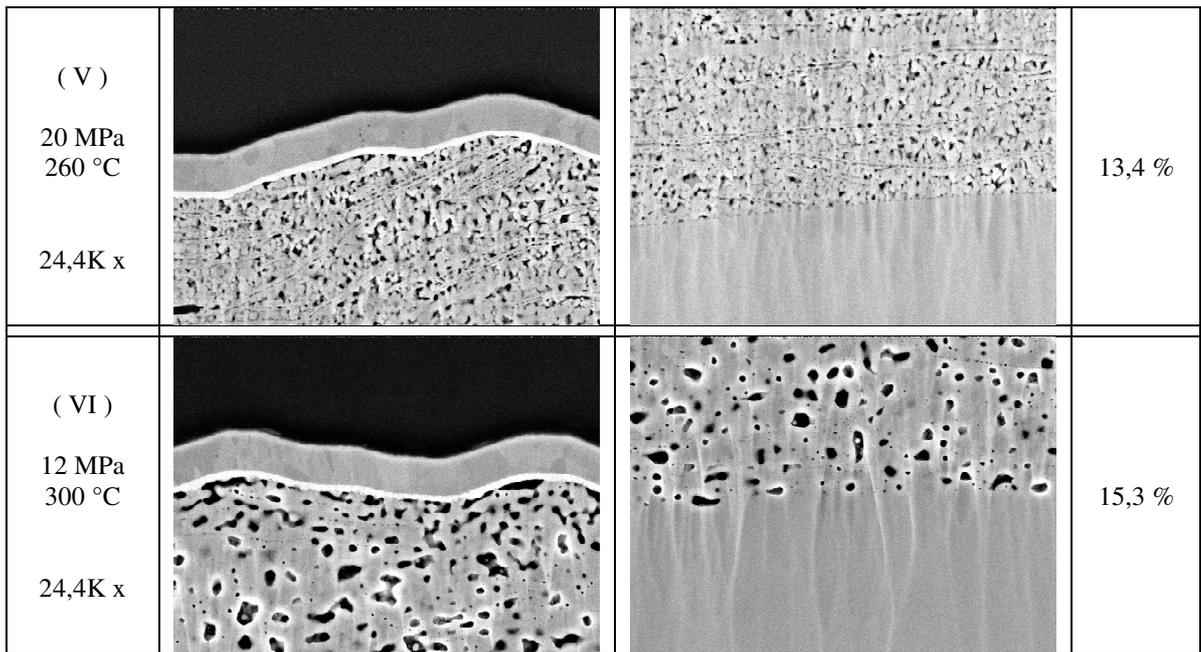


Abbildung 118: Porosität der Cu-Sinterschicht in Abhängigkeit des Sinterdruckes bei $T_{Sinter}=260$ °C und $t_{sinter}=5$ min

A 23. Aufbau einer Wasserstoffsinteranlage

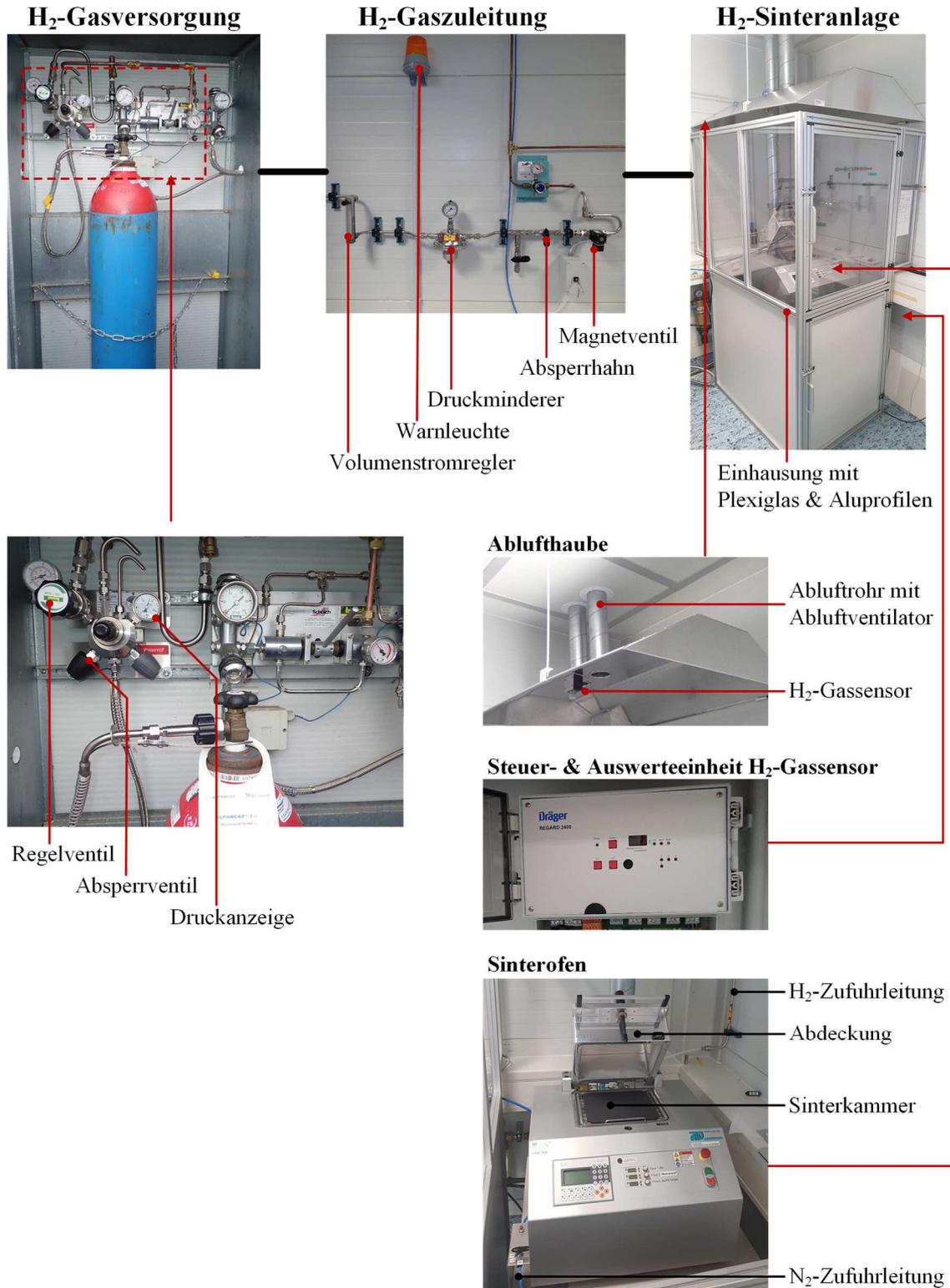


Abbildung 119: Aufbau und Sicherheitskonzept einer Wasserstoffsinteranlage

A 24. Optimierung des drucklosen Cu-Sinterprozesses

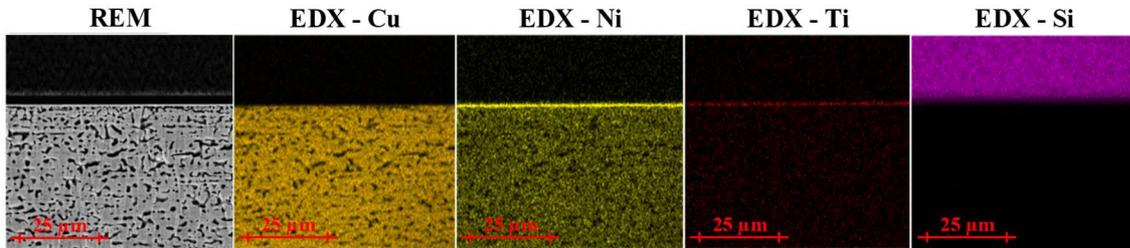
Table 37: Metallisierung des Si-Widerstandschilds und des DCB-Substrates

	Finale Metallschicht am DCB-Substrat			
	Cu	Ni	Ag	Au
Chipmetallisierung	Ti: 0,1 μm Ni: 0,8 μm Ag: 0,1 μm			
Metallisierung des DCB-Substrates	keine (Bare Cu)	Ni: 4 μm	Ni: 5,5 μm Pd: 0,5 μm Ag: 0,5 μm	Pd: 0,9 μm Au: 0,1 μm

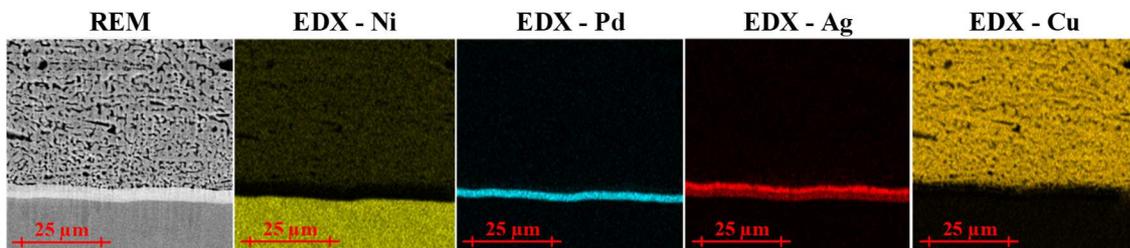
Table 38: Parameterraum bei der Optimierung des drucklosen Cu-Sinterprozesses

Versuchsnummer	Parameter		
	Temperaturanstiegzeit [min]	Sinterdauer [min]	Max. Sintertemperatur [$^{\circ}\text{C}$]
1	5	1	220
2	5	5	220
3	5	10	220
4	5	1	260
5	5	5	260
6	5	10	260
7	5	1	300
8	5	5	300
9	5	10	300
10	10	1	220
11	10	5	220
12	10	10	220
13	10	1	260
14	10	5	260
15	10	10	260
16	10	1	300
17	10	5	300
18	10	10	300
19	15	1	220
20	15	5	220
21	15	10	220
22	15	1	260
23	15	5	260
24	15	10	260
25	15	1	300
26	15	5	300
27	15	10	300

A 25. Analyse der Verbindungsschicht beim drucklosen Cu-Sintern



Interface zwischen Chip – Cu-Sinterschicht



Interface zwischen Cu-Sinterschicht – Ag/Pd/Ni-Substrat

Abbildung 120: REM- und EDX-Analyse beim drucklosen Cu-Sintern

Tabelle 39: Diffusionskoeffizienten von Cu, Ni, Ag und Au bei einer Temperatur von etwa 700 °C [206]

Materialien		Intrinsische Diffusion [$m^2 \cdot s^{-1}$]	Interdiffusion [$m^2 \cdot s^{-1}$]
Matrix	Gelöster Stoff		
Cu	Cu	$3,12 \cdot 10^{-16}$	$3,12 \cdot 10^{-16}$
Cu	Ni	$1,04 \cdot 10^{-17}$	$2,1 \cdot 10^{-16}$
Ni	Cu	$4,12 \cdot 10^{-16}$	
Cu	Ag	$4,74 \cdot 10^{-14}$	$4,19 \cdot 10^{-14}$
Ag	Cu	$3,84 \cdot 10^{-14}$	
Cu	Au	$4,12 \cdot 10^{-13}$	$4,96 \cdot 10^{-13}$
Au	Cu	$7,02 \cdot 10^{-13}$	

A 26. Lötung zwischen dem Substrat und der Baseplate

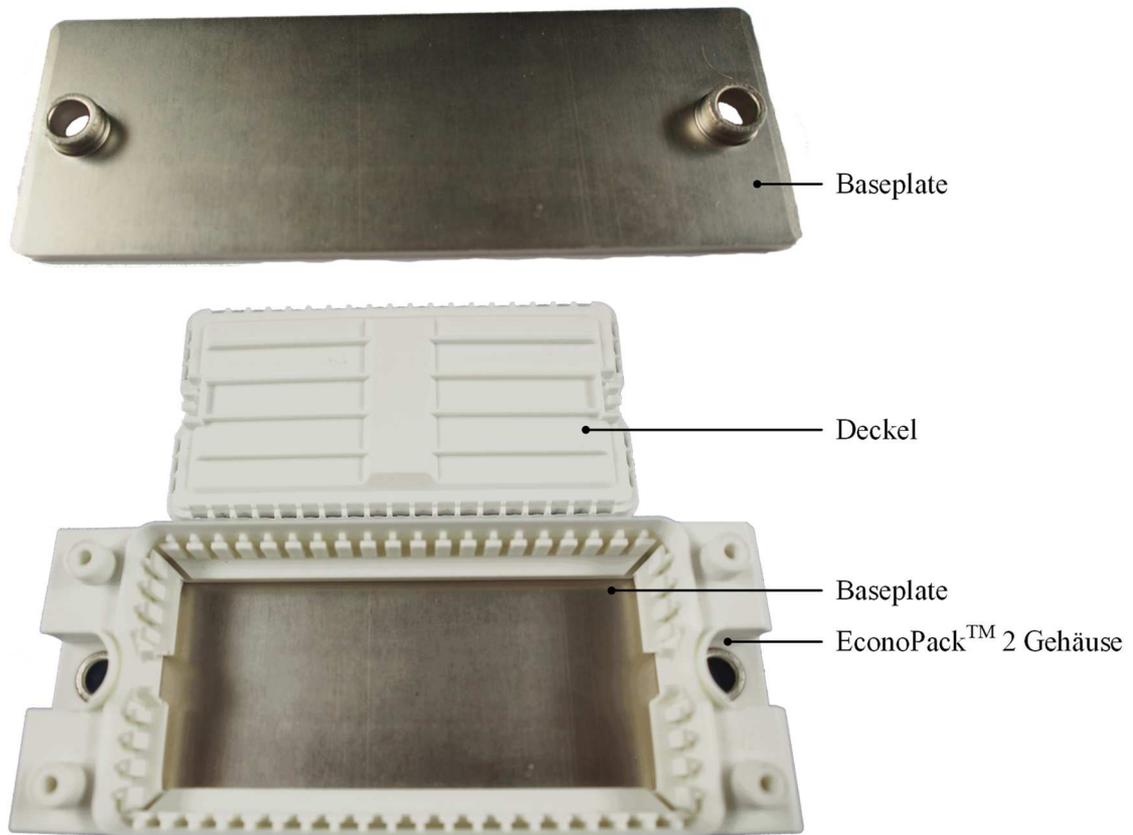


Abbildung 121: Baseplate und EconoPack™ 2 Gehäuse des hochintegrierten SiC-Leistungsmoduls

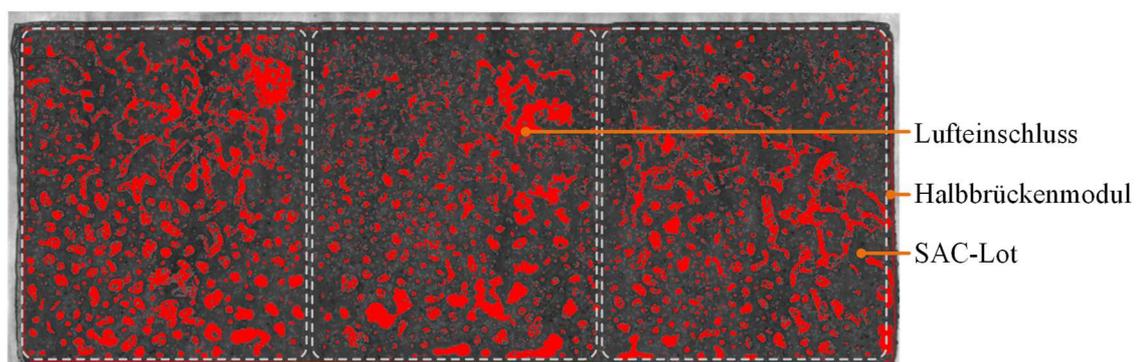


Abbildung 122: Luft einschlüsse in der Lotschicht nach Baseplate-Lötung ohne Vakuum

A 27. Qualitätssicherung der Verbindungsstellen beim hochintegrierten SiC-Leistungsmodul

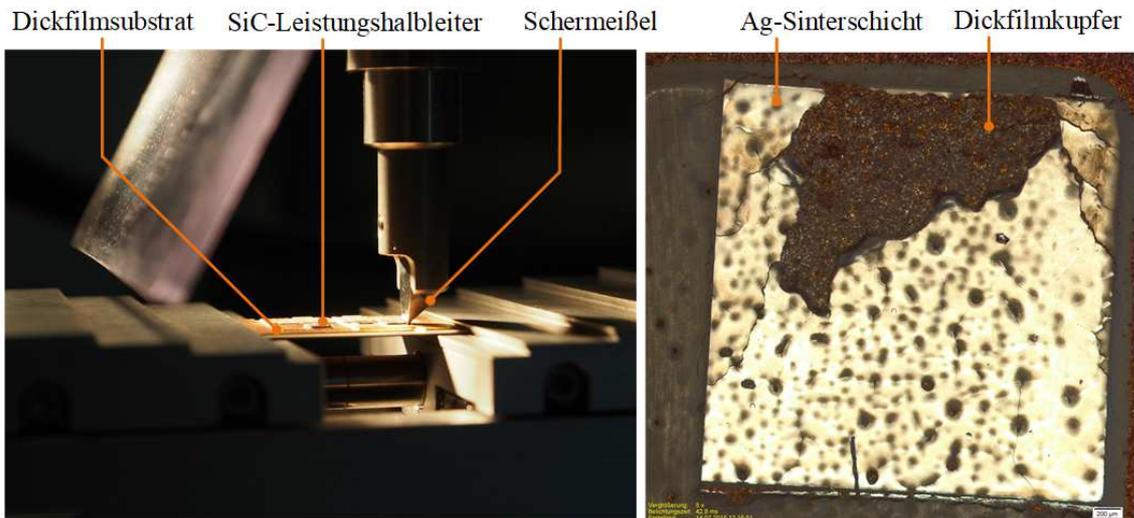
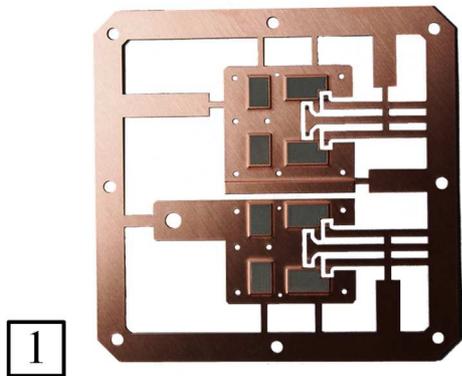


Abbildung 123: Durchführung des Schertests beim hochintegrierten SiC-Leistungsmoduls (links) und ein dazugehöriges Bruchbild der Sinterstelle nach dem Scherversuch (rechts)

A 28. Lötprozess bei der Prototypenherstellung des Leadframe-DSC-Leistungsmoduls



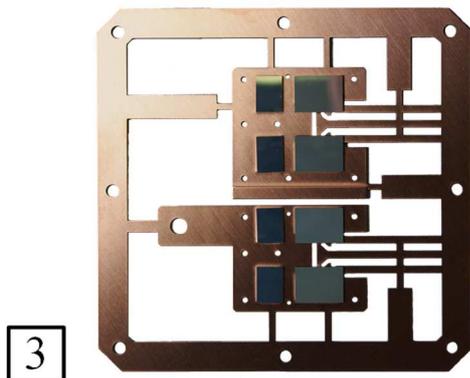
1

Lotpastendruck auf das obere Leadframe



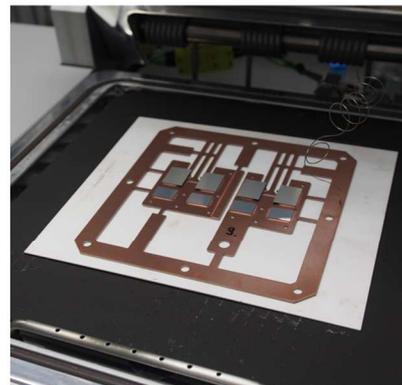
2

Chipbestückung mit Die-Bonder



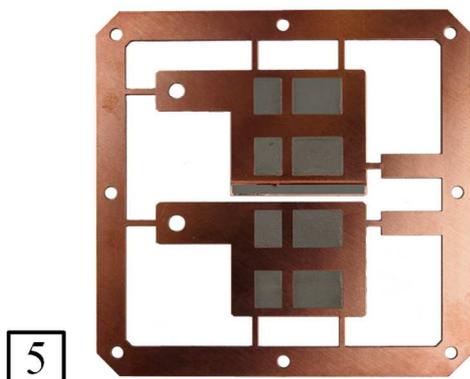
3

Leadframe nach Bestückung



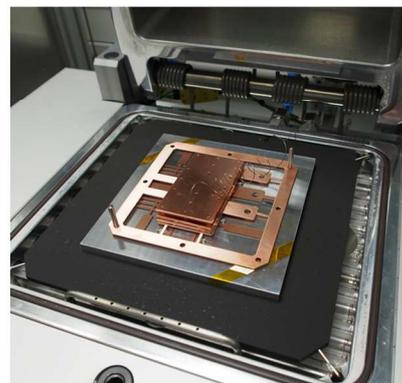
4

Erster Lötprozess mit dem oberen Leadframe



5

Lotpastendruck auf das untere Leadframe



6

Zweiter Lötprozess mit beiden Kupferstanzgitter

A 29. Lötprofile des Leadframe-DSC-Leistungsmoduls

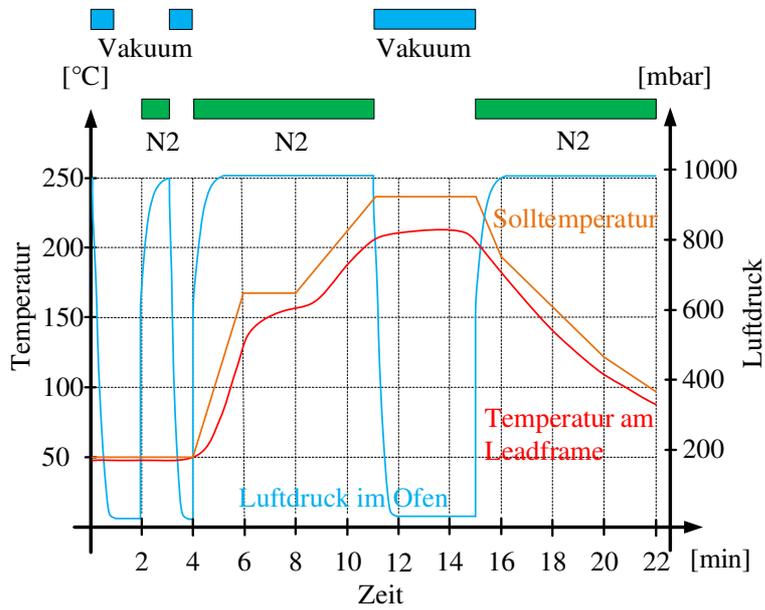


Abbildung 124: Lötprofil für das obere Leadframe mit Flip-Chip-Montage (erster Lötprozess)

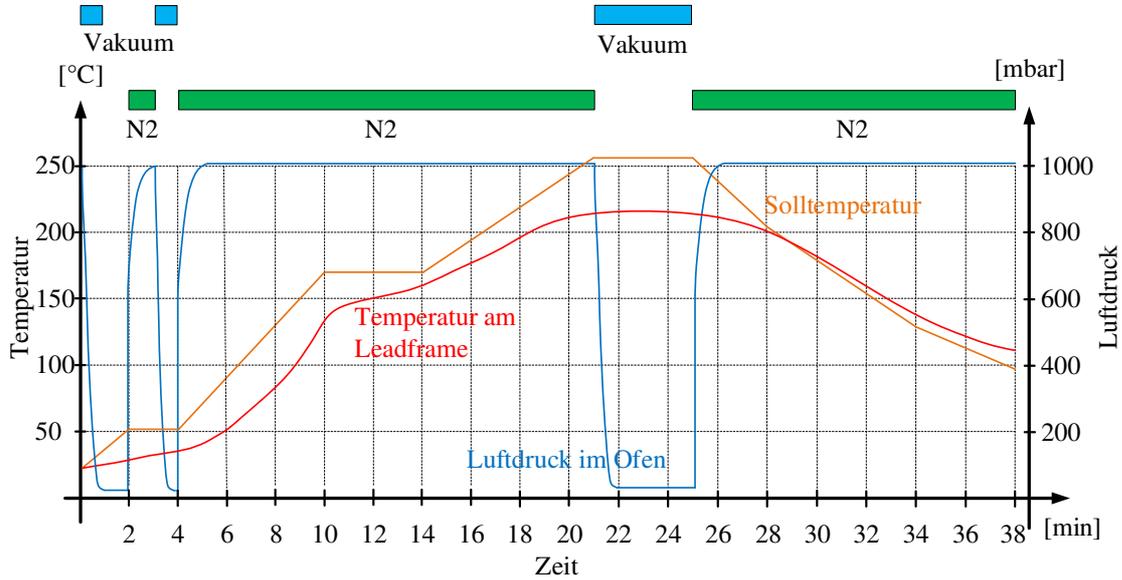


Abbildung 125: Lötprofil für das obere Leadframe (zweiter Lötprozess)

A 30. Vermessung des Höhenprofils des Leadframe-DSC-Leistungsmoduls nach dem Lötprozess

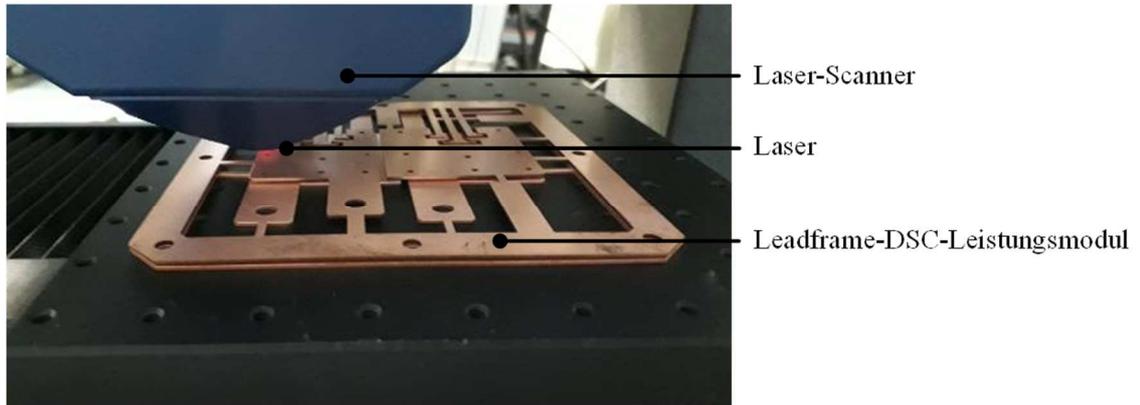


Abbildung 126: Erfassung des Höhenprofils des Leadframe DSC-Moduls mit einem Laser-Scanner

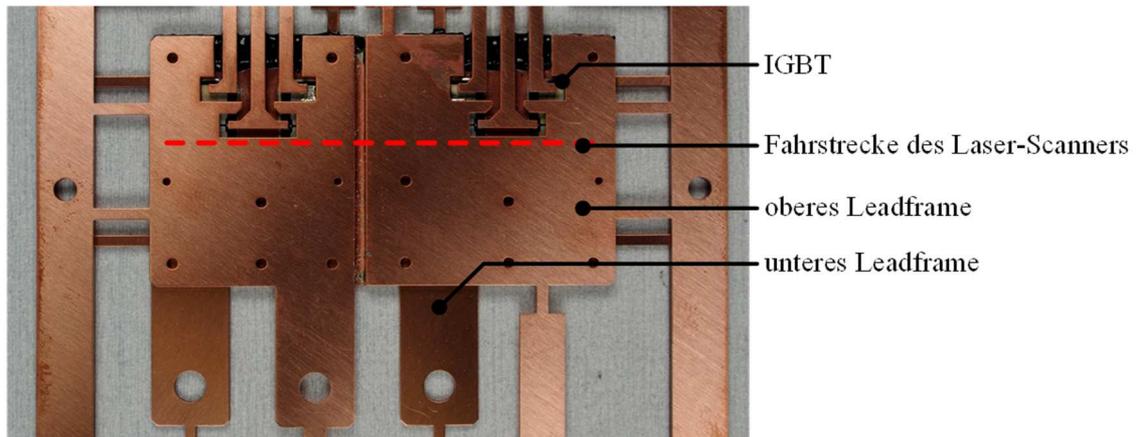


Abbildung 127: Draufsicht auf das Leadframe-DSC-Leistungsmodul mit der Fahrstrecke des Laser-Scanners

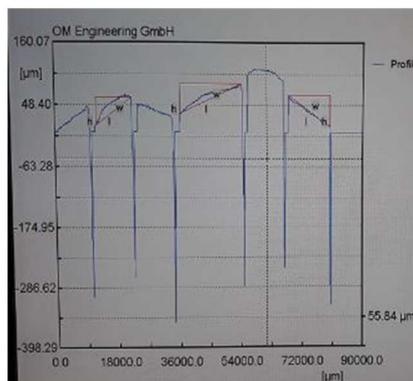


Abbildung 128: Screenshot einer Höhenprofilmessung eines Leadframe-DSC-Leistungsmoduls mit gutem Lötergebnis

A 31. Laminationsprozess

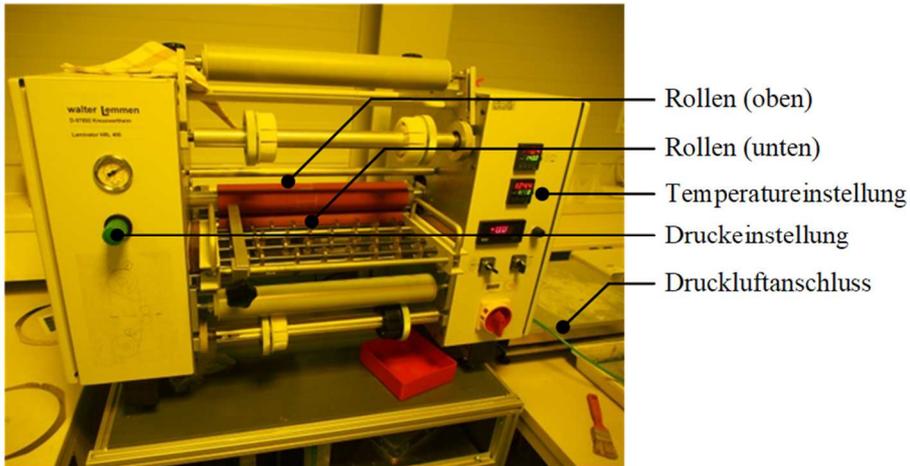


Abbildung 129: Rollenlaminator mit beweglichen Rollen für Lamination einer Isolationsfolie auf einem Kupferstanzgitter oder auf einem Kühlkörper

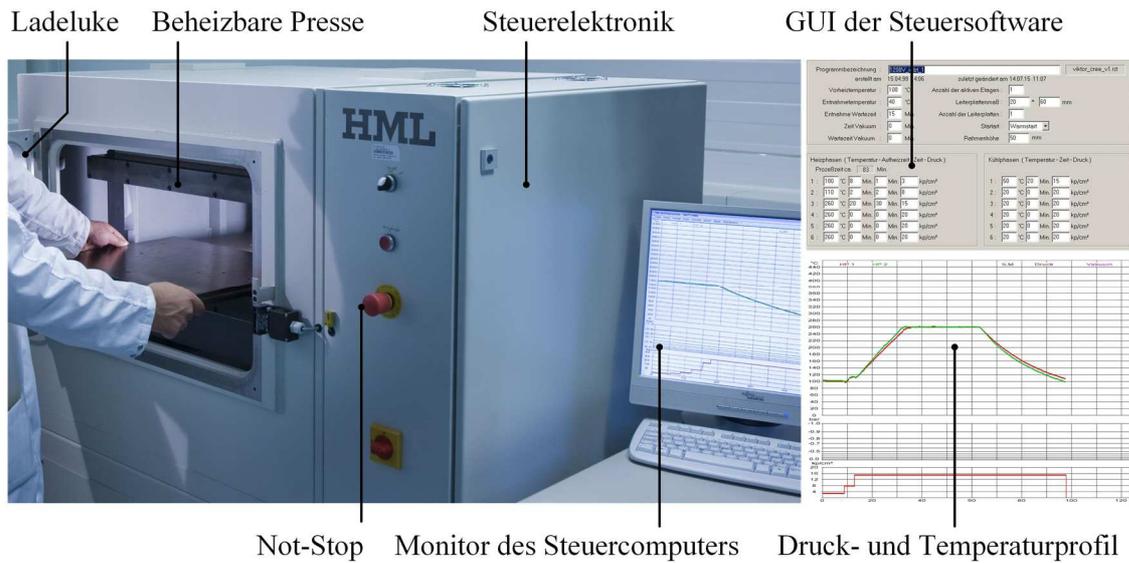


Abbildung 130: Computergesteuerte Vakuumpresse mit einstellbarem Druck- und Temperaturprofil

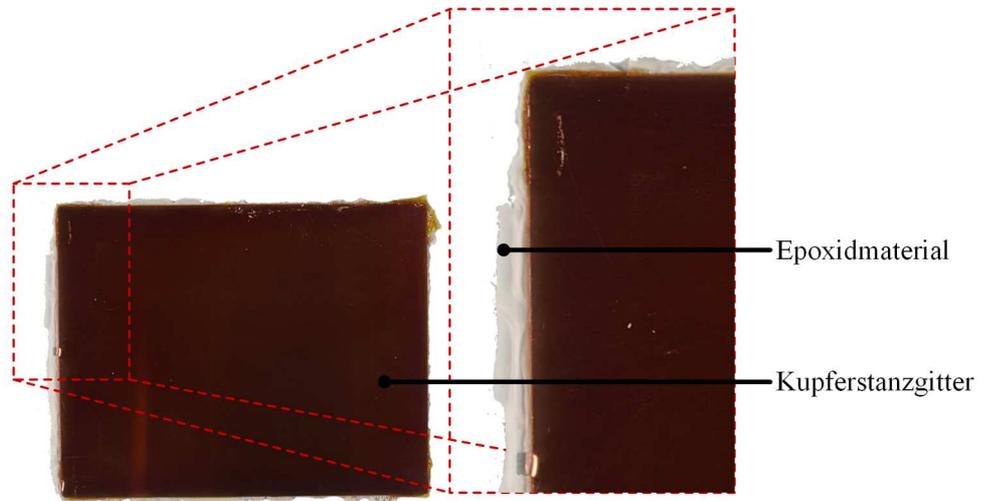


Abbildung 131: Testmuster mit Isolationsfolie B mit herausgedrückten Epoxidmaterialien

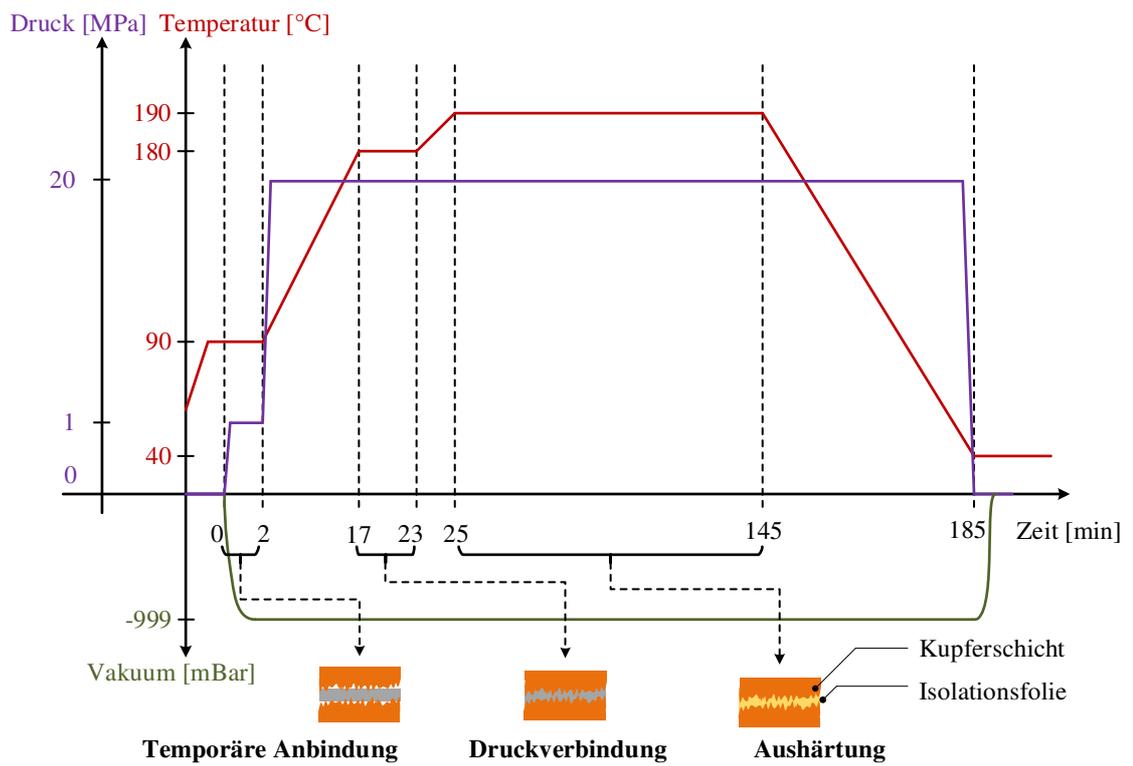


Abbildung 132: Laminationsprofil von Isolationsfolie A

A 32. Laser-Flash-Technik

Das Probenmaterial wird in einem Ofen auf einem Probenhalter fixiert (Abbildung 133). Der Ofen mit der Probe wird auf einer vorgegebenen Temperatur erwärmt. Nachdem die Solltemperatur erreicht wurde, wird ein Laserimpuls auf die Unterseite der Probe übertragen. Diese Energie wird von der Probe absorbiert, sodass eine Temperaturänderung auf der Oberseite der Probe hervorgerufen wird. Diese Temperaturänderung wird durch einen Infrarotdetektor erfasst. Aus dem zeitabhängigen Temperaturanstieg errechnet eine spezielle Software am Auswerterechner die Temperaturleitfähigkeit $\alpha(T)$ des Probenmaterials.

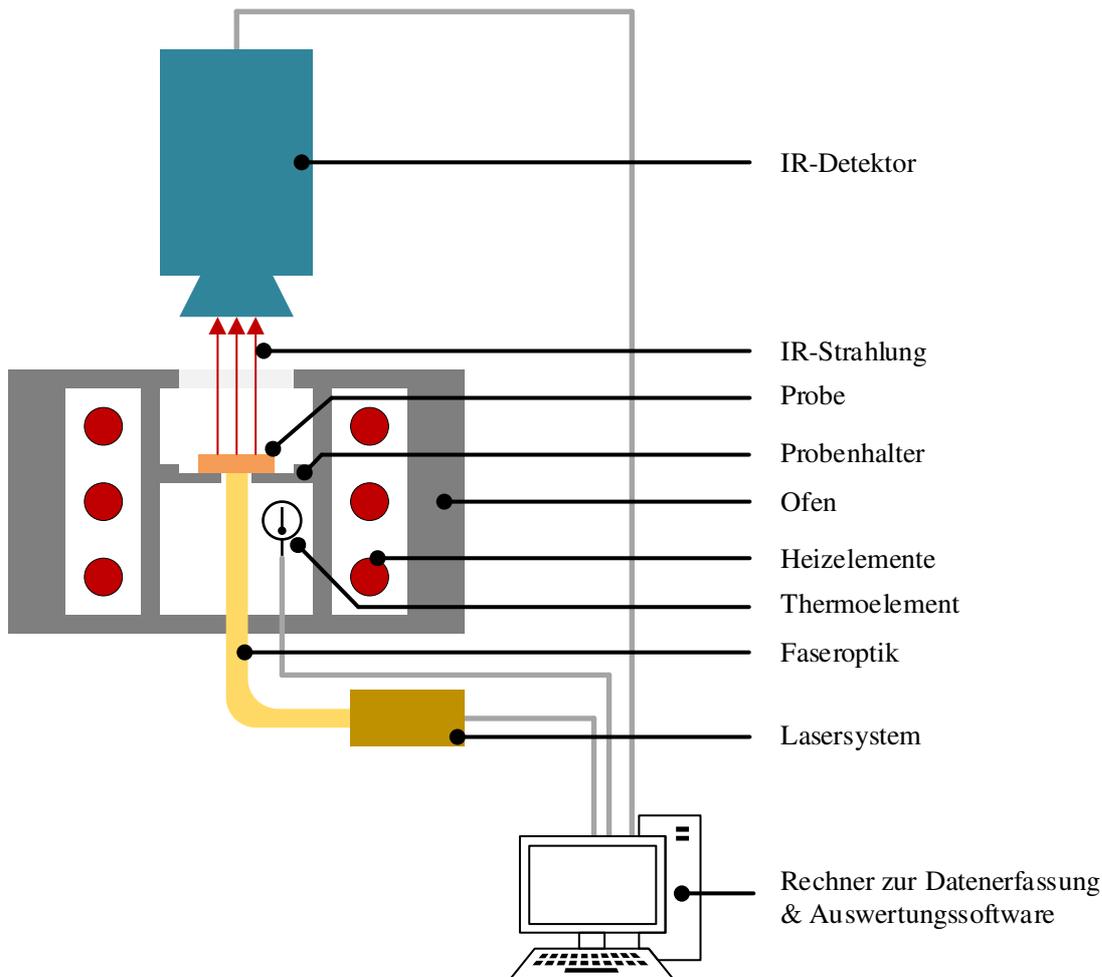


Abbildung 133: Aufbau einer Laser Flash-Messeinrichtung zur Bestimmung der Temperaturleitfähigkeit und spezifischen Wärmekapazität von Werkstoffen

Falls eine Referenzmessung zuvor durchgeführt wurde, lässt sich aus dieser Messung ebenfalls die spezifische Wärmekapazität mit Gleichung (7.4) rechnerisch bestimmen. Die Materialeigenschaften dieser Referenzprobe wie beispielsweise die spezifische Wärmekapazität und die Dichte sind bekannt und werden für die Berechnung benötigt.

$$c_{p,Probe}(T) = \frac{T_{\infty,Ref}}{T_{\infty,Probe}} \cdot \frac{Q_{Probe}}{Q_{Ref}} \cdot \frac{G_{Probe}}{G_{Ref}} \cdot \frac{\rho_{Ref}}{\rho_{Probe}} \cdot \frac{a_{Ref}}{a_{Probe}} \cdot \frac{d_{Ref}^2}{d_{Probe}^2} \cdot c_{p,Ref}(T) \quad (7.4)$$

Dabei sind $c_{p,Probe}(T)$ die zu berechnende spezifische Wärmekapazität, $T_{\infty,Ref}$ und $T_{\infty,Probe}$ der Temperaturhub des Referenzmaterials bzw. der Probe nach unendlicher Zeit, Q_{Probe} und Q_{Ref} die eingestrahlte Laserenergiemenge auf die Probe bzw. auf das Referenzmaterial, G_{Probe} und G_{Ref} der Verstärkungsfaktor bei der Messung der Probe bzw. des Referenzmaterials, ρ_{Ref} und ρ_{Probe} die Dichte des Referenzmaterials bzw. der Probe, a_{Ref} und a_{Probe} die Stärke des Referenzmaterials bzw. der Probe, d_{Ref} und d_{Probe} der Durchmesser der Lochblende bei der Vermessung des Referenzmaterials bzw. der Probe und $c_{p,Ref}(T)$ die spezifische Wärmekapazität des Referenzmaterials.

A 33. REM-Aufnahmen der Isolationsfolien

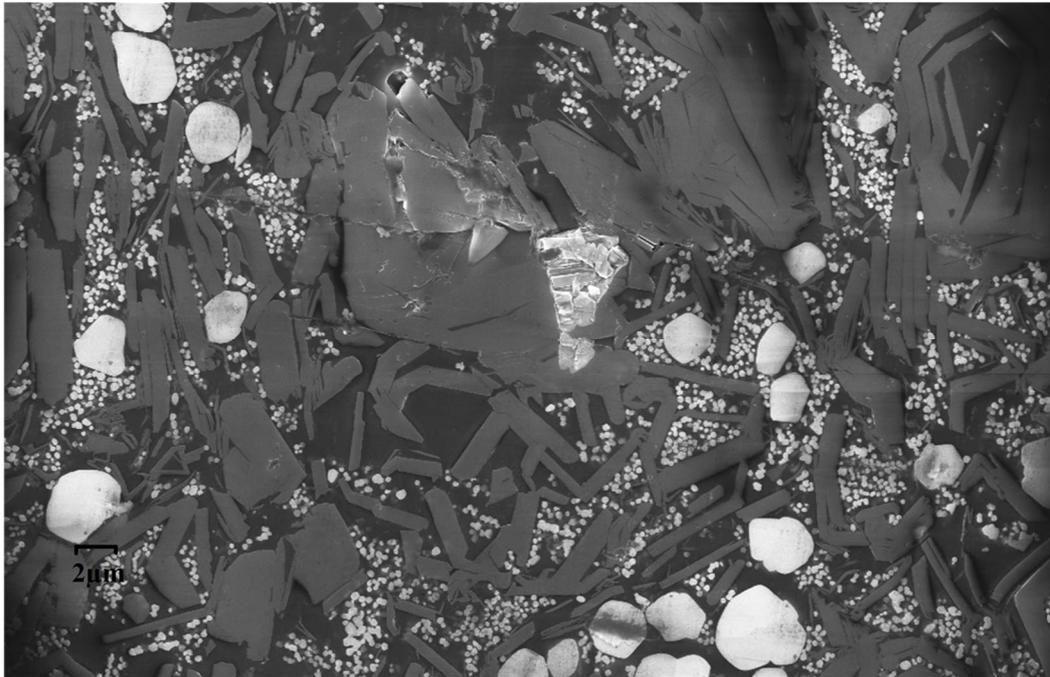


Abbildung 134: REM-Aufnahme der Isolationsfolie A bei einer Verstärkung von 10000

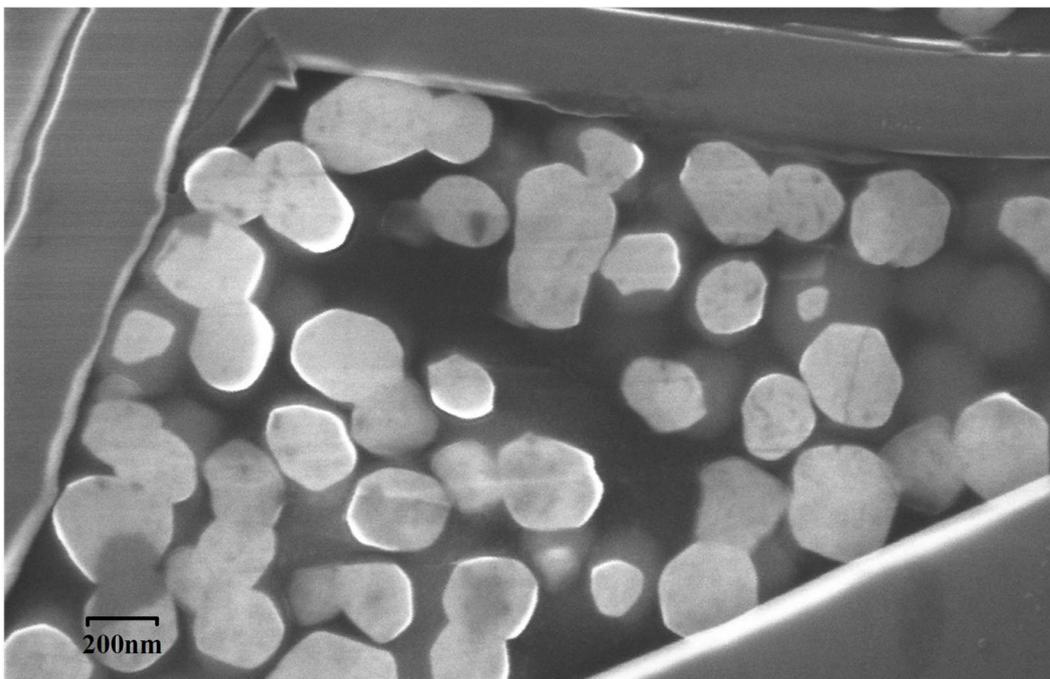


Abbildung 135: REM-Aufnahme der Isolationsfolie A bei einer Verstärkung von 50000

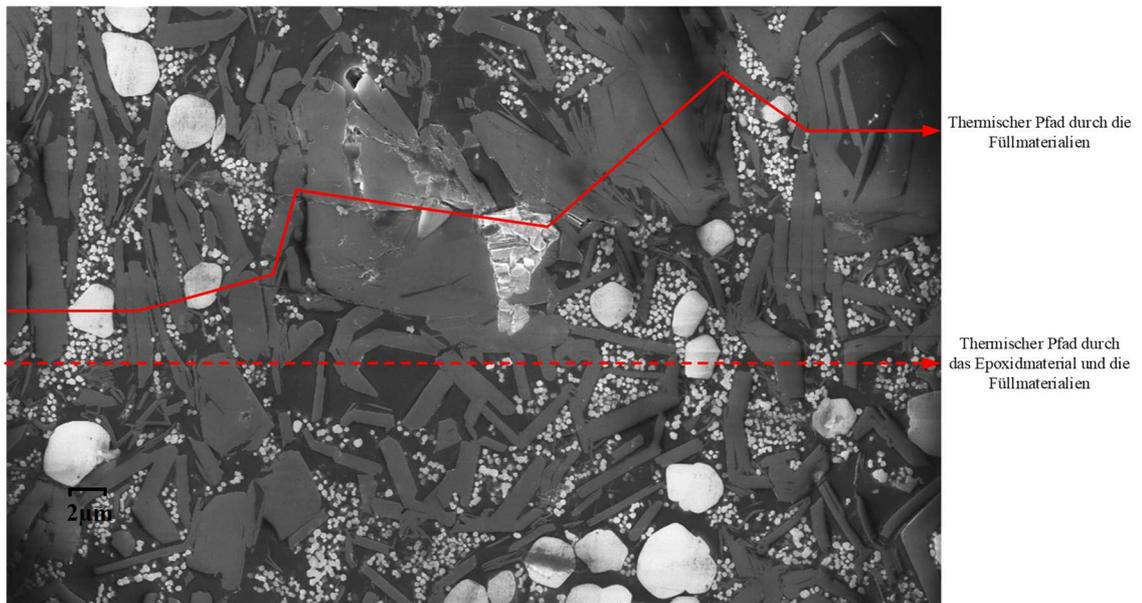


Abbildung 136: Beispiele für thermische Pfade durch die Isolationsfolie A

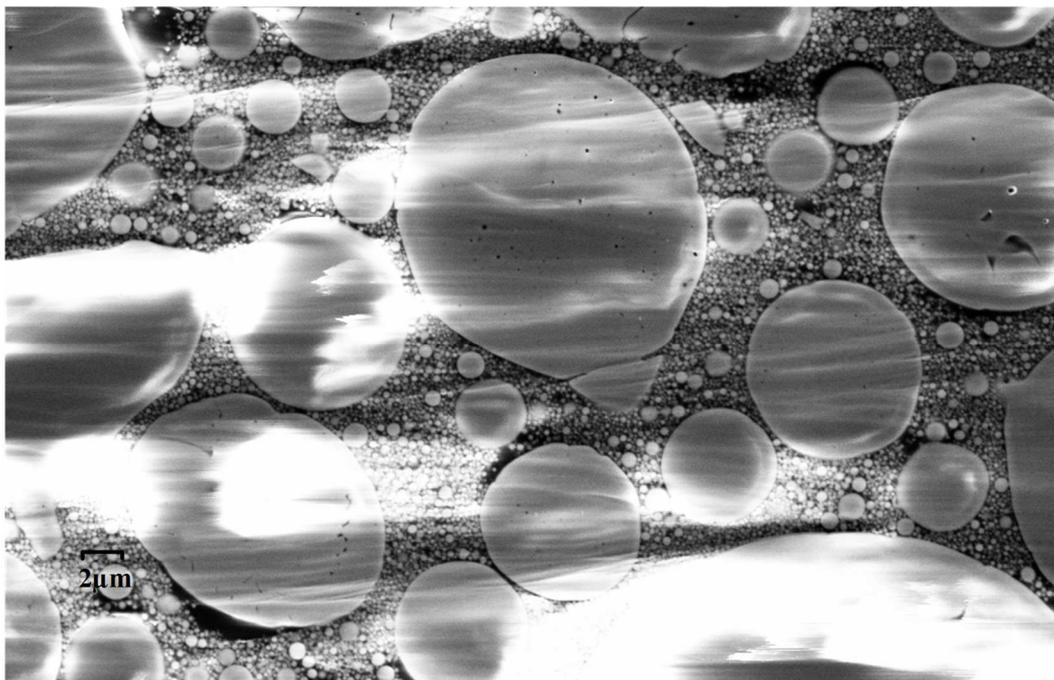


Abbildung 137: REM-Aufnahme der Isolationsfolie B bei einer Verstärkung von 10000

A 34. Aufbau eines Prüflings für die Bestimmung der Isolationsfestigkeit

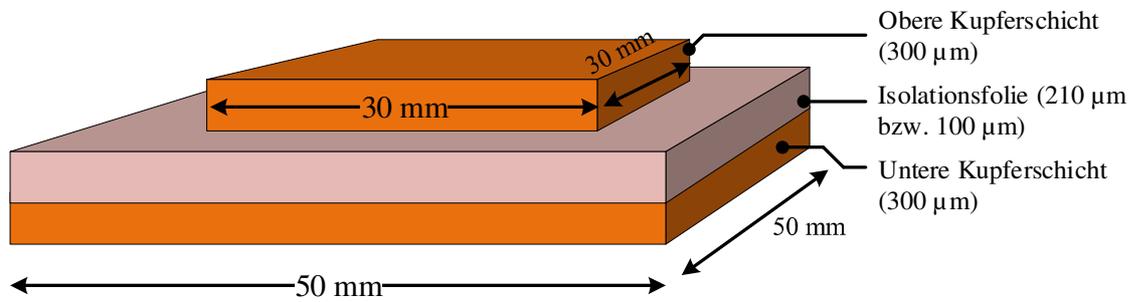


Abbildung 138: Schrägansicht eines Prüflings zur Bestimmung der Isolationsfestigkeit der Isolationssschicht

8 Literaturverzeichnis

- [1] A. Kampker, D. Vallée, and A. Schnettler, Eds., *Elektromobilität: Grundlagen einer Zukunftstechnologie*, 2nd ed. Berlin: Springer Vieweg, 2018.
- [2] P. Preisendörfer, *Umwelteinstellungen und Umweltverhalten in Deutschland: Empirische Befunde und Analysen auf der Grundlage der Bevölkerungsumfragen „Umweltbewußtsein in Deutschland 1991-1998“*. Wiesbaden, s.l.: VS Verlag für Sozialwissenschaften, 1999.
- [3] European Environment Agency, *Laying the foundations for greener transport*. Luxembourg, Copenhagen: Publ. Office; European Environment Agency, 2011. [Online]. Available: <http://publications.europa.eu/en/publication-detail/-/publication/f6002872-ff18-4bcb-a052-d2d174d050f7>
- [4] Bundesministerium für Wirtschaft und Technologie, Bundesministerium für Verkehr, Bau und Stadtentwicklung, Bundesministerium für Umwelt, Naturschutz und Reaktorsicherheit, and Bundesministerium für Bildung und Forschung, “Regierungsprogramm Elektromobilität,” [Online]. Available: https://www.bmwi.de/Redaktion/DE/Downloads/P-R/regierungsprogramm-elektromobilitaet-mai-2011.pdf?__blob=publicationFile&v=6
- [5] O. Kühne and F. Weber, Eds., *Bausteine der Energiewende*. Wiesbaden: Springer VS, 2018.
- [6] Dr. Tim Drees, Dr. Henning Medert, Mario Meinecke, and Claudia Halici, *Netzentwicklungsplan Strom 2035*. [Online]. Available: https://www.netzentwicklungsplan.de/sites/default/files/paragraphs-files/NEP_2035_V2021_1_Entwurf_Teil1.pdf
- [7] Büro für Technikfolgen-Abschätzung beim Deutschen Bundestag (TAB), *Konzepte der Elektromobilität und deren Bedeutung für Wirtschaft, Gesellschaft und Umwelt*.
- [8] H. Wallentowitz and A. Freialdenhoven, *Strategien zur Elektrifizierung des Antriebsstranges: Technologien, Märkte und Implikationen*, 2nd ed. Wiesbaden: Vieweg+Teubner Verlag / Springer Fachmedien Wiesbaden GmbH Wiesbaden, 2011.
- [9] A. Emadi, *Handbook of automotive power electronics and motor drives*. Boca Raton: Taylor & Francis, 2005. [Online]. Available: <http://lib.myilibrary.com/detail.asp?id=65264>
- [10] S. N. Manias, *Power electronics and motor drive systems*. London, United Kingdom, San Diego, CA: Academic Press, 2017. [Online]. Available: <http://proquest.tech.safaribooksonline.de/9780128118146>
- [11] V. Benda, J. Gowar, and D. A. Grant, *Power semiconductor devices: Theory and applications*. Chichester: Wiley, 1999. [Online]. Available: <http://www.loc.gov/catdir/description/wiley0310/98022030.html>
- [12] T. Erlbacher, *Lateral power transistors in integrated circuits*. Cham: Springer, 2014. [Online]. Available: <http://search.ebscohost.com/login.aspx?direct=true&scope=site&db=nlebk&db=nlabk&AN=863660>
- [13] C. Neeb, *Aufbau- und Verbindungstechnik für Leistungselektronik in Automotivianwendungen*: RWTH Aachen University, 2018.
- [14] W. Münch, *Werkstoffe der Elektrotechnik*, 8th ed. Wiesbaden, s.l.: Vieweg+Teubner Verlag, 2000.
- [15] M. Bertau, A. Müller, P. Fröhlich, and M. Katzberg, *Industrielle anorganische Chemie*. Weinheim: Wiley-VCH Verlag GmbH & Co. KgaA, 2013. [Online]. Available: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10767006>
- [16] D. Sautter and H. Weinerth, Eds., *Lexikon Elektronik und Mikroelektronik*. Berlin, Heidelberg, s.l.: Springer Berlin Heidelberg, 1993.
- [17] P. Wagner, G. P. Reischl, and G. Steiner, *Einführung in die Physik*, 3rd ed. Wien: facultas.wuv, 2014.
- [18] H. Czichos and M. Hennecke, *HÜTTE - Das Ingenieurwissen*, 34th ed. Berlin, Heidelberg: Springer, 2012. [Online]. Available: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10649695>

- [19] G. L. Zhao and D. Bagayoko, "Electronic structure and charge transfer in 3C- and 4H-SiC," *New J. Phys.*, vol. 2, p. 16, 2000, doi: 10.1088/1367-2630/2/1/316.
- [20] Stewart Clark, *Semiconductor Band Structures*. [Online]. Available: <http://cmt.dur.ac.uk/sjc/thesis/dbj/node75.html> (accessed: May 22 2020).
- [21] C.-M. Zetterling, *Process Technology for Silicon Carbide Devices*. London: INSPEC, 2002. [Online]. Available: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10755563>
- [22] T. Kimoto and J. A. Cooper, *Fundamentals of silicon carbide technology: Growth, characterization, devices and applications*. Singapore, Piscataway, New Jersey: Wiley IEEE; IEEE Xplore, 2014.
- [23] V. Haase *et al.*, *Si Silicon: System Si-C. SiC: Natural Occurrence. Preparation and Manufacturing Chemistry. Special Forms. Manufacture. Electrochemical Properties. Chemical Reactions. Applications. Ternary and Higher Systems with Si and C*, 8th ed. Berlin, Heidelberg, s.l.: Springer Berlin Heidelberg, 1985.
- [24] R. Fornari, Ed., *Single crystals of electronic materials: Growth and properties*. Duxford, United Kingdom: Woodhead Publishing an imprint of Elsevier, 2019. [Online]. Available: <https://www.sciencedirect.com/science/book/9780081020968>
- [25] K. Mertens, *Photovoltaik: Lehrbuch zu Grundlagen, Technologie und Praxis : mit 288 Bildern und 33 Tabellen*, 3rd ed. München: Fachbuchverlag Leipzig im Carl-Hanser-Verlag, 2015.
- [26] Y. Chen and L. Zhang, *Polishing of Diamond Materials: Mechanisms, Modeling and Implementation*. London: Springer, 2013. [Online]. Available: <http://search.ebscohost.com/login.aspx?direct=true&scope=site&db=nlebk&db=nlabk&AN=565944>
- [27] International Conference on Silicon Carbide and Related Materials, *Silicon carbide and related materials, 2015: Selected, peer reviewed papers from the 16th International Conference on Silicon Carbide and Related Materials, October 4-9, 2015, Giardini Naxos, Italy*. Pfaffikon: Trans Tech Publications Ltd, 2016. [Online]. Available: <http://search.ebscohost.com/login.aspx?direct=true&scope=site&db=nlebk&AN=1246353>
- [28] B. J. Baliga, Ed., *Wide Bandgap Semiconductor Power Devices: Materials, Physics, Design, and Applications*: Woodhead Publishing, 2019.
- [29] J. Edmond, H. Kong, A. Suvorov, D. Waltz, and J. C. Carter, "6H-Silicon Carbide Light Emitting Diodes and UV Photodiodes," *Phys. Status Solidi A*, vol. 162, no. 1, pp. 481–491, 1997, doi: 10.1002/1521-396X(199707)162:1<481::AID-PSSA481>3.0.CO;2-O.
- [30] M. Bhatnagar, P. K. McLarty, and B. J. Baliga, "Silicon-carbide high-voltage (400 V) Schottky barrier diodes," *IEEE Electron Device Letters*, vol. 13, no. 10, pp. 501–503, 1992, doi: 10.1109/55.192814.
- [31] A. Volke and M. Hornkamp, *IGBT modules: Technologies, driver and application*. Munich: Infineon Technologies AG, 217.
- [32] L. Lin *et al.*, "Electronic structures and magnetic properties of (Ni,Al) co-doped 4H-SiC: A first-principles study," *Computational Materials Science*, vol. 155, pp. 169–174, 2018, doi: 10.1016/j.commatsci.2018.08.048.
- [33] A. V. Kuchuk *et al.*, "Ni-Based Ohmic Contacts to n-Type 4H-SiC: The Formation Mechanism and Thermal Stability," *Advances in Condensed Matter Physics*, vol. 2016, 2016, doi: 10.1155/2016/9273702.
- [34] P. V. Panchenko, S. B. Rybalka, A. A. Malakhanov, A. A. Demidov, E. Y. Krayushkina, and O. A. Shishkina, "Silicon carbide of Ni/6H-SiC and Ti/4H-SiC type Schottky diode current-voltage characteristics modelling," *J. Phys.: Conf. Ser.*, vol. 917, p. 82010, 2017, doi: 10.1088/1742-6596/917/8/082010.
- [35] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, 2nd ed. Cham: Springer International Publishing, 2019.

- [36] K. Okumura, N. Hase, K. Ino, T. Nakamura, and M. Tanimura, "Ultra low ron SiC trench devices," *PCIM Europe Conference Proceedings*, pp. 202–208, 2012.
- [37] A. Agarwal, K. Han, and B. J. Baliga, "Impact of Cell Topology on Characteristics of 600V 4H-SiC Planar MOSFETs," *IEEE Electron Device Letters*, vol. 40, no. 5, pp. 773–776, 2019, doi: 10.1109/LED.2019.2908078.
- [38] Nexperia, Ed., *MOSFET & GaN FET Application Handbook: A Power Design Engineer's Guide*.
- [39] L. Fuji Electric Co., "PowerMOSFET," 2014. [Online]. Available: https://www.fujielectric.com/products/semiconductor/model/powermosfets/application/box/pdf/MOSFET_E_140926_01.pdf
- [40] B. J. Baliga, *Advanced Power MOSFET Concepts*. Boston, MA: Springer Science+Business Media LLC, 2010. [Online]. Available: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10398933>
- [41] Toshiba, *Power MOSFET Structure and Characteristics: Application Note*.
- [42] K. Han and B. J. Baliga, "Operation of 1.2-kV 4H-SiC Accumulation and Inversion Channel Split-Gate (SG) MOSFETs at Elevated Temperatures," *IEEE Trans. Electron Devices*, vol. 65, no. 8, pp. 3333–3338, 2018, doi: 10.1109/TED.2018.2841940.
- [43] L. Stiny, *Aktive Elektronische Bauelemente: Aufbau, Struktur, Wirkungsweise, Eigenschaften und Praktischer Einsatz, Diskreter und Integrierter Halbleiter-Bauteile*, 3rd ed. Wiesbaden: Springer Fachmedien Wiesbaden GmbH, 2016. [Online]. Available: <https://ebookcentral.proquest.com/lib/kxp/detail.action?docID=4718085>
- [44] B. J. Baliga, *The IGBT device: Physics, design and applications of the insulated gate bipolar transistor*. Kidlington, Oxford, UK, Waltham, MA: William Andrew, 2015. [Online]. Available: <http://proquest.tech.safaribooksonline.de/9781455731534>
- [45] E. Gulpinar and B. Ozpineci, "Loss Analysis and Mapping of a SiC MOSFET Based Segmented Two-Level Three-Phase Inverter for EV Traction Systems," in *2018 IEEE Transportation and Electrification Conference and Expo (ITEC): Long Beach, California, June 13-15, 2018*, Long Beach, CA, USA, 2018, pp. 1046–1053.
- [46] Dr. Dušan Graovac, Marco Pürschel, Andreas Kiep, *MOSFET Power Losses Calculation Using the Data-Sheet Parameters*. [Online]. Available: <https://application-notes.digchip.com/070/70-41484.pdf>
- [47] Dr. Maximilian Hofmann, "Evaluation of potentials for Infineon SiC-MOSFETs in automotive inverter applications: Part 2 - Drive-Cycle Efficiency," [Online]. Available: https://www.infineon.com/dgdl/IISB_SiC_Studie_Part2_v2.pdf?fileId=5546d461580172fe0158249537a00222
- [48] C. Chen, "A Review of SiC Power Module Packaging: Layout, Material System and Integration," *CPSS TPEA*, vol. 2, no. 3, pp. 170–186, 2017, doi: 10.24295/CPSS TPEA.2017.00017.
- [49] W. Jillek and G. Keller, *Handbuch der Leiterplattentechnik: Band 4*. Bad Saulgau: Leuze, 2003.
- [50] Holger Klose, "Beitrag zur Berechnung, Herstellung und Charakterisierung von verstärkten Aktivloten," Dissertation, 1999.
- [51] F. D. Barlow and A. Elshabini, *Ceramic interconnect technology handbook*. Boca Raton, FL: Taylor & Francis, 2007.
- [52] S. Sōmiya, Ed., *Handbook of advanced ceramics: Materials, applications, processing, and properties*. Amsterdam: Academic Press, 2013.
- [53] Dr. D. Brunner, B. Löser, "Active metal brazing of different metals to aluminium nitride ceramics,"
- [54] HIRUTA KAZUYUKI SOGO KENKYUSHO (JP), KATO KAZUO SOGO KENKYUSHO (JP), MIYAI AKIRA SOGO KENKYUSHO (JP), NAKAJIMA YUKIHIKO (JP), FUSHII YASUHITO (JP), and NAKAMURA MIYUKI (JP), "KERAMISCHE LEITERPLATTE," EP0480038, Oct 31, 1991.
- [55] R. Dorey, *Ceramic thick films for MEMS and microdevices*. Amsterdam: Elsevier, 2012. [Online]. Available: <http://lib.myilibrary.com/detail.asp?ID=329377>

- [56] K. Wasa, M. Kitabatake, and H. Adachi, *Thin film materials technology: Sputtering of compound materials*. Norwich, NY: William Andrew Pub, 2004. [Online]. Available: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10305587>
- [57] J. Schulz-Harder, “DBC substrates as a base for power MCM’s,” in *Proceedings of 3rd Electronics Packaging Technology Conference: (EPTC 2000) : 5-7 December, 2000, Sheraton Towers, Singapore*, Singapore, 2000, pp. 315–320.
- [58] T. Blank, B. Leyrer, T. Maurer, M. Meisser, M. Bruns, and M. Weber, “Copper thick-film substrates for power electronic applications,” in *Electronics System-Integration Technology Conference (ESTC), 2014: 16 - 18 Sept. 2014, Helsinki*, Helsinki, Finland, 2014, pp. 1–6.
- [59] V. Wei, M. Huang, R. Lai, and R. Persons, “A comparison study for metalized ceramic substrate technologies: For high power module applications,” in *2014 9th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT 2014): 22 - 24 Oct. 2014, Taipei, Taiwan ; held in conjunction with the 16th EMAP (International Conference on Electronics Materials and Packaging)*, Taipei, Taiwan, 2014, pp. 141–145.
- [60] K. Suganuma, *Introduction to printed electronics*. New York, NY, s.l.: Springer New York, 2014. [Online]. Available: <http://lib.myilibrary.com/detail.asp?id=600559>
- [61] R. H. Clark, *Handbook of Printed Circuit Manufacturing*. Dordrecht: Springer Netherlands, 2012. [Online]. Available: <https://ebookcentral.proquest.com/lib/gbv/detail.action?docID=3568118>
- [62] Barry Edward Taylor, Motohiko Tsuchiya, Chie Okabe, “Thick film copper paste composition,” EP0546560A1 92121111.6 111.6, Mar 16, 1993.
- [63] Heraeus Electronics, Ed., “Technical Data Sheet THICK FILM MATERIALS C7403 / C7404A: Lead Free Thick Copper Conductor System,” Hanau. Accessed: Apr. 2 2020. [Online]. Available: https://www.heraeus.com/media/media/het/doc_het/products_and_solutions_het_documents/thick_film/data_sheets_th/Conductors_C7403_C7404A.pdf
- [64] Heraeus Electronics, Ed., “Technical Data Sheet THICK FILM MATERIALS IP9241,” Accessed: Apr. 2 2020. [Online]. Available: https://www.heraeus.com/media/media/het/doc_het/products_and_solutions_het_documents/thick_film/thick_film_data_sheets/hybrid_electronics/alternative_substrates/Dielectrics_IP9241.pdf
- [65] S. Kasap and P. Capper, Eds., *Springer Handbook of Electronic and Photonic Materials*, 2nd ed. Cham: Springer International Publishing, 2017.
- [66] Lee, Hee Hyun Arancio, Vincenzo, *POLYMER THICK FILM DIELECTRIC PASTE COMPOSITION*. [Online]. Available: <http://www.freepatentsonline.com/y2019/0387621.html>
- [67] D. Hamilton, P. Mawby, S. Riches, M. Meisser, and L. Mills, “High temperature thermal cycling performance of DBA, AMB and thick film power module substrates,” in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, 2016.
- [68] EMOTO TAKAO, KATO TOSHIHIRO, KOJIMA SHINJIRO, and MATSUMOTO HIROSHI, “MANUFACTURE OF RESIN-SEALED SEMICONDUCTOR DEVICE,” JPS62154656A.
- [69] KUHNERT REINHOLD DR and LIEBSCH ANDREAS, “Leistungs-Halbleitermodul,” EP0776041A2 EP96118608A, May 28, 1997.
- [70] K. Ritz, Ed., *Handbuch der Leiterplattentechnik*. Bad Saulgau: Leuze Verlag, 2019.
- [71] B. N. An *et al.*, “A Novel Double Sided Cooled Leadframe Power Module for Automotive Application based on ceramic-free Substrates,” in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, 2018, pp. 1–6.
- [72] K. S. Siow, Ed., *Die-Attach Materials for High Temperature Applications in Microelectronics Packaging: Materials, Processes, Equipment, and Reliability*. Cham: Springer International Publishing, 2019.
- [73] Hee Yeoul Yoo, Byung Hoon Moon, Jae Sung Kwak, Cheol Woo Kwak, Ji Young Lee, and Thomas J Borghard, “NOVEL DIE ATTACH ADHESIVE FOR THIN QUAD FLAT PACKAGE,” [Online]. Available: http://www.henkelna.com/us/content_data/113838_tqfpadh.pdf

- [74] J. Ocklenburg, E. Rastjagaev, E. Moeller, and J. Wilde, "Is Conductive Adhesive Bonding Suited for the Die-Attachment of Power Devices?," in *Integrated Power Systems (CIPS), 2014 8th International Conference on*, 2014, pp. 1–6. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6776839>
- [75] M. Schwartz, Ed., *Soldering: Understanding the basics*. Materials Park, Ohio: ASM International, 2014. [Online]. Available: <http://search.ebscohost.com/login.aspx?direct=true&scope=site&db=nlebk&db=nlabk&AN=879143>
- [76] AWS A2 Committee on Definitions and Symbols, *Standard welding terms and definitions: Including terms for adhesive bonding, brazing, soldering, thermal cutting, and thermal spraying*. Miami, FL: American Welding Society, 2001.
- [77] W. W. Sheng and R. P. Colino, *Power electronic modules: Design and manufacture*. Boca Raton: CRC Press, 2005. [Online]. Available: <http://search.ebscohost.com/login.aspx?direct=true&scope=site&db=nlebk&db=nlabk&AN=110951>
- [78] P. R. Dahoo, M. Khettab, C. Chong, A. Girard, and P. Pougnet, "Impact of Voids in Interconnection Materials," in *Embedded Mechatronic Systems, Volume 2: Analysis of Failures, Modeling, Simulation and Optimization*, A. El Hami and P. Pougnet, Eds., Burlington: Elsevier Science, 2015, pp. 79–106.
- [79] J. Sitek and K. Bukat, "Influence of flux activity on process parameters and solder joints in lead-free wave soldering," in *28th International Spring Seminar on Electronics Technology: Meeting the Challenges of Electronics Technology Progress, 2005: May 19 - 20 [i.e. May 19 - 22], 2005, [Wiener Neustadt, Austria, Wiener Neustadt, Austria, 2005, pp. 100–105.*
- [80] K. W. Sweatman, T. Nishimura, K. Sugimoto, and A. Kita, *Controlling Voiding Mechanisms in the Reflow Soldering Process*. [Online]. Available: http://www.circuitinsight.com/pdf/controlling_voiding_mechanisms_reflow_soldering_process_ipc.pdf (accessed: Mar. 28 2020).
- [81] R. Lofting, *Brazing and Soldering*. New York: Crowood, 2014. [Online]. Available: <http://gbv.ebib.com/patron/FullRecord.aspx?p=1777158>
- [82] D. Shangguan, *Lead-free solder interconnect reliability*. Materials Park, OH: ASM International, 2005.
- [83] R. German, *Sintering: From Empirical Observations to Scientific Principles*, 1st ed. s.l.: Elsevier Reference Monographs, 2014.
- [84] F. Klocke, *Fertigungsverfahren 5: Gießen, Pulvermetallurgie, Additive Manufacturing*, 4th ed. Berlin, Heidelberg: Springer Vieweg, 2015. [Online]. Available: http://ebooks.ciando.com/book/index.cfm/bok_id/1868428
- [85] T. Herboth, "Gesinterte Silber-Verbindungsschichten unter thermomechanischer Beanspruchung," Dissertation, Albert-Ludwigs-Universität Freiburg im Breisgau, Freiburg, 2015.
- [86] *Lead Free Solder Sn96 (SAC305) 4900 Technical Data Sheet*. [Online]. Available: <https://www.techsil.co.uk/media/pdf/TDS/MGEN00015-tds.pdf> (accessed: Mar. 31 2020).
- [87] M. S. Alam, M. Basit, J. C. Suhling, and P. Lall, "Mechanical characterization of SAC305 lead free solder at high temperatures," in *Proceedings of the Fifteenth InterSociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems - ITherm 2016: May 31-June 3, 2016, Las Vegas, NV, USA, Las Vegas, NV, USA, 2016, pp. 755–760.*
- [88] A. Syed-Khaja, "Diffusion Soldering for High-temperature Packaging of Power Electronics," FAU University Press, 2019.
- [89] T. Ueda, N. Yoshimatsu, N. Kimoto, D. Nakajima, M. Kikuchi, and T. Shinohara, "Simple, compact, robust and high-performance power module T-PM (transfer-molded power module)," in *2010 22nd International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2010, pp. 47–50.
- [90] T. Stockmeier, P. Beckedahl, C. Gobl, and T. Malzer, "SKiN: Double side sintering technology for new packages," in *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International*

- Symposium on*, 2011, pp. 324–327. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=5890856>
- [91] W. Scheel and H.-J. Hanke, Eds., *Baugruppentechologie der Elektronik*, 1st ed. Berlin: Verl. Technik, 1997.
- [92] G. G. Harman, *Wire bonding in microelectronics*, 3rd ed. New York, NY: McGraw-Hill, 2010.
- [93] Jens-Martin Göhre, “Entwicklung und Implementierung einer verbesserten Lastwechseltestmethode zur experimentellen Bestimmung der Zuverlässigkeit von Dickdrahtbonds in Leistungsmodulen,” Technischen Universität Berlin, Berlin, 2013. [Online]. Available: <http://opus4.kobv.de/opus4-tu-berlin/frontdoor/index/index/docId/4112>
- [94] L. Jamin, X. Tao, and C. Luechinger, “Large Cu wire wedge bonding process for power devices,” in *Electronics Packaging Technology Conference (EPTC), 2011 IEEE 13th*, 2011, pp. 1–5. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6184375>
- [95] Hesse&Knipps Semiconductor Equipment, Ed., “Betriebsanleitung BJ935/939,”
- [96] Geißler, *A new Aluminium Alloy for Heavy Wire Bonding in Power Electronics -First Tests of Bonding Behaviour and Reliability*. Berlin, Offenbach: VDE-Verl., 2013.
- [97] Z. Ahmad, “The properties and application of scandium-reinforced aluminum,” *JOM*, vol. 55, no. 2, pp. 35–39, 2003, doi: 10.1007/s11837-003-0224-6.
- [98] Steffen Biehl, “Evaluation eines AlX-Bonddrahtes zur Kontaktierung von Leistungsmodulen,” Masterarbeit, Karlsruher Institut für Technologie, Karlsruhe, 2016.
- [99] C. Ehrhardt *et al.*, “Influence of wire material and diameter on the reliability of Al-H11, Al-CR, Al-R and AlX heavy wire bonds during power cycling,” in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, 2016, pp. 1–6.
- [100] Alexander Ciliox, Jens Görlich, Karsten Guth, Frank Hille, Sandra Krasel, Piotr Luniewski, Dirk Siepe, Piotr Szczupak, Frank Umbach, *New module generation for higher lifetime*.
- [101] S. Haumann, J. Rudzki, F. Osterwald, M. Becker, and R. Eisele, “Novel bonding and joining technology for power electronics - Enabler for improved lifetime, reliability, cost and power density,” in *Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), 2013: 17 - 21 March 2013, Long Beach Convention Center, Long Beach, California ; proceedings*, Long Beach, CA, USA, 2013, pp. 622–626.
- [102] B. Czerny and G. Khatibi, “Cyclic robustness of heavy wire bonds: Al, AlMg, Cu and CuorAl,” *Microelectronics Reliability*, 88-90, pp. 745–751, 2018, doi: 10.1016/j.microrel.2018.07.003.
- [103] S. X. Zhang *et al.*, “Characteristics of Copper-to-Silicon diffusion in copper wire bonding,” in *International microsystems, packaging, assembly and circuits technology, 2007: IMPACT 2007, 2007 International Microsystems, Packaging, Assembly and Circuits Technology Conference ; 1 - 3 Oct. 2007, Taipei, Taiwan ; proceedings of technical papers*, Taipei, Taiwan, 2007, pp. 2–9.
- [104] F. Hille *et al.*, “Reliability aspects of copper metallization and interconnect technology for power devices,” *Microelectronics Reliability*, vol. 64, pp. 393–402, 2016, doi: 10.1016/j.microrel.2016.07.119.
- [105] J. Rudzki, M. Becker, R. Eisele, M. Poech, and F. Osterwald, “Power Modules with Increased Power Density and Reliability Using Cu Wire Bonds on Sintered Metal Buffer Layers,” in *Integrated Power Systems (CIPS), 2014 8th International Conference on*, 2014, pp. 1–6. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6776848>
- [106] T. Krebs, S. Duch, W. Schmitt, S. Kötter, P. Prenosil, and S. Thomas, “A breakthrough in power electronics reliability — New die attach and wire bonding materials,” in *2013 IEEE 63rd Electronic Components and Technology Conference*, 2013, pp. 1746–1752.
- [107] E. Milke, R. Schmidt, and U. Scheuermann, “Al-Clad Cu Wire Bonds Multiply Power Cycling Lifetime of Advanced Power Modules,” *PCIM Europe Conference Proceedings*, 2012.

- [108] S. Behrendt *et al.*, “Feasibility of Copper-Based Ribbon Bonding as an Assembly Method for Advanced Power Modules,” in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2018, pp. 1–8.
- [109] Roberto Gilardoni, “Bändchenbonden statt Drahtbonden,” 11/2007, pp. 2221–2225, 2007.
- [110] S. Inokuchi *et al.*, “A new high capacity compact power modules for high power EV/HEV inverters,” in *APEC 2016: Thirty first Annual IEEE Applied Power Electronics Conference and Exposition : March 20-24, 2016, Long Beach Convention Center - Long Beach, California, Long Beach, CA, USA, 2016*, pp. 468–471.
- [111] H. Ishibashi *et al.*, “Direct Power Board Bonding Technology for 3D Power Module Package,” in *2019 International Conference on Electronics Packaging (ICEP 2019): Venue: Toki Messe, Niigata, Japan, dates: April 17 (Wed.) - 20 (Sat.)*, Niigata, Japan, 2019, pp. 79–82.
- [112] U. Scheuermann, “Reliability of Planar SKiN Interconnect Technology,” in *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*, 2012, pp. 1–8. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6170666>
- [113] P. Beckedahl, M. Spang, and O. Tamm, “Breakthrough into the third dimension ?? Sintered multi layer flex for ultra low inductance power modules,” in *Integrated Power Systems (CIPS), 2014 8th International Conference on*, 2014, pp. 1–5. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6776850>
- [114] K. Weidner, M. Kaspar, and N. Seliger, “Planar Interconnect Technology for Power Module System Integration,” in *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*, 2012, pp. 1–5. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6170665>
- [115] S. Liebig, M. Nuber, K. Kriegel, and K. Weidner, “Ultra-compact SiC power module with sintered DCB on microchannel cooler,” in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, pp. 1–6.
- [116] S. Behrendt, R. Eisele, M. G. Scheibel, and S. Kaessner, “Implementation of a new thermal path within the structure of inorganic encapsulated power modules,” *Microelectronics Reliability*, 100–101, p. 113430, 2019, doi: 10.1016/j.microrel.2019.113430.
- [117] T. Seldrum, H. Enami, and F. Vanderhaeghen, “Silicone Gels for Continuous Operation up to 200 C in Power Modules,” in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2018, pp. 1–6.
- [118] A. M. Muzafarov and A. Bockholt, *Silicon Polymers*. Berlin, Heidelberg: Springer-Verlag Berlin Heidelberg, 2011.
- [119] M. J. Owen and P. R. Dvornic, *Silicone surface science*. Dordrecht: Springer, 2012.
- [120] M. Jandke, *SILICONE FÜR SCHNELLE UND EFFIZIENTE PRODUKTIONSPROZESSE*. [Online]. Available: https://www.viscotec.de/media/Wacker-AG-Silicone_f%C3%BCr_schnelle_und_effiziente_Produktionsprozesse.pdf
- [121] M. Ohara, “Development of High Temperature Silicone Gels,” *MRS Proc.*, pp. 1–2.
- [122] H. Ardebili and M. Pecht, *Encapsulation technologies for electronic applications*. Oxford: William Andrew, 2009. [Online]. Available: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10349826>
- [123] C. A. Dostal, Ed., *Electronic materials handbook*, 1st ed. Metals Park, OH, 1989.
- [124] M. Flemming, G. Ziegmann, and S. Roth, *Faserverbundbauweisen: Fertigungsverfahren mit duroplastischer Matrix*. Berlin, Heidelberg, s.l.: Springer Berlin Heidelberg, 1999.
- [125] C. Hopmann and W. Michaeli, *Einführung in die Kunststoffverarbeitung*, 8th ed. München: Hanser, 2017.

- [126] J.-P. Pascault and R. J. J. Williams, *Epoxy polymers: New materials and innovations*. Weinheim: Wiley-VCH Verlag GmbH, 2010. [Online]. Available: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10358781>
- [127] E. M. Petrie, *Handbook of adhesives and sealants: Radiation curable adhesives ; biological and naturally occurring adhesives ; inorganic adhesives ; nondestructive testing and industrial applications*, 2nd ed. New York, NY: McGraw-Hill, 2007. [Online]. Available: <http://www.loc.gov/catdir/enhancements/fy0664/2006024251-b.html>
- [128] M. Bargende, H.-C. Reuss, and J. Wiedemann, *14. Internationales Stuttgarter Symposium: Automobil- und Motorentchnik*. Wiesbaden: Springer Vieweg, 2014. [Online]. Available: <http://gbv.ebib.com/patron/FullRecord.aspx?p=1731362>
- [129] Rong Rui, *AN-Power stage of 48V BSG inverter: Reference design with TOLL & TOLG MOSFET*. [Online]. Available: https://www.infineon.com/dgdl/Infineon-20180802_AN-Power_stage_of_48V_BSG_inverter_V2.2-AN-v01_00-EN.pdf?fileId=5546d46265487f7b0165a3863b8e5bcf
- [130] EPCOS AG, A TDK Group Company, Ed., “Film Capacitors - Power Capacitors - PCC for e-Mobility,” Mar. 2016. Accessed: Apr. 7 2020. [Online]. Available: <https://www.mouser.de/datasheet/2/400/pb-ppc-e-mobility-1511805.pdf>
- [131] Ž. Filipović, *Elektrische Bahnen: Grundlagen, Triebfahrzeuge, Stromversorgung*, 5th ed. Berlin, Heidelberg: Springer Vieweg, 2015.
- [132] N. A. Bao *et al.*, “A highly integrated full SiC six-pack power module for automotive applications,” in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, pp. 1–8. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7499594>
- [133] J. O. Gonzalez, O. Alatise, J. Hu, L. Ran, and P. A. Mawby, “An Investigation of Temperature-Sensitive Electrical Parameters for SiC Power MOSFETs,” *IEEE Trans. Power Electron.*, vol. 32, no. 10, pp. 7954–7966, 2017, doi: 10.1109/TPEL.2016.2631447.
- [134] S. Weber, “Beitrag zur Zustandsüberwachung von IGBT-Modulen mit temperatursensitiven Parametern,” 2018.
- [135] P. Cova, M. Ciappa, G. Franceschini, P. Malberti, and F. Fantini, “Thermal characterization of IGBT power modules,” *Microelectronics Reliability*, vol. 37, 10-11, pp. 1731–1734, 1997, doi: 10.1016/S0026-2714(97)00150-9.
- [136] B.-E.-B. Bidouche, Y. Avenas, M. Essakili, and L. Dupont, “Thermal characterization of an IGBT power module with on-die temperature sensors,” in *APEC 2017: Thirty Second Annual IEEE Applied Power Electronics Conference and Exposition : March 26-30, 2017, Tampa, Florida*, Tampa, FL, 2017, pp. 2317–2322.
- [137] IFAG ATV HP HMD AE (Reiter Tomas), *HybridPACK Automotive Power Modules: Explanation of Technical Information*. [Online]. Available: https://www.infineon.com/dgdl/Infineon-AN2010_09_Automotive_IGBT_Modules_Explanations-AN-v1.0-en.pdf?fileId=db3a30432c59a87e012c5ee8648e355e (accessed: Mar. 21 2020).
- [138] H. Zheng, K. D.T. Ngo, and G.-Q. Lu, “Thermal characterization system for transient thermal impedance measurement and power cycling of IGBT modules,” *Microelectronics Reliability*, vol. 55, no. 12, pp. 2575–2581, 2015, doi: 10.1016/j.microrel.2015.08.016.
- [139] T. L. Skvarenina, *The power electronics handbook*. Boca Raton, Fla: CRC Press, 2002. [Online]. Available: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10142851>
- [140] Z. Zhang, B. Guo, F. F. Wang, E. A. Jones, L. M. Tolbert, and B. J. Blalock, “Methodology for Wide Band-Gap Device Dynamic Characterization,” *IEEE Trans. Power Electron.*, vol. 32, no. 12, pp. 9307–9318, 2017, doi: 10.1109/TPEL.2017.2655491.
- [141] Rahul Kapoor, John Paul MacDuffie, Daniel Wilde, *Analysis Shows Continued Industry-Wide Decline in Electric Vehicle Battery Costs*. [Online]. Available: <https://mackinstitute.wharton.upenn.edu/2020/electric-vehicle-battery-costs-decline/> (accessed: Mar. 17 2020).

- [142] Dr. Maximilian Holland, *Powering The EV Revolution — Battery Packs Now At \$156/kWh, 13% Lower Than 2018, Finds BNEF | CleanTechnica*. [Online]. Available: <https://cleantechnica.com/2019/12/04/powering-the-ev-revolution-battery-packs-now-at-156-kwh-13-lower-than-2018-finds-bnef/> (accessed: Mar. 17 2020).
- [143] S. Pischinger and U. Seiffert, Eds., *Vieweg Handbuch Kraftfahrzeugtechnik*, 8th ed. Wiesbaden: Springer Vieweg, 2016.
- [144] K. Mitamura *et al.*, “A transfer-molded high temperature SiC power module withstanding up to 250 °C,” in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, 2018, pp. 1–6.
- [145] R. Co and Ltd, *SiC Power Devices and Modules Application Note*. [Online]. Available: https://d1d2qsb18m0m72.cloudfront.net/en/products/databook/applinode/discrete/sic/common/sic_applie.pdf
- [146] S. Jahdi *et al.*, “An Analysis of the Switching Performance and Robustness of Power MOSFETs Body Diodes: A Technology Evaluation,” *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2383–2394, 2015, doi: 10.1109/TPEL.2014.2338792.
- [147] C. Klöffler, “Reichweitenverlängerung von Elektrofahrzeugen durch Optimierung des elektrischen Antriebsstranges,” 2015.
- [148] H. Li, X. Liao, Y. Hu, Z. Huang, and K. Wang, “Analysis of Voltage Variation in Silicon Carbide MOSFETs during Turn-On and Turn-Off,” *Energies*, vol. 10, no. 10, p. 1456, 2017, doi: 10.3390/en10101456.
- [149] X. Liao, H. Li, Y. Hu, Z. Huang, E. Song, and H. Xiao, “Analysis of SiC MOSFET di/dt and its temperature dependence,” in *Proceedings IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society: China National Convention Center, Beijing, China, 29 October-01 November, 2017*, Beijing, 2017, pp. 864–869.
- [150] M. Feurtado *et al.*, “High-Performance 300 kW 3-Phase SiC Inverter Based on Next Generation Modular SiC Power Modules,” in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2019, pp. 1–8.
- [151] J. Aličković, *Maximierung der Leistungsdichte von selbstgeführten hochfrequenten Energiewandlern auf Basis ultraschneller Wide-Bandgap Bauelemente*. Kassel: Kassel University Press, 2019.
- [152] “Study of the characteristics and suppression of EMI of inverter with SiC and Si devices,” *Chin. J. Electr. Eng.*, vol. 4, no. 3, pp. 37–46, 2018, doi: 10.23919/CJEE.2018.8471288.
- [153] Fischer&Tausche Capacitors, “COAX CAP,” Accessed: Apr. 16 2020. [Online]. Available: https://www.ftcap.de/fileadmin/user_upload/produktboxen/film_kondensatoren/webboxen/Coax_cap/FTCap_CoaxCap_Stand05.02.2020.pdf
- [154] Dušan Graovac, “Parasitic Turn-on of Power MOSFET – How to avoid it?,” Dec. 2008. Accessed: Apr. 12 2020. [Online]. Available: https://www.infineon.com/dgdl/Parasitic_Turn-on_of_Power_MOSFET.pdf?fileId=db3a30431ed1d7b2011eee756cee5475
- [155] M. H. Rashid, Ed., *Power electronics handbook*. Oxford, England, Cambridge, Massachusetts: Butterworth-Heinemann, 2018. [Online]. Available: <https://www.sciencedirect.com/science/book/9780128114070>
- [156] Infineon Technologies AG, “CoolSiC™ 1200 V SiC MOSFET Application Note,” Munich, Germany, 2018. [Online]. Available: https://www.infineon.com/dgdl/Infineon-Introduction_to_Cool-SiC_1200V_SiC_MOSFET-ApplicationNotes-v01_01-EN.pdf?fileId=5546d462617643590161c27fbcda0aae
- [157] S.-H. Kim, *Electric Motor Control: DC, AC, and BLDC Motors*. Place of publication not identified, s.l.: Elsevier Ltd, 2017. [Online]. Available: <http://www.sciencedirect.com/science/book/9780128121382>
- [158] P. von Böckh and T. Wetzel, *Wärmeübertragung: Grundlagen und Praxis*, 7th ed. Berlin, Heidelberg: Springer Vieweg, 2017.

- [159] M. Bosch, *Die Wärmeübertragung: Ein Lehr- und Nachschlagebuch für den praktischen Gebrauch*. Berlin, Heidelberg, s.l.: Springer Berlin Heidelberg, 1936.
- [160] A. Ahsan, *Two Phase Flow, Phase Change and Numerical Modeling*: InTech, 2011.
- [161] K. Langeheinecke, P. Jany, and G. Thieleke, Eds., *Thermodynamik für Ingenieure: Ein Lehr- und Arbeitsbuch für das Studium ; mit 58 Tabellen*, 8th ed. Wiesbaden: Vieweg + Teubner, 2012.
- [162] B. Buchmayr, *Werkstoff- und Produktionstechnik mit Mathcad*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2002.
- [163] Robert Hasenfratz, "Ermittlung der Verlustleistung und thermischen Leistungsgrenzen von Leistungselektronischen Si- und SiC-Halbbrückenmodulen," Masterarbeit, Karlsruher Institut für Technologie, Karlsruhe, 2015.
- [164] N. Bombieri, M. Poncino, and G. Pravadelli, Eds., *Smart Systems Integration and Simulation*, 1st ed. Cham: Springer International Publishing, 2016. [Online]. Available: <http://gbv.ebib.com/patron/FullRecord.aspx?p=4411532>
- [165] M. Schmenger *et al.*, "Highly integrated power modules based on copper thick-film-on-DCB for high frequency operation of SiC semiconductors - Design and manufacture," in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, 2015, pp. 1–8.
- [166] M. Feil, *Hybridintegration: Technologie u. Entwurf von Dickschichtschaltungen ; 49 Tab.* Heidelberg: Hüthig, 1986.
- [167] C. Liu, F. Mohn, J. Schuderer, and D. Torresin, "Novel Large-Area Attachment for High-Temperature Power Electronics Module Application," in *ECTC 2017: The 67th Electronic Components and Technology Conference : 30 May-2 June 2017, Lake Buena Vista, Florida : proceedings*, Orlando, FL, USA, 2017, pp. 1547–1552.
- [168] Heraeus Electronics, *Alumina DCB Substrate DPIS*.
- [169] A. A. Wereszczak, D. J. Vuono, H. Wang, M. K. Ferber, and Z. Liang, "Properties of Bulk Sintered Silver As a Function of Porosity," 2012.
- [170] W. Constanze, H. Matthias, S. Stefan, and D. L. Klaus, "Dependency of the porosity and the layer thickness on the reliability of Ag sintered joints during active power cycling," in *2015 IEEE 65th Electronic Components and Technology Conference (ECTC)*, 2015, pp. 1866–1873. [Online]. Available: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7159854>
- [171] S. Brand *et al.*, "Non-destructive Assessment of the Porosity in Silver (Ag) Sinter Joints Using Acoustic Waves," in *IEEE 68th Electronic Components and Technology Conference: ECTC 2018 : 29 May-1 June 2018, San Diego, California : proceedings*, San Diego, CA, 2018, pp. 1863–1870.
- [172] V. Czitrom, "One-Factor-at-a-Time versus Designed Experiments," *The American Statistician*, vol. 53, no. 2, pp. 126–131, 1999, doi: 10.1080/00031305.1999.10474445.
- [173] W. Kleppmann, *Versuchsplanung: Produkte und Prozesse optimieren*, 8th ed. München: Hanser, Carl, 2013.
- [174] K. Siebertz, D. van Bebber, and T. Hochkirchen, *Statistische Versuchsplanung*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2010.
- [175] POLYTRON Kunststofftechnik GmbH & Co. KG, *Material-Eigenschaften nach DIN ISO 10350 POLYTRON PTFE 1000*. [Online]. Available: https://www.henderkott-roecker.de/images/pdf/daten/Datenblaetter/PTFE_1000.pdf
- [176] M. Bonnet, *Kunststoffe in der Ingenieur Anwendung: Verstehen und zuverlässig auswählen*, 1st ed. Wiesbaden: Vieweg+Teubner Verlag / GWV Fachverlage GmbH Wiesbaden, 2009.
- [177] Wolfgang Reinert, "Abschlussbericht MAXIKON: IGF Vorhaben 17240 BG," Fraunhofer Institut für Siliziumtechnologie, Fachhochschule Kiel, Technische Universität Dresden, Itzehoe, Nov. 2013. Accessed: Nov. 7 2020. [Online]. Available: https://www.isit.fraunhofer.de/content/dam/isit/de/documents-14/Abschlussbericht%20MAXIKON_IGF%2017240%20BG.pdf
- [178] Z. Zhang, "Sintering of Micro-scale and Nanscale Silver Paste for Power Semiconductor Devices Attachment," Dissertation, Electrical and Computer Engineering, Virginia Polytechnic Institute and

- State University, Blacksburg, Virginia, 2005. Accessed: Nov. 27 2015. [Online]. Available: <http://scholar.lib.vt.edu/theses/available/etd-09082005-231429/>
- [179] H.-Q. Zhang, H.-L. Bai, Q. Jia, W. Guo, L. Liu, and G.-S. Zou, "High Electrical and Thermal Conductivity of Nano-Ag Paste for Power Electronic Applications," *Acta Metall. Sin. (Engl. Lett.)*, vol. 33, no. 11, pp. 1543–1555, 2020, doi: 10.1007/s40195-020-01083-3.
- [180] Y. Liu, H. Zhang, L. Wang, X. Fan, G. Zhang, and F. Sun, "Effect of Sintering Pressure on the Porosity and the Shear Strength of the Pressure-Assisted Silver Sintering Bonding," *Device and Materials Reliability, IEEE Transactions on*, vol. 18, no. 2, pp. 240–246, 2018, doi: 10.1109/TDMR.2018.2819431.
- [181] H. Hao *et al.*, "The Effects of Sintering Temperature and Addition of TiH₂ on the Sintering Process of Cu," *Materials*, vol. 12, no. 16, 2019, doi: 10.3390/ma12162594.
- [182] *DIN 50035:2012-09, Begriffe auf dem Gebiet der Alterung von Materialien_ - Polymere Werkstoffe*, Berlin.
- [183] P. Eyerer, P. Elsner, and T. Hirth, *Polymer Engineering: Technologien und Praxis*. Berlin, Heidelberg: Springer, 2008. [Online]. Available: <http://www.springerlink.com/content/x5j861>
- [184] Yoshimichi Masuda, "Calorimetric Study on the Sintering of Copper Powder Compact," Tohoku University, 1962.
- [185] G. M. Gladysz, *Voids in materials: From unavoidable defects to designed cellular materials*. Oxford, England, Waltham, Massachusetts: Elsevier, 2015. [Online]. Available: <http://www.sciencedirect.com/science/book/9780444563675>
- [186] M. Rösch, *Potenziale und Strategien zur Optimierung des Schablonendruckprozesses in der Elektronikproduktion*. Zugl.: Erlangen-Nürnberg, Univ., Diss., 2011. Bamberg: Meisenbach, 2011.
- [187] Dudi Amir and Brett Grossman, "Cavity Board SMT Assembly Challenges," *SMTA International 2018*, 2018.
- [188] K. Vijay, "Substrate to Baseplate Attach: A Novel Solder Solution with an Embedded Metal Matrix for Enhanced Reliability," in *2019 22nd European Microelectronics and Packaging Conference & Exhibition (EMPC): Technical papers*, Pisa, Italy, 2019, pp. 1–4.
- [189] Matt Vorona, "Case Study_Extremely Low-Void, Lead-Free Solutions for Power Module Applications," 2020. Accessed: Nov. 6 2020. [Online]. Available: https://www.semiconductorpackaging-news.com/uploads/1/Case_Study_Extremely_Low-Void_Lead-Free_Solutions_for_Power_Module_Application.pdf
- [190] *Acceptability of Electronic Assemblies*. Bannockburn, IL: IPC, 2017.
- [191] T. M. Tritt, *Thermal conductivity: Theory, properties, and applications*, 2010.
- [192] Aurubis, *Werkstoff Datenblatt Cu-OF*. [Online]. Available: https://www.aurubis.com/binaries/content/assets/aurubisrelaunch/files/datenblatter/cu-of/cu-of-c10200_de.pdf
- [193] K. H. Schröder, J. Weiser, and E. Vinaricky, *Elektrische Kontakte, Werkstoffe und Anwendungen: Grundlagen, Technologien, Prüfverfahren*, 3rd ed. Berlin, Heidelberg: Vieweg, 2016. [Online]. Available: <https://ebookcentral.proquest.com/lib/gbv/detail.action?docID=4560290>
- [194] A. Nayar, *The metals databook*. New York, NY: McGraw-Hill, 1997.
- [195] Y. Zhou, *Microjoining and nanojoining*. Cambridge, England, Boca Raton: Woodhead Pub. and Maney Pub. on behalf of the Institute of Materials Minerals & Mining, 2011. [Online]. Available: <http://www.sciencedirect.com/science/book/9781845691790>
- [196] Y. Miyazaki, T. Nishiyama, H. Takahashi, J.-i. Katagiri, and Y. Takezawa, "Development of highly thermoconductive epoxy composites," in *IEEE Conference on Electrical Insulation and Dielectric Phenomena, 2009: CEIDP '09 ; 18 - 21 Oct. 2009, Virginia Beach Resort Hotel and Conference Center, Virginia Beach, Virginia ; 2009 annual report*, Virginia Beach, VA, USA, 2009, pp. 638–641.
- [197] A. A. Gromov and L. N. Chukhlomina, Eds., *Nitride ceramics: Combustion synthesis, properties, and applications*. Weinheim: Wiley-VCH-Verl., 2015.

- [198] K. Fukushima, H. Takahashi, Y. Takezawa, T. Kawahira, M. Itoh, and J. Kanai, "High Thermal Conductive Resin Composites with Controlled Nanostructures for Electric Devices," *Ieej Transactions on Fundamentals and Materials*, vol. 126, pp. 1167–1172, 2006.
- [199] V. K. Thakur and M. R. Kessler, Eds., *Liquid Crystalline Polymers: Volume 1-Structure and Chemistry*, 1st ed. Cham, s.l.: Springer International Publishing, 2016.
- [200] M. Nakabayashi, T. Fujimoto, M. Katsuno, and N. Ohtani, "Precise Determination of Thermal Expansion Coefficients Observed in 4H-SiC Single Crystals," *Materials Science Forum*, 527-529, pp. 699–702, 2006, doi: 10.4028/www.scientific.net/MSF.527-529.699.
- [201] K. Hayashi, G. Izuta, K. Murakami, Y. Uegai, and H. Takao, "Improvement of fatigue life of solder joints by thickness control of solder with wire bump technique [power modules]," in *2002 proceedings: 52nd Electronic Components & Technology Conference, San Diego, California, San Diego, CA, USA, 2002*, pp. 1469–1474.
- [202] K. M. Gupta and N. Gupta, *Advanced electrical and electronics materials: Processes and applications*. Beverly, Mass., Hoboken, NJ: Scrivener Publishing; Wiley, 2015.
- [203] P. Wellmann, *Materialien der Elektronik und Energietechnik: Halbleiter, Graphen, Funktionale Materialien*. Wiesbaden: Springer, 2017.
- [204] P. Laube, *Waferherstellung - Herstellung des Rohsiliciums*. [Online]. Available: <https://www.halbleiter.org/waferherstellung/rohsilicium/> (accessed: May 13 2020).
- [205] B. J. Baliga, *Silicon carbide power devices*. Singapore, Hackensack, N.J: World Scientific, 2005.
- [206] D. Ishikawa *et al.*, "Bonding Strength of Cu Sinter Die-Bonding Paste on Ni, Cu, Ag, and Au Surfaces under Pressureless Bonding Process," *Transactions of The Japan Institute of Electronics Packaging*, vol. 13, no. 0, E19-017-1-E19-017-11, 2020, doi: 10.5104/jiepeng.13.E19-017-1.