

Ausleseelektronik für magnetische Mikrokalorimeter im Frequenzmultiplexverfahren

Zur Erlangung des akademischen Grades eines

DOKTOR-INGENIEURS

von der KIT-Fakultät für
Elektrotechnik und Informationstechnik
des Karlsruher Instituts für Technologie (KIT)

genehmigte

DISSERTATION

von

M. Sc. Nick Karcher

geb. in Heidelberg

Tag der mündlichen Prüfung:

Hauptreferent:

1. Korreferent:

2. Korreferent:

31.03.2022

Prof. Dr. Marc Weber

Prof. Dr.-Ing. Dr. h. c. Jürgen Becker

Priv.-Doz. Dr.-Ing. Oliver Sander

Zusammenfassung

Magnetische Mikrokalorimeter (MMC) sind Tieftemperatur-Kalorimeter mit exzellenter Auflösung und hoher Linearität. Dadurch sind sie als Schlüsseltechnologie für eine Vielzahl an Experimenten und Instrumenten in der Grundlagenforschung prädestiniert. Das Sensorprinzip erfordert Betriebstemperaturen weit unter 100 mK. Bei einer großen Anzahl von mehreren hundert Detektoren mit paralleler Anbindung wird die Auslese zu einer hochgradig komplexen Aufgabe. Frequenzmultiplex-Verfahren wie der Mikrowellen-SQUID-Multiplexer sind in der Lage, die Auslese all dieser Detektoren mit wenigen Leitungen zu realisieren, und sind für MMCs geeignet. Die Auslese des Mikrowellen-SQUID-Multiplexers erfordert jedoch hohe Bandbreiten im Gigahertzbereich, leistungsfähige Hardware und mehrstufige Signalverarbeitung zur Datenreduktion. In der vorliegenden Arbeit wird erstmals ein optimiertes Raumtemperatur-Auslesesystem für 400 Multiplexer-Kanäle mit 4 GHz Bandbreite für MMCs vorgestellt. Ausgehend vom konzeptionierten Auslesesystem werden zwei Prototyp-Elektroniken realisiert und evaluiert. Mit dem Auslesesystem wurden in einem Testaufbau Energieauflösungen von 6,2 eV mit 16 und 10,7 eV mit 80 Kanälen im Bereich von 3,3 keV erreicht. Mit MMCs im Kryostaten und Achtkanalauslese wurden Auflösungen von 8,8 eV bei 5,9 keV erreicht. Die entwickelten Methoden und Prototypen werden darüber hinaus auf eine neuartige Multiplexer-Variante mit dc-SQUIDs übertragen und ferner wird eine Vierkanal-Auslese mit Tieftemperaturaufbau demonstriert. Mit den Ergebnissen der vorliegenden Arbeit steht nun ein hochoptimiertes Auslesesystem in einer ersten Version zur Verfügung.

Abstract

Magnetic calorimeters (MMC) are low-temperature calorimeters with excellent resolution and high linearity. This qualifies them as a key technology for a wide range of experiments and instruments in fundamental research. The detection principle requires temperatures far below 100 mK. With a large number of several hundred detectors with parallel interfacing, readout becomes a highly complex task. Frequency division multiplexing techniques such as the microwave SQUID multiplexer are able to realize the acquisition all these detectors with few readout lines and are suitable for MMCs. However, the readout of the microwave SQUID multiplexer requires high bandwidths in the gigahertz range, powerful hardware, and multistage signal processing for data reduction. In this thesis, an optimized room-temperature readout system for 400 multiplexer channels with 4 GHz bandwidth for MMCs is presented. Two prototype electronics are implemented and evaluated from the conceptualized readout system. The readout system shows energy resolutions of 6,2 eV with 16 and 10,7 eV with 80 channels in the range of 3,3 keV in a test setup. With MMCs in a cryostat, resolutions of 8,8 eV at 5,9 keV were achieved in an eight channel readout. The developed methods and prototypes are further applied to a novel multiplexer variant with dc-SQUIDs, and furthermore, a four-channel readout with low-temperature setup is demonstrated. With the results of this thesis, a highly optimized fully functional readout system is now available in a first version.

Danksagung

Die vorliegende Arbeit entstand in den Jahren 2017-2022 am Institut für Prozessdatenverarbeitung und Elektronik des Karlsruher Institut für Technologie. Ich möchte mich bei allen Personen bedanken, die in diesen Jahren auf vielfältige Weise zum erfolgreichen Abschluss dieser Arbeit beigetragen haben.

Mein allererster Dank gilt Herrn Prof. Marc Weber. Durch seine Unterstützung war es mir möglich, auf dem Gebiet der Auslese supraleitender Schaltkreise zu forschen und den vielschichtigen Entwicklungsprozess von Datenerfassungssystemen zu begleiten. Auch möchte ich mich bei Herrn Prof. Jürgen Becker für die Übernahme des Zweitgutachtens für diese Arbeit bedanken. Einen maßgeblichen Beitrag zum Gelingen dieser Arbeit leistete Oliver Sander. Die tiefgreifenden technischen Diskussionen und die hervorragende persönliche Betreuung werden mir über die Doktorarbeit hinaus positiv im Gedächtnis bleiben.

Ein umfangreicher Dank gilt den Kooperationspartnern am Kirchhoff-Institut für Physik in Heidelberg: Prof. Christian Enss und Daniel Richter; und am Institut für Mikro- und Nanoelektronische Systeme in Karlsruhe: Prof. Sebastian Kempf und Mathias Wegner. Ohne ihr Engagement bei den Messungen und die kompetente technische und fachliche Unterstützung zu den Kalorimetern und den Multiplexern wäre die Entwicklung des Auslesesystems in dieser Form nicht möglich gewesen.

Weiterhin möchte ich mich bei allen meinen Kollegen bedanken: Richard Gebauer für den Gedankenaustausch zu diversen Softwareentwicklungen und die ergiebigen und unterhaltsamen Diskussionen. Robert Gartmann für die technische Unterstützung bei zahlreichen Messungen und die Bereitstellung seiner Hochfrequenzelektronik. Oliver Krömer für den fachlichen Austausch. Michael Schleicher, Alexander Bacher und Uwe Bauer für deren hilfsbereiten Einsatz bei Layout, Herstellung und Inbetriebnahme der Elektronik. An dieser Stelle möchte ich mich auch für die unzähligen, wichtigen Beiträge aller Studenten bedanken. Ohne deren Resultate aus Masterarbeiten und HiWi-Tätigkeiten wäre eine solch umfangreiche Entwicklung in dieser Zeitspanne nicht realisierbar gewesen.

Einen herzlichen Dank an die Karlsruher Schule für Elementarteilchen- und Astroteilchenphysik (KSETA) für den finanziellen Beitrag in den ersten Jahren der Promotion.

Ein besonderes Dankeschön gilt meinen Eltern und meiner Frau Ricarda für ihr offenes Ohr, ihre Geduld und uneingeschränkte Unterstützung. Auch möchte ich meiner Tochter Amelie danken für die vielen gelungenen, schönen Ablenkungen.

Heidelberg, 31. Mai 2022

Nick Karcher

Inhaltsverzeichnis

1	Einleitung	1
2	Magnetische Mikrokalorimeter und Multiplexverfahren	3
2.1	Josephson-Kontakte und SQUIDs	3
2.2	Tiefemperatur-Kalorimeter	10
2.3	Auslesemethoden	15
2.4	Das ECHO-Experiment und dessen Anforderungen	24
2.5	Zusammenfassung	26
3	Technologische Grundlagen	27
3.1	Rauschleistung und Jitter	27
3.2	Hochfrequenzumsetzung	31
3.3	Digitale Signalverarbeitung	35
3.4	System-on-Chip-Architektur	41
3.5	Bootloader und Betriebssystem	45
3.6	Zusammenfassung	46
4	Auslesekonzept und -elektronik	47
4.1	Multiplexer-Auslese mit SDR-System	47
4.2	Evaluierung existierender Ausleseelektroniken	48
4.3	Diskussion zu verfügbaren Elektroniken und ECHO-Anforderungen	50
4.4	Breitbandauslesesystem für ECHO	53
4.5	Hochfrequenzelektronik	55
4.6	Wandlerelektronik	57
4.7	Digitalelektronik	65
4.8	Hardware-Prototypen	67
4.9	Zusammenfassung	69
5	Digitale Signalverarbeitung	71
5.1	Firmwareübersicht der Prototypsysteme	71
5.2	Generierung der Anregungssignale	74
5.3	Frequenzdemultiplex-Kaskade	76
5.4	I&Q-Mischerkorrektur	85
5.5	Flussrampen-Demodulation	95

5.6	Erkennung von Sensorereignissen	99
5.7	Skalierbarkeit der Verarbeitungskette	106
5.8	Zusammenfassung	110
6	Datenakquisition und Kontrollschnittstelle	111
6.1	Steuerungs- und Akquisitionsübersicht	111
6.2	Sensordatenaggregation	112
6.3	Direct-Memory-Access	114
6.4	Kontrollsoftware	116
6.5	Firmwareintegration	124
6.6	Zusammenfassung	126
7	Messungenanwendungen mit den Prototyp-Systemen	127
7.1	Charakterisierung der Basisbandelektronik	127
7.2	Messungen mit Multiplexverfahren	132
7.3	Messungen mit Tieftemperaturaufbau	145
7.4	Bewertung des Systems	147
7.5	Zusammenfassung	150
8	Frequenzmultiplex mit dc-SQUIDs	151
8.1	Theorie zum Multiplexverfahren	151
8.2	Auslesehardware und Messprototyp	153
8.3	Signalverarbeitungskette	154
8.4	Messung mit Frequenzmultiplex	157
8.5	Bewertung des Systems	162
8.6	Zusammenfassung	164
9	Fazit und Ausblick	165
	Literatur	167
	Eigene Publikationen	179
	Verzeichnisse	181
	Abkürzungsverzeichnis	181
	Abbildungsverzeichnis	185
	Tabellenverzeichnis	189
A	Anhang	191
A.1	Herleitungen und Berechnungen	191
A.2	Datenauswertung	193
A.3	Tabellen	196
A.4	Grafiken	199

1 Einleitung

Sensoren sind essentiell für die Beobachtung unserer Natur und Erforschung vielfältiger Phänomene. Ihre Auflösung bestimmt, wie genau Messungen durchgeführt werden können, und entscheidet darüber, ob ein Phänomen messbar ist. Energiesensoren, sogenannte Kalorimeter, messen Energie, welche beispielsweise durch einen physikalischen Prozess wie einer Teilchenabsorption in Wärme umgewandelt wird. Zur Detektion niederenergetischer Elementarteilchen oder zur Auflösung kleinster Energieunterschiede bei hoher Energie werden hochpräzise Kalorimeter benötigt.

Tiefemperatur-Mikrokalorimeter sind Detektoren, die nahe des absoluten Nullpunkts betrieben werden. Die tiefen Temperaturen im Millikelvinbereich erlauben den Einsatz spezieller Sensorprinzipien, geringes thermisches Rauschen und den Einsatz rauscharmer Verstärker. Dadurch werden Auflösungen von bis zu 1,6 eV bei 6 keV erreicht [1, 2]. Dies unterschreitet die theoretisch erreichbare Auflösung von vergleichbaren Halbleitersensoren um etwa zwei Größenordnungen [3]. Beispiele sind die Kalorimeter mit Transition-Edge-Sensoren (TES), welche Energie über den Phasenübergang eines Supraleiters detektieren [4], und magnetische Mikrokalorimeter (MMC), welche Energie über eine Magnetisierungsänderung eines paramagnetischen Materials bestimmen [5]. Durch die hohen Auflösungen bieten sich die Sensortypen für verschiedenste Experimente und Instrumente an [1, 2].

Für viele Anwendungen der Kalorimeter ist eine räumliche Auflösung [6] für beispielsweise Bildsensoren oder eine hohe Ereignisrate notwendig, um hochauflösende Spektrographie in kurzer Messzeit zu erlauben [7, 8]. Beides erfordert Mehrsensor-Systeme mit hunderten bis zu zehntausenden Sensoren. Die parallele Anbindung der Sensoren in der Millikelvin-Stufe im Kryostaten an die Raumtemperatur-Auslese ist bei einer größeren Anzahl von Sensoren jedoch platz- und kostenintensiv, führt zu einem großen Wärmeeintrag und ist daher nicht praktikabel [9]. Ein vielversprechender Ansatz sind Multiplexmethoden, welche die Signale mehrerer Sensoren auf einem gemeinsamen Übertragungskanal vereinen. Neben dem Zeit- [10] und Codemultiplex [11] stellt der Frequenzmultiplex [12] eine attraktive Möglichkeit dar, die Anzahl der Verbindungen zwischen der Tieftemperatur- und Raumtemperaturelektronik erheblich zu reduzieren. Dabei werden die verschiedenen Sensorsignale auf unterschiedliche Intervalle des Frequenzspektrums des Auslesekanals verteilt. Dies ermöglicht eine gemeinsame Übertragung der Signale von hunderten bis tausenden Kanälen auf einer einzigen Rückleitung [13].

Eine aussichtsreiche Implementierungsvariante ist der Mikrowellen-SQUID-Multiplexer, der die Sensorsignale in die Resonanzverstimmung eines Mikrowellenresonators umsetzt. Der Resonator moduliert dadurch ein kontinuierliches Anregungssignal mit dem Sensorsignal [12, 14]. Eine weitere, neuartige Variante stellt der Frequenzmultiplexer mit dc-SQUIDs dar. Dieser nutzt die Periodizität der sinus-ähnlichen SQUID-Kennlinie, um Spannungssignale mit unterschiedlicher Frequenz zu erzeugen. Die Sensorsignale werden hierbei auf die Phasen der Spannungssignale moduliert [15].

Die erste Anwendung, in der der Frequenzmultiplex für MMCs zur Aufzeichnung von Röntgenspektren eingesetzt werden soll, ist das Electron Capture in Holmium-163 (ECHO) Experiment [8]. ECHO untersucht die Masse des Elektron-Neutrinos durch die Auswertung des Energiespektrum des ^{163}Ho -Zerfalls. Das Spektrum wird mit 10^4 Sensoren mit einer Ereignisrate von 100 Kilobecquerel aufgezeichnet. Die Auslese für ECHO stellt hohe Bandbreitenanforderungen an das Messsystem. So wird beim Experiment ein Multiplex von 4 bis 8 GHz mit 4 GHz Echtzeitbandbreite angestrebt, um 800 Sensoren über 400 Resonatorkanäle auszulesen. Für die Auslese der analogen Signale werden eine Hochfrequenzelektronik, schnelle AD- und DA-Wandler benötigt. Der dabei zu erwartende Datenstrom liegt im Bereich von 100 Gbit s^{-1} und kann durch stark parallelisierte Digitalelektronik wie Field-Programmable-Gate-Arrays (FPGAs) effizient verarbeitet werden.

Die vorliegende Arbeit untersucht Technologien und Methoden für die Auslese von MMCs mit Frequenzmultiplexverfahren. Der Mikrowellen-SQUID-Multiplexer und der dc-SQUID-Frequenzmultiplexer für MMCs sind zum Zeitpunkt dieser Arbeit völlig neue Technologien und ein breitbandiges Auslesesystem existiert bisher nicht. Ein Fokus dieser Arbeit liegt dabei auf der Entwicklung eines Auslesesystems für das ECHO-Experiment, welches Mikrowellen-SQUID-Multiplexer verwendet. Außerdem wird die Übertragung der entwickelten Komponenten auf den Multiplexer mit dc-SQUID-Verfahren diskutiert. Dabei geht die Arbeit auf die Fragestellungen ein, wie und mit welcher Segmentierung und mit welchen Hardware- und Firmwarebestandteilen ein breitbandiges Auslesesystem realisiert werden kann. Ein besonderes Augenmerk liegt zudem auf der digitalen Signalverarbeitungskette, die aus dem großen Eingangsdatenstrom die Sensorsignale in Echtzeit extrahieren und somit die Datenrate um Größenordnungen reduzieren kann. Weiterhin wird eine Software zur einfachen Konfiguration, zur Kalibrierung und zur Nutzung des Systems im Experiment entworfen und implementiert. Mit der entwickelten Firmware und Hardware wird ein Ausleseprototyp aufgebaut und erfolgreich evaluiert, der 80 Resonatorkanäle auslesen kann und sich auf 400 Kanäle hochskalieren lässt.

2 Magnetische Mikrokalorimeter und Multiplexverfahren

Für die Auslese der magnetischen Mikrokalorimeter ist ein grundlegendes Verständnis der Kalorimeter und des eingesetzten Multiplexverfahrens erforderlich. Dazu geht dieses Kapitel auf die in der Auslese verwendeten Quanteneffekte ein und behandelt die magnetischen Kalorimeter mit der klassischen Einkanal-Auslese sowie die Mehrkanalauslese mittels verschiedener Multiplexmethoden. Hierbei liegt der Fokus auf dem Frequenzmultiplex, welcher in Kombination mit dem in dieser Arbeit entwickelten Auslesesystem zur Anwendung kommt. Im Anschluss wird das ECHO-Experiment vorgestellt, welches als erstes Experiment eine große Anzahl von magnetischen Mikrokalorimetern in Kombination mit einem Frequenzmultiplex einsetzt.

2.1 Josephson-Kontakte und SQUIDs

Tiefemperatur-Kalorimeter sind häufig auf supraleitende Elemente angewiesen [3]. Beispielsweise beruht das Sensorprinzip beim Transition-Edge-Sensor (TES) auf dem Übergang vom supraleitenden in den normalleitenden Zustand eines Materials und die Auslese der Kalorimeter stützt sich auf rauscharme supraleitende Quanteninterferenzdetektoren (SQUIDs). In diesem Sinne wird zunächst auf die Supraleitung eingegangen und danach auf die Quanteneffekte im Josephson-Kontakt und im SQUID.

2.1.1 Supraleiter

Im Jahr 1911 konnte *Heike Kamerlingh Onnes* bei Widerstandmessreihen eines Quecksilberdrahtes bei tiefen Temperaturen ($T = 4,15\text{ K}$) eine sehr starke und sprunghafte Zunahme der Leitfähigkeit feststellen. Die damals entdeckte Supraleitung war ein vollständig überraschendes Phänomen und einer der ersten gemessenen Quanteneffekte überhaupt. Onnes erhielt für seine Arbeiten im Jahr 1913 den Nobelpreis. Das entdeckte Phänomen war zu diesem Zeitpunkt nicht theoretisch erklärbar und wurde erst 1957 durch die *BCS-Theorie*, benannt nach

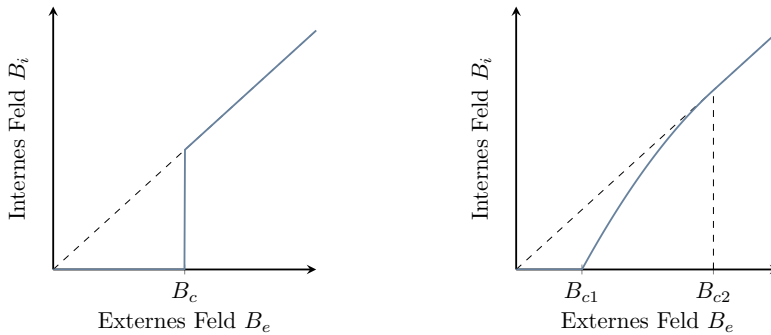


Abbildung 2.1: Magnetfelder in Supraleitern des ersten Typs (links) und des zweiten (rechts) [16].

den Physikern *Bardeen*, *Cooper* und *Schrieffer*, mikroskopisch beschrieben. Seit der Entdeckung des ersten Supraleiters wurden zahlreiche weitere supraleitende Materialien gefunden und erforscht [16].

Supraleiter verlieren unterhalb ihrer Sprungtemperatur T_c ihren elektrischen Gleichstrom-Widerstand. Die zugrundeliegenden Phänomene in den verschiedenen Supraleitern sind komplex und können nach *Hirsch* in 32 verschiedene Kategorien eingeteilt werden [17]. Näher betrachtet wird die Aufteilung in Typ I und Typ II bei konventionellen Supraleitern. Setzt man einen Supraleiter einem Magnetfeld aus, induziert dieses Abschirmströme an der Oberfläche des Materials. Dadurch entsteht innerhalb des Supraleiters ein entgegengesetztes Magnetfeld, welches das äußere Feld kompensiert. Das Material wirkt als perfekter Diamagnet; die magnetischen Feldlinien umströmen das Objekt. Dieser Effekt wurde durch *Meissner* und *Ochsenfeld* entdeckt und wurde nach den Entdeckern benannt. Die Abschirmströme bewirken einen exponentiellen Abfall des Magnetfelds an der Oberfläche des Supraleiters gemäß der *London-Gleichungen* [18]. Supraleiter des ersten Typs können den supraleitenden Zustand innerhalb eines Magnetfelds aufrechterhalten, bis die kritische Feldstärke B_c erreicht wird, danach bricht die Supraleitung zusammen. In Supraleitern des zweiten Typs gibt es zwei kritische Feldstärken $B_{c1} < B_{c2}$ (vgl. Abbildung 2.1) [16]. Nach dem Überschreiten von B_{c1} kann das Magnetfeld in Form von Flussschläuchen in das Material eindringen, die wesentlichen supraleitenden Eigenschaften bleiben aber weiterhin erhalten. Bei der zweiten kritischen Feldstärke B_{c2} geht der Effekt der Supraleitung verloren. Die kritische Feldstärke definiert gleichzeitig die maximale Suprastromdichte des Supraleiters.

Konventionelle Supraleiter lassen sich nach der BCS-Theorie erklären [19]. Die BCS-Theorie beschrieb die Supraleitung erstmals auf mikroskopischer Ebene als einen Vielteilchenzustand. Durch die tiefen Temperaturen spielt die thermische Gitterschwingung eine untergeordnete Rolle und Elektronen können sich durch den Austausch von virtuellen Phononen zu sogenannten *Cooper-Paaren* verbinden. Der Zwei-Teilchen-Zustand führt dazu, dass diese Teilchen

einen ganzzahligen Spin annehmen. Daher zählen Cooper-Paare nicht mehr zur Klasse der Fermionen, sondern formen virtuelle Bosonen. Diese unterliegen nicht mehr dem *Pauliprinzip*, nach dem zwei Elektronen nicht in allen Quantenparametern übereinstimmen können. Durch die Bindungsenergie der Cooper-Paare entsteht im Zustandsraum des Supraleiters eine Energielücke zwischen dem niedrigem Energieniveau der Cooper-Paare und angeregter Zustände in höheren Energieniveaus [20]. Im Unterschied zu normalen Leitern können die Elektronen der Cooper-Paare nur mit einer Energie angeregt werden, die zumindest der Energielücke entspricht [16]. Liegt die Energie durch zufällige Streuung am Atom-Gitter darunter, führt dies zu einem verlustfreien Strom durch das Material. Als Bosonen können Cooper-Paare über dem Supraleiter, ähnlich wie Photonen über dem Raum, eine gemeinsame Wellenfunktion ausbilden [16]:

$$\Psi(r) = \Psi_0 e^{j\varphi(r)} \quad (2.1)$$

Die Supraleitung kann somit als makroskopischer Quantenzustand angesehen werden. Dieser definiert sich durch die Amplitude beziehungsweise Cooperpaardichte $|\Psi_0|^2 = n_s$ und die ortsabhängige Phase $\varphi(r)$. Diese Wellenfunktion erstreckt sich makroskopisch über das supraleitende Objekt.

Die Anwendung von Supraleitern erfordert neben der supraleitenden Eigenschaft auch spezielle Werkstoffeigenschaften; so müssen die Supraleiter für die Herstellung von SQUIDs und Mikrokalorimetern mikrostrukturierbar sein. Hierfür wird heutzutage sehr häufig Niob eingesetzt. Dieses Element weist eine Sprungtemperatur von 9,2 K auf und kann somit mit flüssigem Helium ($T = 4,2$ K) gekühlt werden. Die kritische Stromdichte von über 2 MA cm^{-1} der Supraleitung in Niob [21] erlaubt es dabei, die für den Betrieb von magnetischen Mikrokalorimetern benötigten hohen kritischen Ströme mit Leiterbahnen mit nur wenigen Mikrometern Strukturweite zu erreichen. Weiterhin lässt Niob sich als Metall durch Sputtern auf Silizium- oder Saphir-Wafer aufbringen und kann mit gängigen Techniken der Mikrofabrikation verarbeitet werden. Dies ermöglicht beispielsweise die Herstellung von Josephson-Kontakten.

2.1.2 Josephson-Kontakte

Der *Josephson-Kontakt* ist ein Verbund aus zwei Supraleitern, die durch eine sehr dünne Barriere, wie beispielsweise einen Isolator, räumlich voneinander getrennt sind (vgl. Abbildung 2.2). Dieser SIS-Kontakt (Supraleiter-Isolator-Supraleiter) ermöglicht ein kohärentes Tunneln der Cooper-Paare zwischen den zwei Supraleitern, falls die Schichtdicke des Isolators in der Größenordnung von ca. 1 nm liegt [16]. Durch die Isolationsschicht sind die makroskopischen Wellenfunktionen der zwei Supraleiter nicht starr gekoppelt wie bei einem direkten Kontakt der Materialien. Die an einer solchen Verbindung auftretenden Effekte wurden durch *Josephson* vorausgesagt [22].

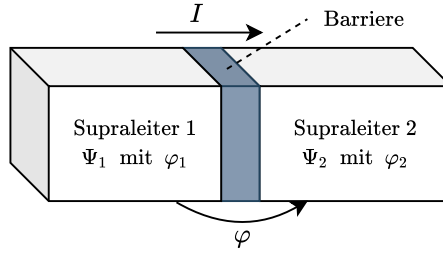


Abbildung 2.2: Topologie eines Josephson-Kontakts

Der Kontakt ist durch einen kritischen Strom I_c charakterisiert. Dieser hängt von den Cooper-Paar-Dichten der zwei Supraleiter, deren Abstand zueinander und der Fläche des Kontakts ab. Ströme kleiner als I_c werden vollständig von Cooper-Paaren getragen und passieren daher den Josephson-Kontakt ohne einen Spannungsabfall zu erzeugen. Dies wird als Gleichstrom-Josephson-Effekt bezeichnet. Durch den angelegten Strom werden die Phasen der zwei Supraleiter (φ_1, φ_2) gegeneinander verschoben gemäß [22, 23]:

$$I_s = I_c \sin \varphi, \text{ wobei } \varphi = \varphi_2 - \varphi_1 \quad (2.2)$$

Wird der Strom über den kritischen Strom I_c hinaus weiter erhöht, kann der Strom nicht mehr allein durch die Cooper-Paare getragen werden und es fällt eine Spannung über dem Kontakt ab. Der Strom setzt sich aus dem Tunnelstrom aus Cooper-Paaren und aufgebrochenen Cooper-Paaren (Quasiteilchen) durch den Kontakt zusammen. Die zeitliche Entwicklung der Phasendifferenz über dem Josephson-Kontakt steht allein in Abhängigkeit zu der entstehenden Spannung [22]:

$$\frac{\partial \varphi}{\partial t} = \frac{2\pi}{\Phi_0} U \quad (2.3)$$

Hierbei bezeichnet $\Phi_0 \approx 2,07 \cdot 10^{-15} \text{ T m}^2$ das magnetische Flussquant. Bei einem konstanten Spannungsabfall über dem Josephson-Kontakt oszilliert aufgrund der sich zeitlich ändernden Phasendifferenz nach Gleichung 2.3 der durch die Cooper-Paare getragene Stromanteil. Dies wird als Josephson-Wechselstrom-Effekt bezeichnet. Der entstehende Strom

$$I_{s,ac} = I_c \sin(\omega_J t - \varphi_0) \quad (2.4)$$

liegt mit $\omega_J = 2\pi U \Phi_0^{-1}$ schon bei kleinen Spannungen von einigen Mikrovolt im Gigahertz-Bereich [16]. Dieser Effekt erlaubt es umgekehrt unter dem Einfluss von Mikrowellenstrahlung eine sehr genaue Gleichspannung zu erhalten [24] (inverser Wechselstrom-Josephson-Effekt).

Die Phasen-Spannungs-Relation aus Gleichung 2.3 gilt ebenfalls beim Anlegen eines Wechselstroms durch den Kontakt. Das Verhältnis zwischen einer zeitlichen Änderung des Stroms

und einer daraus resultierenden Spannungsänderung über dem Josephson-Kontakt kann als nicht-lineare Induktivität L_{JJ} abhängig von der Phase und der Josephson-Induktivität L_J beschrieben werden [23]:

$$U = L \frac{\partial I}{\partial t} \stackrel{(2.2)}{\Rightarrow} L_{JJ} = L_J \frac{1}{\cos \varphi}, \text{ wobei } L_J = \frac{\Phi_0}{2\pi I_c} \quad (2.5)$$

2.1.3 Supraleitender Quanteninterferenzdetektor (SQUID)

Im Kontrast zu der einfach zusammenhängenden Topologie eines Supraleiters, welche ein magnetisches Feld im Inneren verdrängt, ist der durch einen geschlossenen, supraleitenden Ring fließende magnetische Fluss eine Erhaltungsgröße. Dieser Fluss wird durch die auftretenden Abschirmströme an der Oberfläche des supraleitenden Rings aufrechterhalten. Die makroskopische Wellenfunktion des Supraleiters (vgl. Gleichung 2.1) setzt voraus, dass die Phase φ über dem Supraleiter wohldefiniert ist. Daraus resultiert, dass die durch den Abschirmstrom entstehende Phasendrehung über dem Ring sich um Vielfache n von 2π ändern muss [16]. Der Zusammenhang zwischen Phase und Stromdichte ist somit quantisiert und definiert einen magnetischen Fluss

$$\Phi = n \frac{h}{2e} = n\Phi_0, \quad n \in \mathbb{N} \quad (2.6)$$

durch den supraleitenden Ring. Der Fluss ist mit Φ_0 , dem magnetischen Flussquant, quantisiert.

Falls der supraleitende Ring durch zwei Josephson-Kontakte unterbrochen wird, trennt sich die Wellenfunktion in zwei schwach gekoppelte Wellenfunktionen über die beiden Schenkel des Rings (siehe Abbildung 2.3). Diese Struktur wird supraleitender Quanteninterferenzdetektor (SQUID, engl. superconducting quantum interference device), oder auch dc-SQUID genannt.

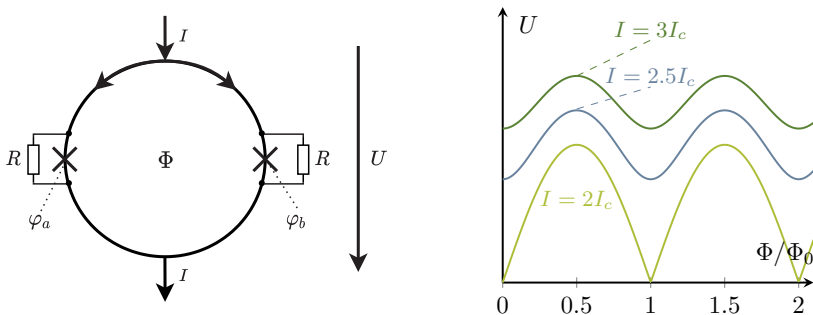


Abbildung 2.3: Schematische Darstellung eines dc-SQUIDs (links) mit Shuntwiderständen parallel zu den Josephson-Kontakten, Fluss-Spannungs-Kennlinie des dc-SQUIDs bei verschiedenen Bias-Strömen (rechts).

Wird das dc-SQUID an eine Stromquelle angeschlossen, kann mithilfe der Gleichung des Josephson-Kontakts (2.2) der von Cooper-Paaren getragenen Stromanteil für identische Kontakte

$$I = I_c (\sin \varphi_a + \sin \varphi_b) = 2I_c \sin \frac{\varphi_a + \varphi_b}{2} \cos \frac{\varphi_a - \varphi_b}{2} \quad (2.7)$$

berechnet werden, der sich aus den zwei Strömen durch die Schenkel zusammensetzt. In Anwesenheit eines externen magnetischen Flusses Φ_{ext} , welcher den Ring durchströmt, wird ein Strom im Ring induziert. Dieser Strom führt zu einer Änderung der Phasendifferenzen an den Kontakten. Mittels Integration über die Kontur des Rings kann der Phasenunterschied in Abhängigkeit des gesamten magnetischen Flusses durch das dc-SQUID berechnet werden:

$$\varphi_b - \varphi_a = \frac{2\pi\Phi}{\Phi_0} \quad (2.8)$$

Eingesetzt in Gleichung 2.7 kann der maximale Suprastrom in Abhängigkeit vom magnetischen Fluss Φ , der sich aus dem Φ_{ext} und dem Fluss durch die entstehenden Abschirmströme Φ_L zusammensetzt, ausgedrückt werden:

$$I_s = 2I_c \cos \frac{\pi\Phi}{\Phi_0} \sin \left(\varphi_a + \frac{\pi\Phi}{\Phi_0} \right), \text{ wobei } \Phi = \Phi_{\text{ext}} + \Phi_L \quad (2.9)$$

Wird der magnetische Fluss durch den Abschirmstrom vernachlässigt ($\Phi \approx \Phi_{\text{ext}}$), erhält man für die Flussabhängigkeit des maximalen Suprastroms Gleichung 2.9 nach [25]:

$$I_{s,\text{max}} \approx 2I_c \left| \cos \frac{\pi\Phi_{\text{ext}}}{\Phi_0} \right| \quad (2.10)$$

Der externe magnetische Fluss Φ_{ext} wird somit mit dem Faktor Φ_0^{-1} zu einer Stromänderung übersetzt; dadurch kann das SQUID für sehr genaue Messungen eines magnetischen Flusses eingesetzt werden. Um ein solches dc-SQUID als Magnetometer einzusetzen, kann beispielsweise der Strom I über eine externe Bias-Stromquelle eingestellt werden. Dieser liegt bei $I \geq 2I_c$ und bewirkt eine Spannung über dem SQUID. Die Fluss-Spannungs-Kennlinie kann für den vernachlässigten Fluss $\Phi_L \ll \Phi_0$ und großer Kontaktdämpfung mit Parallelwiderstand R geschlossen ausgedrückt werden [25]:

$$V(\Phi_{\text{ext}}) = I_c R \sqrt{\left(\frac{I}{2I_c} \right)^2 - \left(\cos \left(\frac{\pi\Phi_{\text{ext}}}{\Phi_0} \right) \right)^2} \quad (2.11)$$

Die resultierende, nichtlineare periodische Fluss-Spannungs-Charakteristik ist in Abbildung 2.3 für verschiedene Bias-Ströme dargestellt. Das dc-SQUID-Magnetometer wird für die klassische Einkanalauflöse und für das Multiplexverfahren in Kapitel 8 eingesetzt.

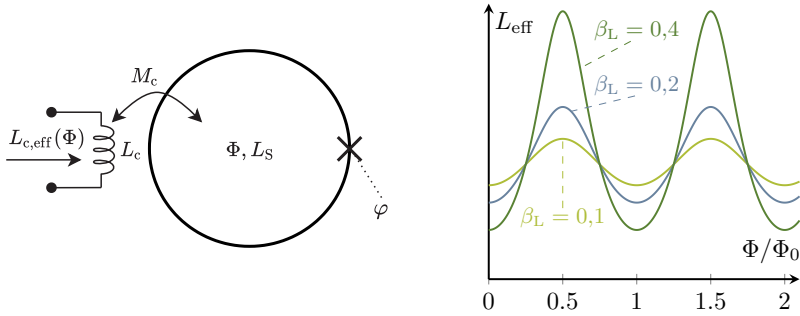


Abbildung 2.4: Struktur des rf-SQUIDs mit Koppelinduktivität (links) und die effektive Induktivität der Kombination für verschiedene Hysterese-Parameter (rechts).

Neben dem dc-SQUID mit zwei Josephson-Kontakten kann eine Flussmessung ebenso mithilfe eines rf-SQUIDs erfolgen, dessen supraleitender Ring lediglich durch einen Josephson-Kontakt unterbrochen wird. Anders als beim dc-SQUID wird beim rf-SQUID der magnetische Fluss nicht mittels der Fluss-Spannungs-Charakteristik extrahiert, sondern mittels der Änderung der Induktivität des Josephson-Kontakts im Ring (vgl. Gleichung 2.5). Diese Änderung kann mithilfe einer Koppelinduktivität L_c gemessen werden (siehe Abbildung 2.4). Die Induktivität L_c ist am SQUID angekoppelt, welches die Induktivität L_S aufweist. Die Integration durch die Kontur des Rings liefert einen vom magnetischen Gesamtfluss Φ abhängigen Phasenunterschied am Kontakt:

$$\varphi = -\frac{2\pi\Phi}{\Phi_0} \quad (2.12)$$

Dieser Gesamtfluss hängt vom externen magnetischen Fluss Φ_{ext} und induzierten Fluss bzw. Abschirmstrom $\Phi_s = L_S I$ ab mit der SQUID-Induktivität L_S [26]:

$$\frac{2\pi\Phi}{\Phi_0} = \frac{2\pi\Phi_{ext}}{\Phi_0} + \frac{2\pi\Phi_s}{\Phi_0} \quad (2.13)$$

$$\stackrel{(2.2)}{=} \stackrel{(2.12)}{=} \frac{2\pi\Phi_{ext}}{\Phi_0} - \beta_L \sin\left(\frac{2\pi\Phi}{\Phi_0}\right), \quad \text{wobei } \beta_L = \frac{2\pi L_S I_c}{\Phi_0} \stackrel{(2.5)}{=} \frac{L_S}{L_J} \quad (2.14)$$

Der Zusammenhang kann nur implizit ausgedrückt werden und äußert sich für einen Hysterese-parameter $\beta_L > 1$ in einer Hysterese der Flusskennlinie. Durch die Fabrikationsparameter, wie beispielsweise einen zusätzlichen Shunt-Widerstand, kann die Hysterese eingestellt oder sogar für $\beta_L < 1$ gänzlich vermieden werden. Rf-SQUIDs können grundsätzlich im hysteretischen Regime betrieben werden; für die Anwendung im Multiplexer werden vorwiegend nicht-hysteretische SQUIDs mit $\beta_L < 1$ eingesetzt. Die resultierende Eingangsimpedanz

einer an das rf-SQUID gekoppelten Induktivität kann mittels Gleichung 2.5 für den nicht-hysteretischen Fall als

$$L_{c,\text{eff}}(\Phi) = L_c - \frac{M_c^2}{L_S} \frac{\beta_L \cos(2\pi\Phi/\Phi_0)}{1 + \beta_L \cos(2\pi\Phi/\Phi_0)} \quad (2.15)$$

angegeben werden [14] (vgl. Abbildung 2.4). Der magnetische Fluss kann somit über die effektive Induktivität $L_{c,\text{eff}}$ ausgelesen werden. Eines der Ausleseverfahren für das Magnetometer stellt der Mikrowellen-SQUID-Multiplexer dar (vgl. Abschnitt 2.3.3). Das dc- und das rf-SQUID können unter anderem für die Auslese von Tieftemperatur-Kalorimetern eingesetzt werden.

2.2 Tieftemperatur-Kalorimeter

Kalorimetrische Sensoren messen die Wärmemenge, die durch den Eintrag von Energie durch beispielsweise einen physikalischen Prozess, wie eine Teilchenabsorption, freigesetzt wird. Die Wärmemenge kann dann mittels verschiedener Sensortypen in eine messbare Größe wie Strom, Spannung oder magnetischen Fluss umgewandelt werden.

2.2.1 Kalorimetermodell und Sensortypen

Das ideale Kalorimeter besteht aus drei elementaren Bestandteilen: dem Absorber, welcher eine Energie aufnimmt; einem Wärmebad, welches schwach mit dem Absorber gekoppelt ist und diesen zu einer Grundtemperatur T_0 führt, und einem thermisch ideal am Absorber gekoppelten Sensor, der die Temperatur des Absorbers misst [3] (vgl. Abbildung 2.5). Eine Absorption einer Energie E_e erhöht abhängig von der Wärmekapazität des Absorbers und Sensors, zusammen C_g , die Temperatur:

$$\Delta T = \frac{E_e}{C_g} \quad (2.16)$$

Der Anstieg wird durch die ideale Kopplung zwischen Absorber und Thermometer bzw. Sensor als instantane σ -Heaviside-Funktion angenommen ($\tau_r \rightarrow 0$). Durch die schwache Kopplung G des Absorbers an das Wärmebad wird die Temperatur T mit der Abfallszeit τ_f danach wieder zur Grundtemperatur abkühlen. Dadurch ergibt sich die Systemantwort zu:

$$T(t) = \sigma(t) \cdot \Delta T e^{-t/\tau_f} + T_0 + n_{\text{TFN}}(t), \quad \tau_f = \frac{C_g}{G} \quad (2.17)$$

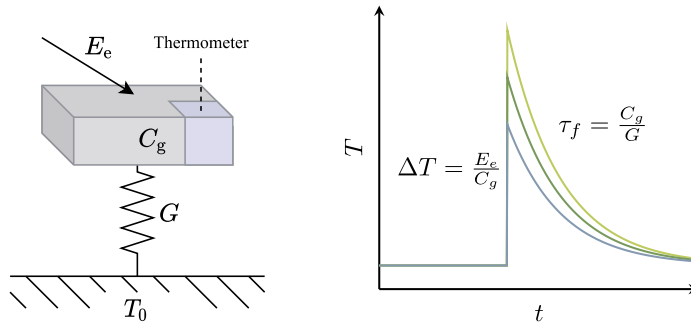


Abbildung 2.5: Modell eines idealen Kalorimeters (links) und die thermische Systemantwort auf verschiedene Teilchenenergien E_e ohne Rauschbeiträge (rechts) [3]. Eine hohe Teilchenenergie bewirkt einen größeren Temperaturanstieg.

Der Rauschbeitrag $n_{\text{TFN}}(t)$ (NFN, engl. thermal fluctuation noise) ist durch die thermodynamischen Fluktuationen zwischen Absorber und Bad gegeben. Diese sind durch die Amplitude $\sqrt{k_B T^2 C_g}$ und das Tiefpassverhalten mit einer Grenzfrequenz von $f_c = G/(2\pi C_g)$ charakterisiert [3]. Die spektrale Rauschleistungsdichte ergibt sich mit [27]:

$$S_E = k_B C_g T^2 \frac{4\tau_f}{1 + (2\pi f \tau_f)^2} \quad (2.18)$$

Somit muss zur Messung von sehr kleinen Energien eine niedrige Temperatur und eine kleine Gesamtwärmekapazität erreicht werden. Beispielsweise führt ein Röntgenphoton mit 10 keV Energie bei einer Wärmekapazität von 1 pJ K^{-1} zu einem Temperaturanstieg von etwa 1 mK. Die Mikrokalorimeter werden daher bei Temperaturen im Millikelvin-Bereich betrieben, um eine ausreichende Energieauflösung zu erreichen. Es ist zu erwähnen, dass bei einem realen Kalorimeter die thermische Kopplung zwischen Sensor und Absorber auf endliche Werte beschränkt ist und die Systemantwort dadurch eine finite Anstiegszeit ($\tau_T > 0$) aufweist. Die finite Anstiegszeit limitiert das Signal-zu-Rausch-Verhältnis bei hohen Frequenzen und beschränkt somit die maximal erreichbare Auflösung [27].

Zur Messung des Temperaturanstiegs werden verschiedene Sensor-Prinzipien verwendet. Beispielsweise können mittels einfacher Thermistoren Temperatur-Widerstandsmessungen durchgeführt werden [3]. Abhängig vom Ausleseverfahren setzt sich ein Messsystem hierfür aus einer Konstantspannungsquelle, einem Widerstand und einer Strommesseinheit zusammen. Eine im Widerstand deponierte Energie führt zu einer Änderung des spezifischen Widerstands und somit zu einer Änderung des Stroms durch den Aufbau. Der elektrische Strom durch den Widerstand sorgt systembedingt für weitere Rauschbeiträge. Insbesondere das thermische Rauschen, auch Johnson-Rauschen, stellt einen signifikanten Beitrag dar. Typischerweise werden halbleitende Sensormaterialien verwendet, mit deren hohen Temperaturkoeffizienten eine größere Signalamplitude zu erreichen ist.

Bei tiefen Temperaturen im Millikelvin-Bereich bildet der Übergang zwischen Normal- und Supraleitung besonders starke Gradienten der Widerstandsänderung; auf diesem Übergang basieren die Transition-Edge-Sensoren (TESs). Verglichen mit Halbleitersensoren ermöglicht dieses Prinzip es, kleinere Energien aufzulösen und Sensoren mit schnellerer Anstiegszeit zu konstruieren [3, 4]. Der Einsatz von TES war lange Zeit nicht praktikabel, da durch das intrinsische Johnson-Rauschen in der Messstrecke nicht das volle Potential des Sensors ausgeschöpft werden konnte. Das kleine Temperaturintervall der Übergangsregion muss eingehalten und der Sensor in diesem temperaturstabil betrieben werden. Fluktuationen der Grundtemperaturen führten zu großen Einbußen in der Auflösung und eine Überhöhung der Temperatur konnte durch das instabile Verhalten des Systems zu einer thermischen Zerstörung des Bauelements führen [4]. Diese anfänglichen Probleme konnten durch SQUID-Verstärker und ein elektrothermisches Feedback gelöst werden [28], was die breite Anwendung von TES unter anderem in Röntgenspektroskopie und in Bildsensoren für die Astronomie [1, 7] ermöglicht. TESs erreichen Auflösungsrekorde bis zu 1,6 eV bei 6 keV [29]. Das Sensorprinzip birgt jedoch das Problem, dass der Übergang zwischen supraleitenden und normalleitendem Zustand keine lineare Kennlinie aufweist. Außerdem ist die Anstiegszeit abhängig von der Pulshöhe. Die Nicht-Linearität schränkt die Anwendbarkeit für große Dynamikbereiche ein und stellt höhere Anforderungen an die Datenauswertung und Kalibrierung [30, 31]. Diese Problematik wird durch die MMCs gelöst, welche im nächsten Kapitel näher betrachtet werden.

Ein weiterer erwähnenswerter kryogener Sensortyp ist der Microwave-Kinetic-Inductance-Detektor (MKID). Das Sensorprinzip basiert auf der kinetischen Induktivität von Supraleitern, die in Abhängigkeit zu den vorhandenen Cooper-Paaren und Quasiteilchen (aufgebrochene Cooper-Paare) steht [32]. Eintreffende Photonen brechen die Verbindung zwischen den gepaarten Elektronen auf und führen zu einer Vergrößerung der Quasiteilchenmenge im Supraleiter und somit zu einer Erhöhung der kinetischen Induktivität. Die Induktivitätsänderung kann mittels eines Resonanzkreises und einer Anregungsfrequenz gemessen werden. Diese Auslese der Resonanzkreise ist ähnlich zum Mikrowellen-SQUID-Multiplexer, welcher für die Auslese von TESs und MMCs eingesetzt werden kann.

2.2.2 Magnetische Mikrokalorimeter

Das magnetische Mikrokalorimeter (MMC) wurde erstmals 1986 durch W. Seidel der Technischen Universität München vorgeschlagen und in der heutigen Form 1993 durch S. Bandler und C. Enss [33] implementiert und untersucht. Das Sensorprinzip basiert auf der temperaturabhängigen Magnetisierung von paramagnetischen Materialien und setzt für hohe Auflösungen eine Betriebstemperatur deutlich unter 100 mK voraus. Eine Übersichtsskizze ist in Abbildung 2.6 gezeigt.

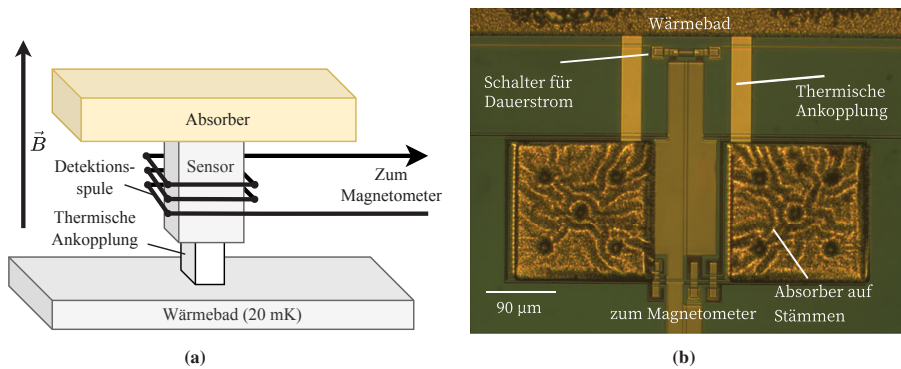


Abbildung 2.6: Schematischer Aufbau eines magnetischen Mikrokalorimeters (a): Der am Absorber gekoppelte paramagnetische Sensor wird durch ein äußeres Magnetfeld magnetisiert und ändert den magnetischen Fluss abhängig von der Temperatur. Die Flussänderung wird durch eine Detektionsspule zu einem Magnetometer weitergeleitet. Die Leiterschleife zum Magnetometer und die Detektionsspule werden dabei ebenfalls für die Erzeugung des Permanentmagnetfelds verwendet. Aufnahme zweier MMCs (b): unter jedem Absorber liegt eine Spule für das permanente Magnetfeld und die Einkopplung des Sensorflusses (Grafik nach [8, 34]).

Der Kernbestandteil des magnetischen Mikrokalorimeters ist ein Thermometer, welches aus einer paramagnetischen Legierung besteht [5]. Paramagnetische Stoffe weisen Elektronenorbitale mit polarisierbarem Spin auf [16]. Diese sogenannten Elementarmagnete richten sich bei der Anwesenheit eines Magnetfelds aus und verstärken den magnetischen Fluss durch das Material. Durch eine Änderung der Temperatur des Materials ändert sich dieser magnetische Fluss. Als Legierung werden vorzugsweise Gold oder Silber mit einer Dotierung von Erbium (typischerweise einigen hundert ppm) verwendet [5], wobei die paramagnetische Eigenschaft durch das unvollständig gefüllte $4f$ -Orbital des Erbium-Atoms gegeben ist. Zur Magnetisierung wird der Sensor einem permanenten Magnetfeld ausgesetzt. Dieses wird durch einen Dauerstrom in einer geschlossenen supraleitenden Spule erzeugt. Die Spule besitzt eine Abzweigung, an der mittels eines thermischen Schalters ein kleiner Teil der Leitung in den normalleitenden Zustand gewechselt werden kann. Durch das Aufbrechen des supraleitenden Rings kann ein Strom aufgeprägt werden, der nach einem Wechsel zurück in den supraleitenden Zustand permanent durch die Spule fließt. Der magnetische Fluss Φ durch den Sensor kann durch einen sogenannten *Fluss-Transformator* (zwei elektrisch verbundene Spulen) zu einem SQUID-Magnetometer übertragen werden. Dieses wandelt das Flusssignal in eine messbare, physikalische Größe um und verstärkt sie gegebenenfalls. Das permanente Magnetfeld und der Fluss-Transformator werden meist mit der gleichen Leiterschleife realisiert. Für kalorimetrische Messungen wird an den Sensor ein Gold-Absorber gekoppelt, welcher die Energie der

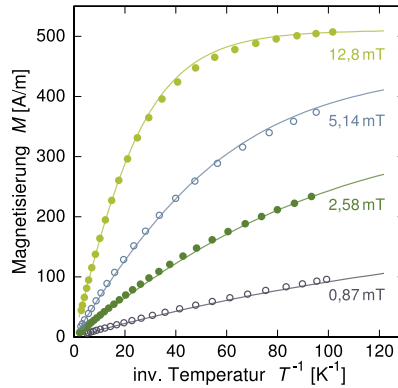


Abbildung 2.7: Gemessene temperaturabhängige Magnetisierung einer Gold-Erbium-Probe mit 300 ppm Erbiumkonzentration. Die eingezeichneten Marker spiegeln die experimentellen Ergebnisse wider, welche um durchgezogene Linien aus Simulationsergebnissen ergänzt sind [27].

eintreffende Teilchen, wie Photonen oder Elektronen, in Wärme umwandelt. Die Signalkette lässt sich nach der folgenden Formel beschreiben [35]:

$$\Delta\Phi \propto \Delta M = \frac{\partial M}{\partial T} \Delta T = \frac{\partial M}{\partial T} \frac{E_e}{C_g}. \quad (2.19)$$

Die Energie eines eintreffenden Teilchens E_e bewirkt eine relative Änderung der Temperatur ΔT des Absorbers und des Sensors in Abhängigkeit der Wärmekapazität C_g gegenüber dem Ausgangsniveau. Die Magnetisierung des Materials ($\partial M/\partial T$) ist temperaturabhängig (vgl. Abbildung 2.7) und der Gradient der Magnetisierung über der Temperatur wird im Arbeitspunkt als konstant angenommen. Mit der Erwärmung des Sensors nimmt die Magnetisierung ab und führt zu einer Änderung des magnetischen Flusses. Diese wird durch das Magnetometer gemessen. Über eine schwach angekoppelte Verbindung zu einem Wärmebad wird die Energie abgeführt und der Absorber kühlt wieder auf die Basistemperatur ab.

Der exponentielle Anstieg des Sensorsignals erreicht Werte von $\tau_T < 100$ ns, welche durch die Kopplung von magnetischen Momenten und Leitungselektronen im Sensor limitiert sind [5]. Die Abfallszeit ist ein Entwurfsparameter und liegt typischerweise im Bereich von Millisekunden. Sie kann jedoch über eine geometrische Anpassung der thermischen Ankopplung zwischen Sensor und Wärmebad über einen weiten Bereich variiert werden. MMCs zeichnen sich genau wie TES durch eine sehr gute Energieauflösung von bis zu 1,58 eV (E_{FWHM}) bei 6 keV aus [2]. Gleichzeitig besitzen sie eine hohe Quanteneffizienz von mehr als 99 %. Das Kalorimeter erreicht hervorragende Linearitäten von 1 % zwischen 0 und 8 keV, wobei die Nicht-Linearität durch eine einfache quadratische Funktion gegeben ist [36]. Diese Merkmale machen das Mikrokalorimeter attraktiv für Anwendungsfelder wie Röntgen-Astronomie,

Nuklearforensik, Forschung zur Dunklen Materie und Massenspektroskopie [2]. Eines der Anwendungsfelder von MMCs, mit welchem sich diese Arbeit schwerpunktmäßig auseinandersetzt, ist die direkte Massenbestimmung des Elektron-Neutrinos. Abschnitt 2.4 dieses Kapitels geht näher auf die Massenbestimmung im Rahmen des ECHO-Experiments ein.

2.3 Auslesemethoden

Um MMCs in Experimenten einsetzen zu können, muss das schwache Flusssignal des Sensors in eine andere Messgröße gewandelt und rauscharm verstärkt werden. Die Ausleseverfahren sollten dabei idealerweise für eine größere Anzahl von Sensoren skalierbar sein.

2.3.1 MMC-EinkanalAuslese mit dc-SQUID

Das magnetische Flusssignal der paramagnetischen Sensoren kann mittels dc-SQUID-Magnetometern sehr genau bestimmt werden. Wie in Abbildung 2.8 zu erkennen ist, bildet die Detektionsspule L des MMCs und die Einkoppelspule L_i eines dc-SQUIDs einen geschlossenen, supraleitenden Ring. Da in diesem Fluss erhaltung gilt, muss die durch ein Detektorsignal verursachte Flussänderung mittels Abschirmströmen innerhalb des supraleitenden Rings kompensiert werden. Diese Abschirmströme koppeln schließlich in das dc-SQUID und erzeugen hierbei erneut eine Flussänderung, welche zu einer Spannungsänderung über dem dc-SQUID führt, wie bereits in Abschnitt 2.1.3 ausgeführt wurde. Durch die Verwendung zweier kaskadierter SQUIDs kann das Rauschen reduziert und der Verstärkungsfaktor und somit die Bandbreite erhöht werden [25, 5].

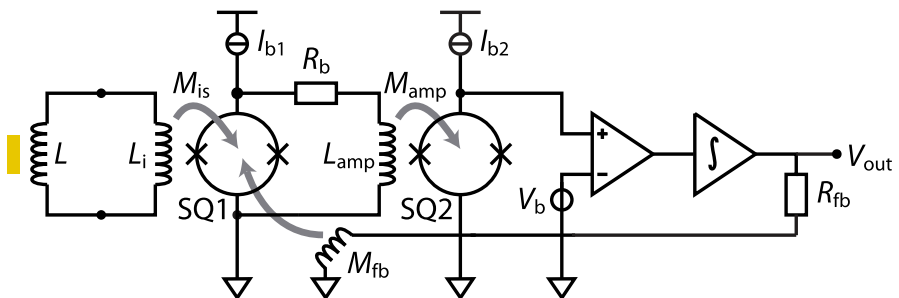


Abbildung 2.8: Schematischer Aufbau der zweistufigen MMC-Einkanal-Auslese, nach [5] (Grafik aus [8, 34]).

Hierbei wird das erste SQUID (SQ1) zur rauscharmen Umsetzung des Flussignals in ein Stromsignal verwendet und das zweite SQUID (SQ2) zur Nachverstärkung des Signals und Umwandlung in ein Spannungssignal [5]. Das erste SQUID wird im Spannungsbias betrieben.

Dies kann mit einem Widerstand R_b erreicht werden, welcher parallel zum SQUID geschaltet ist. Dieser ist deutlich kleiner als der normalleitende Widerstand des SQUIDs. Mit einer angeschlossenen Stromquelle I_{b1} bildet sich somit, definiert durch R_b , näherungsweise eine konstante Spannung aus. Der Strom durch das SQUID und durch den Widerstand R_b variiert durch das Flussignal am SQUID. Die Stromänderung über R_b wird mit der Spule L_{amp} als magnetischer Fluss in das zweite SQUID eingekoppelt. Das zweite SQUID wird im Strombias I_{b2} betrieben und der Eingangsfluss wird durch die SQUID-Charakteristik zu einer Spannung gewandelt (vergleiche Abschnitt 2.1.3). Das zweite SQUID wird meist durch mehrere SQUIDs realisiert und kann mit hohem kritischen Strom und Spannungsverstärkung ausgelegt werden. Die Ausgangsspannung wird im Anschluss über Leitungen aus dem Kryostaten zu einem Raumtemperaturverstärker geführt. Die Ausgangsspannung des SQUID-Magnetometers ist nicht-linear abhängig vom magnetischen Fluss und über dem Flussquanten Φ_0 periodisch (vgl. Abbildung 2.3). Für sehr kleine Flussänderungen ($\lesssim \Phi_0/\pi$) lässt sich das SQUID-Magnetometer in einem Arbeitspunkt U - Φ betreiben, welcher für den höchsten Transfer-Koeffizienten U_Φ gewöhnlich auf den steilsten Punkt der SQUID-Charakteristik gelegt wird. Dann gilt: $\Delta U \approx U_\Phi \Delta \Phi$.

Da der dynamische Bereich des SQUID-Magnetometers im Arbeitspunkt häufig nicht ausreicht, wird mittels einer Rückkopplungsschleife, der so genannten Flux-Locked-Loop (FLL), der Arbeitspunkt stabilisiert und das Signal linearisiert. Die Differenz zwischen dem Arbeitspunkt und einer Referenzspannung (V_b) wird einem Integrator zugeführt; das integrierte Signal wird invertiert in das erste SQUID rückgekoppelt und kompensiert somit die Auslenkung vom Arbeitspunkt durch das Eingangssignal (vgl. Abbildung 2.8). Abhängig von den Kabellänge und der damit verbundenen Verzögerung limitiert diese Form der Linearisierung die Auslesebandbreite auf 20 MHz bei einer Raumtemperatúrauslese [25].

Die Auslese der magnetischen Mikrokalorimeter über individuelle dc-SQUIDs benötigt pro Einzelkanal mehrere Einzelverbindungen zwischen Raumtemperaturelektronik und dem Inneren des Kryostaten. Diese Zahl lässt sich durch die gemeinsame Nutzung von beispielsweise Bias-Strömen reduzieren; die dissipierte Leistung im Kryostaten und Anzahl der Leitungen skaliert allerdings nur linear mit der Anzahl von Kanälen [14]. Im folgenden Abschnitt werden Multiplexmethoden vorgestellt, die die Auslese einer größeren Sensoranzahl effizienter gestalten.

2.3.2 Multiplexverfahren

Multiplexverfahren erlauben die Übertragung von Signalen über ein gemeinsames Medium. Dabei kann die Übertragung der Kanäle entweder zu unterschiedlichen Zeitintervallen (TDM, Time-Division-Multiplex), encodiert mittels orthogonaler Funktionen (CDM,

Code-Division-Multiplex), über parallele, geteilte Verbindungen in einem Kabelstrang (SDM, Space-Division-Multiplex) oder über zugeordnete Frequenzintervalle in einem gemeinsamen Spektrum (FDM, Frequency-Division-Multiplex) erfolgen. Da das SDM-Verfahren die Sensorsignale nicht auf eine gemeinsame Leitung vereint, wird im Folgenden nur auf das TDM-, CDM- und FDM-Verfahren näher eingegangen.

Zeitmultiplex

Die Methode des zeitlichen Multiplexes (Time-Division-Multiplex) beruht auf der Zuweisung von Zeitintervallen, zu denen eine Signalübertragung stattfindet. Jedem Kanal wird ein separates Zeitfenster zugewiesen, zu dem er an die Ausleseelektronik durchgeschaltet wird. Als Signalleitung dient eine einzelne gemeinsame elektrische Verbindung sowie eine Leitung zur Auswahl der Kanäle; dadurch können bei dieser Methode die Anzahl an Verbindungen reduziert werden. Gängige Verfahren basieren auf dem Einsatz von supraleitenden Schaltern [37, 4, 10].

Ein Auslesesystem für ein TDM-Verfahren wird synchron mit den Umschaltvorgängen betrieben. Dadurch sind die Kanäle deterministisch den Ausleseintervallen zugeordnet und das Auslesefenster kann bezogen auf die Umschaltvorgängen feinjustiert werden. Ein wesentlicher Vorteil dieser Systeme ist der vergleichsweise geringe Signalverarbeitungsaufwand. Abgesehen von der Kalibrierung des Ausleseintervalls ist keine Decodierung oder Kanaltrennung nötig. Vorhandene Algorithmen für die Einkanalauslese können weitestgehend in einem TDM-System wiederverwendet werden. Weiterhin steht während des Ausleseintervalls dem Kanal der vollständige dynamische Bereich des Aufnahmegeräts zur Verfügung, da dieser exklusiv ausgelesen wird. Diese Form des Multiplexes wird allerdings durch zwei Faktoren limitiert: der kanalzahlabhängigen Abtastzeit und der endlich kleinen Umschaltzeit. Da jedem Kanal ein exklusives Zeitintervall zugeordnet wird, kann dieser nach einer ersten Auslese erst nach der Summe der Zeitspannen aller weiteren Kanalintervallen ausgelesen werden. Dadurch teilt sich die System-Abtastrate durch die Anzahl der Kanäle. Weiterhin kann während der Umschaltung zwischen den Kanälen keine Auslese erfolgen, da kein stabiles Ausgangssignal zu erwarten ist. Die Umschaltzeit inklusive Messzeit moderner Systeme liegt bei 160 ns [10, 38]. Beide Faktoren führen dazu, dass bei größeren Kanalanzahlen die Abtastrate pro Kanal sinkt.

Jüngste Auslesesysteme, die auf TDM basieren, werden als Ersatzlösung für das Röntgenspektrometer Athena X-IFU entwickelt. Die Kanalzahl liegt bei über 1000 Pixeln pro Multiplexer, mit einem TDM-Faktor von 40 bei einer Umschaltzeit von ebenfalls 160 ns [38]. Unter der Annahme, dass ein Abtastwert pro Umschaltung gewonnen wird, resultiert dies zu einer Abtastrate von etwa 157 kHz pro Kanal.

Codemultiplex

Code-Division-Multiplex ist ein Multiplexverfahren, welches durch den Mobilfunkstandard UMTS populär wurde. Die Funktionsweise beruht auf zeitlich synchronisierten Sendern, welche ihre Information auf eine individuelle, orthogonale Funktion projizieren. Die Übertragung findet über einen gemeinsamen Kanal statt. Durch empfängerseitige Korrelation mit den individuellen Funktionen können die Informationen der Kanäle separiert werden. Als Orthogonalbasis werden häufig Walsh-Funktionen verwendet, da sie einfach generiert werden können und wenig Anforderungen an Schaltung und Hardware stellen. Die Information eines Abtastwertes oder Bits wird dabei auf die Periodenlänge der Orthogonalbasis gespreizt. Bei digitaler Übertragung mittels Walsh-Funktionen werden die durch die Projektion entstehenden Teilbits Chips genannt [39].

Bezogen auf Multiplexverfahren mit SQUIDs werden die Walsh-Funktionen verwendet, um die Flusskopplung der Sensoren am Verstärker-SQUID zu steuern. Die Funktionen können entweder aktiv über Schalter angewendet werden [11] oder in Kombination mit TDM, indem die Walsh-Funktionen fest in die Flusskopplung im Chip integriert werden. Mittels der Kombination kann eine Verbesserung des Ausleserausens erzielt werden [40, 41]. Während eine Rohdatenaufzeichnung beim CDM-Verfahren nicht maßgeblich modifiziert werden muss, ist eine Nachbearbeitung bzw. Dekodierung der Daten notwendig [11, 40]. Bei einer Echtzeitanalyse muss die Korrelation jedoch auf dem Auslesegerät erfolgen um die Sensorsignale trennen zu können. Prototypsysteme erreichen geringe Kanalzahlen von vier Kanälen für reines CDM [11] und 32 Kanälen bei einer Kombination von CDM und TDM [42].

Frequenzmultiplex

Frequency-Division-Multiplex beschreibt das Verfahren, Kanäle über einen gemeinsamen Kanal in verschiedenen Frequenzintervallen zu übertragen. Die Übertragung findet gleichzeitig statt, indem die Signale auf verschiedene Trägerfrequenzen aufmoduliert werden. Die Bandbreite der Nutzsignale, deren Abstand zueinander und die Gesamtbandbreite des Auslesesystems definieren die maximale Anzahl der Kanäle, die über eine Leitung übertragen werden können. Für den Frequenzmultiplex gibt es verschiedene Verfahren. So kann der Sensor selbst als Teil eines Resonanzkreises wirken und die Frequenz oder Güte der Resonanz verändern. Wird der Resonator durch ein frequenzstabiles Signal angeregt, moduliert er das Signal abhängig von der Impedanzänderung. Typische Auslesefrequenzen sind im Megahertz-Bereich für TESs [4] und Gigahertzbereich für Microwave-Kinetic-Inductance-Detektoren (MKIDs) [43, 44]. Weiterhin kann ein rf-SQUID-Magnetometer als kaskadiertes Element verwendet werden, um die Signale eines Sensors in eine Resonanzverschiebung eines Resonators zu übersetzen. Der sogenannte Mikrowellen-SQUID-Multiplexer wird im nächsten Kapitel beschrieben. Ein neuere Realisierung ist der dc-SQUID-Flussrampen-Multiplexer, welcher in

Abschnitt 8.1 näher erläutert wird. Bei allen Frequenzmultiplexverfahren werden Filterbänke im Auslesesystem benötigt um eine Kanaltrennung vornehmen zu können. Diese Thematik wird in Kapitel 5 ausführlich behandelt.

2.3.3 Mikrowellen-SQUID-Multiplexer

Die Aufteilung der Signale von Tieftemperatur-Detektoren in verschiedene Frequenzbänder wird durch den sogenannten Mikrowellen-SQUID-Multiplexer erreicht. In diesem Multiplexer verändert ein Detektorsignal mithilfe eines rf-SQUIDs die Resonanzfrequenz eines Resonanzkreises [12, 14]. Ein Resonanzkreis kann entweder mittels koplanarer Leitungsresonatoren oder mittels diskreter Elemente realisiert werden. Die klassische Realisierung des Mikrowellen-SQUID-Multiplexers verwendet jedoch Leitungsresonatoren.

Die Leitungsresonatoren werden anhand von Leiterbahnen geometrisch aufgebaut. Sobald die Geometrie in den Dimensionen der Signal-Wellenlänge liegt, können sich stehende Wellen (Resonanzen) ausbilden. Koplanare $\lambda/4$ -Leitungsresonatoren bestehen aus Leiterbahnen mit einem offenen und einem kurzgeschlossen Ende. Die Resonanzbedingung für eine Länge l und der Wellenlänge λ ergibt sich nach:

$$l = (2m - 1) \frac{\lambda}{4}, \quad m \in \mathbb{N} \quad (2.20)$$

Neben der Grundmode ($m = 1$) können sich auch höhere Moden auf der Leitung ausbilden. Abhängig von den Leitungsbelägen L' und C' ergeben sich die Resonanzfrequenzen [14]:

$$f_0^m = \frac{(2m - 1)}{4l\sqrt{L'C'}} \quad (2.21)$$

Die Variation der Länge der Leiterbahn des Resonators ermöglicht eine gezielte Platzierung der Resonanzfrequenz. Für eine große Bandbreite im Frequenzmultiplex werden für gewöhnlich Resonanzfrequenzen von > 4 GHz verwendet, sodass die höheren Moden ($m > 1$) erst bei 12 GHz auftreten. Am einen Ende wird der Resonator kapazitiv mithilfe der Kopplungskapazität C_c an eine gemeinsame koplanare Durchgangsleitung gekoppelt, wohingegen das andere Ende mit einer Induktivität L_c abgeschlossen ist (siehe Abbildung 2.9). Mittels der $\lambda/4$ -Leitungstransformation [45] ergibt sich für die Eingangsimpedanz des belasteten Resonators [14, 12]:

$$Z_{\text{in}} = \frac{1}{j\omega C_c} + Z_0 \frac{j\omega L_c + Z_0 \tanh \gamma l}{Z_0 + j\omega L_c \tanh \gamma l}, \quad (2.22)$$

wobei $Z_0 = \sqrt{L'/C'}$ die charakteristische Leitungsimpedanz ist und γ die Ausbreitungskonstante der Leiterbahn.

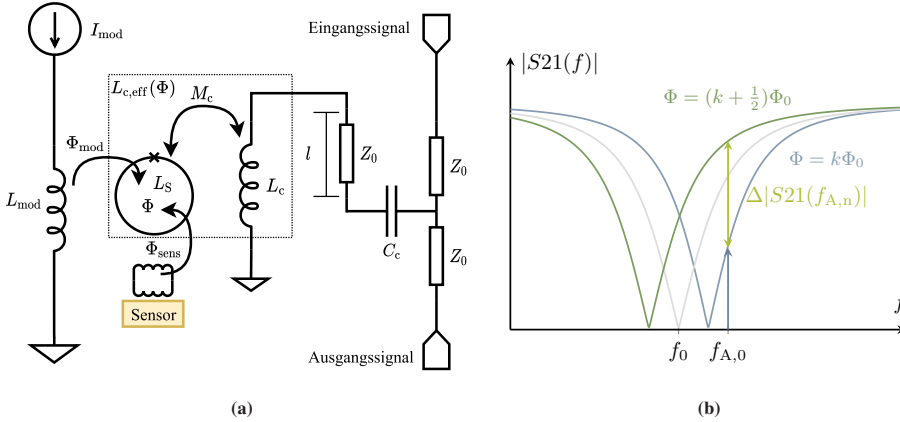


Abbildung 2.9: Einzelner Kanal eines Mikrowellen-SQUID-Multiplexers sowie ein an das rf-SQUID gekoppeltes magnetisches Mikrokalorimeter (a): Es wird die Resonanzfrequenz f_r durch die Länge l der Leiterbahn im Resonator, der Koppelkapazität C_c und der effektiven Induktivität des gekoppelten Verbunds aus L_c und dem rf-SQUID definiert. Die zusätzliche Modulationsspule L_{mod} dient zur Linearisierung des Signals und wird in Abschnitt 2.3.4 erläutert. Die effektive Induktivität ist abhängig vom magnetischen Fluss und verschiebt die Resonanzfrequenz $f_r(\Phi)$ gegenüber der Grundfrequenz f_r . Ein magnetisches Flusssignal des Sensors verschiebt die Resonanzkurve, wie am Absolutwert des S_{21} -Parameters (b) zu erkennen ist. Die Verschiebung führt zu einer Änderung der Transmission an der Auslesefrequenz $f_{A,0}$.

Aus der Eingangsimpedanz des belasteten Resonators lässt sich der Streuparameter zur Vorwärts-Transmission S_{21} berechnen. Dieser kann in Abhängigkeit der Resonanzfrequenz f_r , der intrinsischen Güte des Resonators Q_1 und der minimalen Transmission S_{21}^{\min} ausgedrückt werden [46]:

$$S_{21} = \frac{S_{21}^{\min} + 2jQ_1 \frac{f-f_r}{f_r}}{1 + 2jQ_1 \frac{f-f_r}{f_r}} \quad (2.23)$$

Die Resonanzfrequenz kann unter den Vereinfachungen ($\omega_0 C_c Z_0 \ll 1$ und $\omega_0 L_c \ll Z_0$) wie folgt ausgedrückt werden:

$$f_r = \frac{f_0}{1 + 4f_0 C_c Z_0 + 4f_0 \frac{L_c}{Z_0}} \quad (2.24)$$

Die minimale Transmission wird bei der Resonanzfrequenz erreicht und entspricht dem Quotient aus belastender und intrinsischer Güte des Resonators $S_{21}^{\min} = Q_i/Q_1$. Die intrinsische Güte Q_i im supraleitenden Resonator wird durch die Verlustmechanismen über Substrat, Quasiteilchen und Abstrahlung bestimmt [14]. Die belastete Gesamtgüte Q_1 ergibt sich durch die Kopplungsgüte Q_c und die intrinsische Güte Q_i [12]:

$$\frac{1}{Q_1} = \frac{1}{Q_i} + \frac{1}{Q_c} \quad (2.25)$$

Die Gesamtgüte ist somit ein Maß für den dissipativen Energieverlust im Resonator und die verlustfreie Abgabe der Energie zurück in die Leiterbahn. Die Kopplungsgüte ist über die Kopplungskapazität des Resonators gegeben:

$$Q_c = \frac{\pi}{2Z_0^2(\omega_r C_c)} \quad (2.26)$$

Für große intrinsische Güten ($Q_i \rightarrow \infty$) kann sowohl die Bandbreite B als auch die Einschwingzeit τ_{res} des Resonators allein über die Wahl der Koppelkapazität definiert werden [26]:

$$\tau_{\text{res}} = \frac{1}{\pi B} \quad \text{mit} \quad B = \frac{f_r}{Q_1} \approx \frac{f_r}{Q_c} \quad (2.27)$$

Beim Mikrowellen-SQUID-Multiplexer ermöglicht dies eine Angleichung der Bandbreite der Resonatoren in Abhängigkeit ihrer Resonanzfrequenz. Die typischen Bandbreiten der Resonanzen bei der Verwendung mit Kalorimetern liegen bei 1 MHz im Gigahertzbereich.

Um nun das Sensorsignal in die Veränderung der Resonanzfrequenz umzusetzen, wird ein ungeschuntetes, nicht-hysteretisches rf-SQUIDS mit der Induktivität L_S an die Induktivität L_c im Resonanzkreis mit der Gegeninduktivität M_c magnetisch angekoppelt (vgl. Abbildung 2.9). Mit dieser Kopplung verändert die Abschlussinduktivität L_c ihren Wert in Abhängigkeit zum magnetischen Fluss Φ (vgl. Gleichungen 2.5 und 2.15):

$$L_{c,\text{eff}}(\Phi) = L_c - \frac{M_c^2}{L_S} \frac{\beta_L \cos(2\pi\Phi/\Phi_0)}{1 + \beta_L \cos(2\pi\Phi/\Phi_0)}, \quad (2.28)$$

wobei zusätzliche resistive und kapazitive Anteile des Josephson-Kontakts vernachlässigt werden. Die Flussabhängigkeit der Resonanzfrequenz f_r kann mittels Differenzierung und unter der Vereinfachung $\omega_0 L_c \ll Z_0$ für geringe Ausleseleistung als

$$f_r(\Phi) \approx f_0 - 4f_0^2 \left[C_c Z_0 + \frac{L_c}{Z_0} - \frac{M_c^2}{Z_0 L_S} \frac{\beta_L \cos(2\pi\Phi/\Phi_0)}{1 + \beta_L \cos(2\pi\Phi/\Phi_0)} \right] \quad (2.29)$$

geschrieben werden [14, 12, 26]. Für eine höhere Ausleseleistung führen die im Resonator fließenden Ströme zu einer signifikanten magnetischen hochfrequenten Flussamplitude im rf-SQUID, sodass die hieraus resultierenden nicht-linearen Effekte berücksichtigt werden müssen [47].

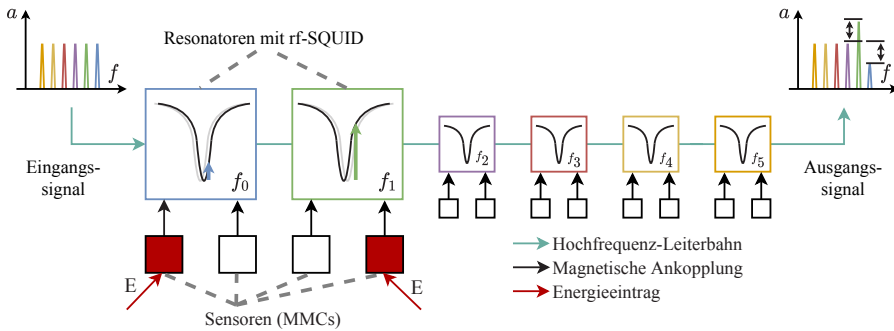


Abbildung 2.10: Auslese von Kalorimetern mittels eines Mikrowellen-SQUID-Multiplexers: Jedem Resonator ordnet sich eine Auslesefrequenz zu; wird eines der MMCs von einem Teilchen getroffen, verschiebt sich je nach Polarität des jeweiligen Detektorpixels die Resonanzkurve entweder zu höheren oder niedrigeren Frequenzen. Dadurch wird die Amplitude des zugehörigen Auslesetons moduliert.

Für die Verwendung im Multiplexer werden mehrere $\lambda/4$ -Resonatoren unterschiedlicher Länge l_n und Kopplungskapazitäten $C_{c,n}$ an eine gemeinsame Leiterbahn gekoppelt. Der Frequenzgang der Leiterbahn weist dadurch für jeden Auslesekanal einen kerbenartige Transmissionsabfall an den Resonanzfrequenzen f_0, f_1, \dots auf (vgl. Abbildung 2.10). Das Tieftemperatur-Kalorimeter-Signal verändert aufgrund der flussabhängigen SQUID-Induktivität die Resonanzfrequenz des Resonators und somit die Transmission und die Phase in einem lokalen Bereich des Frequenzgangs. Das Sensor-Array kann mittels eines Frequenzkamms, in dem sich je eine konstante Frequenz $f_{A,0}, f_{A,1}, \dots$ einem Resonator zuordnet, ausgelesen werden. Die Transmissionsänderung eines Kanals bewirkt eine Modulation des entsprechenden Auslesesignals. Die Auslesefrequenz liegt für die Auslese über die Amplitude nicht im Zentrum der Resonanz, sondern an den Flanken um einen größtmöglichen Übertragungskoeffizienten zu erhalten. Durch die Kopplung zweier Sensoren an ein rf-SQUID mit gegensätzlicher Polarität kann über einen Resonator die Auslese beider Sensoren erfolgen.

2.3.4 Flussrampenmodulation

Das am Resonator angekoppelte rf-SQUID verschiebt die Resonanzfrequenz des Resonators durch die Änderung der SQUID-Induktivität periodisch über dem magnetischen Fluss. Der Arbeitspunkt auf der SQUID-Charakteristik liegt für eine Amplituden-Modulation idealerweise auf dem Punkt mit dem größten Gradienten, welcher allerdings nur einen kleinen quasi-linearen Bereich aufweist. Der Arbeitspunkt des SQUIDs nach dem Übergang vom normal- in den supraleitenden Zustand ist durch Restmagnetfelder zufällig und erfordert eine individuelle Einstellung. Außerdem bewegt sich der Arbeitspunkt bei großen Flusssignalen aus dem linearen Bereich heraus. Der dadurch entstehende Fehler kontrastiert das sehr lineare Verhalten der

magnetischen Mikrokalorimeter und sollte daher vermieden werden. Der Arbeitspunkt wird bei der Einkanal-Auslese individuell für jedes SQUID mit einer Rückkopplungsschleife eingestellt und linearisiert (vgl. Abbildung 2.8). Diese Einstellung erfordert eine weitere elektrische Verbindung für jedes SQUID und ist daher insbesondere für das Frequenzmultiplexverfahren ungeeignet. Zur Linearisierung des SQUID-Signals und zur Vermeidung des individuellen Rückkopplungssignals kann die Flussrampenmodulation eingesetzt werden [48].

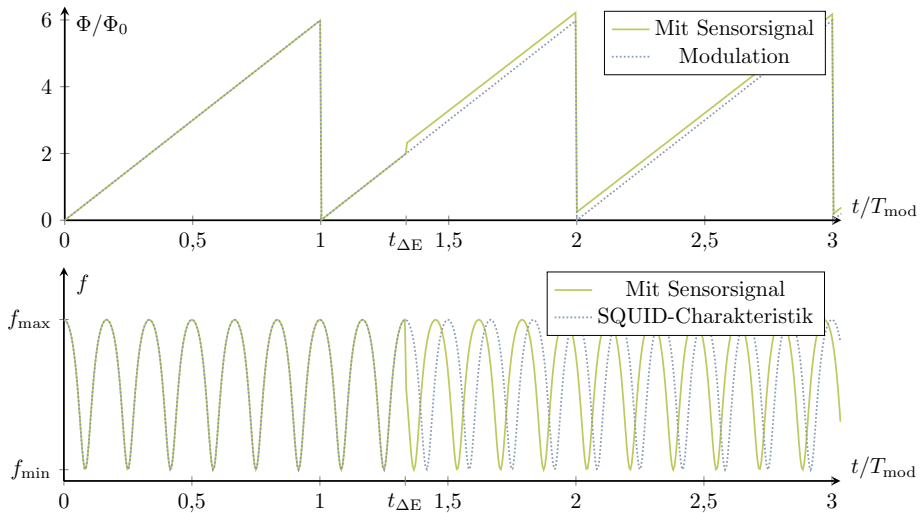


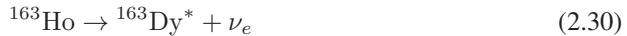
Abbildung 2.11: Flussrampenmodulation mit aus der SQUID-Charakteristik entstehender periodischer Resonanzverschiebung. An Zeitpunkt $t_{\Delta E}$ ist ein Sensorereignis angedeutet, welches zu einem Phasenversatz führt.

Bei dieser Methode wird mittels einer zusätzlichen Spule L_{mod} in das rf-SQUID ein Magnetfeld Φ_{mod} eingebracht (vgl. Abbildung 2.9). An der Spule wird ein sägezahnförmiges Modulationssignal I_{mod} angelegt, die sogenannte Flussrampe, welche die Resonanzfrequenz f_r (vgl. Gleichung 2.29) linear über mehrere Perioden der Kennlinie steuert. Es entsteht ein sinus-ähnliches Signal als Resonanzverschiebung (siehe Grafik 2.11). Da um die Resonanzfrequenz des Resonators die Transmission auf der gemeinsamen Durchgangsleitung verringert ist, entsteht durch die Modulation eine periodische Transmissionsänderung in diesem Frequenzbereich. Im Kontext der Auslese resultiert aus der Transmissionsänderung eine periodische Amplituden-Modulation des Auslesesignals. Wird nun durch das magnetische Mikrokalorimeter ein zusätzlicher magnetischer Fluss Φ_{sens} erzeugt, ist dies äquivalent zu einem zeitlichen Versatz der Flussrampe und somit zu einem Phasenversatz des modulierten Signals (vgl. Abbildung 2.11). Der Phasenversatz folgt dem magnetischen Fluss des Sensors und ist damit linear abhängig zum Sensorsignal.

Der magnetische Fluss zur Modulation kann nicht beliebig weit rampenförmig erhöht werden, deshalb kann als Modulationssignal bzw. Flussrampe beispielsweise ein Sägezahn oder ein Dreieckssignal verwendet werden. Hiermit wird ein möglichst linearer Verlauf des Eingangssignals erreicht, es können jedoch zum Zeitpunkt der Stufe im Sägezahn oder an den Eckpunkten des Dreiecks aus dem Ausgangssignal keine Phaseninformationen extrahiert werden. Falls die Umschaltung anders als in der Grafik nicht genau in einem ganzen Vielfachen des Flussquantums stattfindet, wird an diesen Stellen ein Phasensprung auftreten. Das Sensorsignal kann über die Bildung des Fourier-Koeffizienten des SQUID-Signals und über die Berechnung der zugehörigen Phase extrahiert werden [48] (vgl. Abschnitt 5.5). Die Flussrampen-Modulation ist für die Anwendung des Mikrowellen-SQUID-Multiplexers in Experimenten unabdingbar.

2.4 Das ECHo-Experiment und dessen Anforderungen

Das Electron Capture in Holmium-163 (ECHo) Experiment wurde initiiert, um die Elektronen-Neutrino-Masse zu untersuchen. Durch die Analyse des kalorimetrisch gemessenen Elektreneinfang (EC)-Spektrums des Isotops ^{163}Ho soll in der finalen Ausbaustufe (ECHo-1M) eine Energieauflösung im Sub-eV-Bereich bei der Massenbestimmung erreicht werden [8]. Das radioaktive Isotop zerfällt unter Aussendung eines Elektron-Neutrinos zu Dysprosium im angeregten Zustand, welches dann unter Abgabe der Energie E_{EC} in den Grundzustand gelangt:



Die maximale Energie für diesen Zerfall wird aktuell mit $Q_{\text{EC}} = 2,833 \text{ keV}$ [49] beziffert und soll mit hochpräziser Pennig-Fallen-Massenspektrometrie nachbestimmt werden [8, 50]. Die direkte Messung der Masse des beim Zerfall emittierten Neutrinos ist nicht möglich, da es nur selten mit anderer Materie interagiert. Allerdings spiegelt die messbare Energie E_{EC} , die beim Zerfall frei wird, die Massendifferenz Q_{EC} exklusive der Masse des Neutrinos wider. Die freigesetzte Energie E_{EC} (siehe Abb. 2.12) bildet ein kontinuierliches Energiespektrum, welches zum Endpunktbereich nahe Q_{EC} verschwindet. Eine nichtverschwindende Neutrinomasse beeinflusst die Form des Spektrums im Endpunktbereich, sodass ein Rückschluss auf die Neutrinomasse möglich ist. Das Energieintervall der freiwerdenden Energie E_{EC} liegt im dynamischen Bereich von magnetischen Mikrokalorimetern. Das Holmium wird für die Messung in die Absorber der Kalorimeter implantiert.

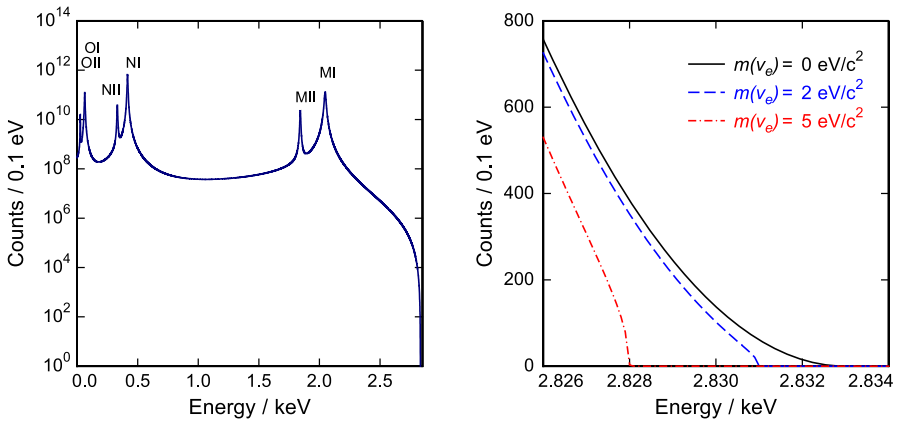


Abbildung 2.12: Theoretisches Spektrum und Endpunkt der E_{EC} -Energie [8, 34]

Ein verwandtes Experiment ist das Karlsruhe Tritium Neutrino Experiment (KATRIN), welches im Unterschied zu ECHO die Masse des Elektron-Antineutrinos misst. Bei dem Beta-Zerfall von Tritium wird etwa 18,6 keV Energie in Form eines Elektrons und eines Antineutrinos frei. Das Elektron enthält anteilig die Energie des Zerfalls, maximal die Energie der Massendifferenz abzüglich der Energie des Antineutrinos. Die Messung der Energie des Elektrons erlaubt somit einen direkten Rückschluss zur Antineutrinomasse. Durch das sogenannte MAC-E-Filter¹ werden die entstehenden Elektronen fokussiert und vorgefiltert, sodass nur Teilchen hoher Energie auf das Spektrometer auftreffen [51]. Aus jüngsten Ergebnissen wurde eine Antineutrinomasse von $1,1 \text{ eV}/c^2$ (90 % C.L.) abgeleitet [52].

Anders als beim KATRIN-Experiment werden beim ECHO-Experiment alle Zerfallsereignisse aufgenommen, d.h es existiert kein Vorfilter. Die Messung erfordert die Verarbeitung und Analyse des gesamten Energiespektrums. In der Zwischenausbaustufe ECHO-100k wird angestrebt, die Neutrinomasse mit einer oberen Grenze von $1,5 \text{ eV}/c^2$ (90 % C.L.) zu bestimmen [53]. Auf das kalorimetrisch gemessene Spektrum kann eine Modellfunktion des theoretischen Spektrums angepasst werden, um die Auflösung im Endpunktbereich zu erhöhen. Die maximale Auflösung der Neutrinomasse wird dabei maßgeblich durch die Energieauflösung der Detektoren, die Anzahl der Ereignisse im Spektrum und das Hintergrundrauschen durch unauflösbare, koinzidente Detektorereignisse bestimmt [8]. Die genannten Parameter und die Rate, mit der die Ereignisse aufgezeichnet werden, bestimmen die erforderliche Messzeit des Experiments. Für die 100k-Phase des Experiments soll eine Gesamtzahl an Ereignissen von 10^{13} mit einer Rate von 100 kBq aufgezeichnet werden, um eine ausreichend hohe Sensitivität zu erreichen [53]. Aufgrund des internen Hintergrunds, der durch eine unauflösbare Koinzidenz von Ereignissen in einem Detektor verursacht wird (sogenannter *unresolved Pile-Up*),

¹ Magnetic Adiabatic Collimation combined with an Electrostatic Filter

wird die Aktivität auf 10 Bq pro Detektor beschränkt [8]. Daher sind große Detektorarrays mit bis zu 10^4 parallel arbeiteten Detektoren erforderlich, um die benötigte Gesamtaktivität zu erreichen und die Messung in einer Zeitskala von drei Jahren durchführen zu können [53].

ECHO-100k ist das erste Experiment, welches zur Auslese einen Mikrowellen-SQUID-Multiplexer in Kombination mit MMCs einsetzt. Es ist eine Resonatorbandbreite im Bereich von 1 MHz und ein Frequenzabstand zwischen den Kanälen von 10 MHz geplant. Der Abstand von 10 MHz wird für die Isolation benachbarter Kanäle benötigt. Es wird jeweils ein MMC, welches aus zwei Pixeln mit Ausgangssignalen unterschiedlicher Polarität besteht, an ein rf-SQUID gekoppelt, sodass maximal 12 000 Sensoren über 6000 Resonatorkanäle ausgelesen werden können. Je 400 Resonatoren verteilen sich auf 4 GHz Systembandbreite zwischen 4 und 8 GHz, die zusammen durch ein Einzelsystem erfasst werden sollen. Das Auslesesystem umfasst somit fünfzehn Einzelsysteme, welche die Signale vom Hochfrequenzbereich herabmischen, aufzeichnen und verarbeiten. Durch die hohe Bandbreite des Multiplexes muss die Ausleseplattform die aufgenommenen Daten weitestgehend in Echtzeit verarbeiten. Dazu gehört der Demultiplex der Kanäle, die Verarbeitung der Flussrampenmodulation und die Erkennung von Sensorereignissen. So können die extrahierten Sensorereignisse an einen Server weitergeleitet werden, der die Daten auswertet und abspeichert [San19].

2.5 Zusammenfassung

Tiefemperatur-Mikrokalorimeter sind vielversprechend für Anwendungsfelder in der Physik wie hochsensitive Röntgenspektrographie und Astrophysik. Unter den verschiedenen Kalorimetertypen steht das besonders lineare magnetische Mikrokalorimeter im Fokus dieser Arbeit. Die Detektoren erreichen im Millikelvin-Bereich ihre höchste Auflösung und die Auslese erfolgt mittels rauscharmer SQUIDs. Zur Auslese einer großen Anzahl an Sensoren muss ein Multiplexverfahren eingesetzt werden, um die Anzahl der Verbindungen zwischen Raumtemperatur- und Tieftemperaturbereich zu minimieren. Der Mikrowellen-SQUID-Multiplexer in Kombination mit der Flussrampenmodulation ist ein Frequenzmultiplexverfahren, welches die Auslese hunderter MMCs mithilfe von Resonatoren und nicht-hysteretischen rf-SQUIDs ermöglicht. Der hohe Multiplexfaktor ist interessant für zukünftige Experimente wie das ECHO-Experiment, das die Elektron-Neutrino-Masse anhand des Röntgen-Spektrums des Holium-163-Isotops untersucht. Für die Auslese der Mikrokalorimeter mittels Frequenzmultiplex ist eine leistungsfähige Elektronik notwendig, die im Mikrowellenbereich Signale generieren und verarbeiten kann.

3 Technologische Grundlagen

Auslesesysteme für den Mikrowellen-SQUID-Multiplexer erfordern ein Spektrum an Technologien. So wird zur Umsetzung der Mikrowellen-Signale eine Mischerelektronik benötigt und im Anschluss eine Wandlungselektronik zur Übersetzung in den digitalen Bereich. Im Digitalen wird ein System-on-Chip (SoC) mit Field-Programmable-Gate-Array (FPGA) verwendet um die Algorithmen zur Extraktion der einzelnen Sensorsignale zu implementieren. Die Steuerung des Systems erfolgt mit Software auf dem Prozessor des SoCs. Dieses Kapitel beschreibt die technologischen Grundlagen zu den verwendeten Elektroniken sowie zur Signalverarbeitung im Kontext der Auslese.

3.1 Rauschleistung und Jitter

Die Auslesefrequenzen für die Mikrowellenresonatoren $f_{A,n}$ bilden zusammen ein Mehrtonsignal; im Frequenzspektrum ist dieses als Frequenzkamm charakterisiert. Durch die Überlagerung der Frequenzen im Zeitbereich kann es zu großen Spitzenwerten kommen, die einen hohen dynamischen Bereich bei der Quantisierung erfordern. Im folgenden Abschnitt werden die Eigenschaften des Signals bezüglich des Quantisierungsrauschens untersucht und im Anschluss der mit der Quantisierung zusammenhängende Abtastjitter.

3.1.1 Quantisierungsrauschen und Scheitelfaktor

Beim Übergang von kontinuierlichen, analogen Signalen zu zeit- und wertdiskreten, digitalen Signalen wird einer Spannung $u(t)$ innerhalb des Wandlers ein digitaler Wert zugewiesen. Durch die endlich kleinen Quantisierungsschritte tritt ein Fehler im gemessenen Amplitudenwert auf, wenn dieser im Bereich zwischen zweier Quantisierungsschritte liegt. Dieser Fehler wird Quantisierungsfehler genannt. Vergleichbar mit dem Abtasttheorem der Zeitdiskretisierung muss bei der Wertdiskretisierung das Quantisierungstheorem erfüllt sein, um das Signal fehlerfrei zu rekonstruieren [54]. Das Quantisierungstheorem lässt sich in der Praxis nur schwer erfüllen, wird aber bei den meisten Anwendungen näherungsweise erfüllt, wenn

das Signal mehrere Quantisierungsstufen im beobachteten Zeitintervall erreicht [55]. Bei Erfüllung kann von einem linearen Quantisierungsmodell, das heißt von einem gleichverteilten, mittelwertfreien Quantisierungsfehler ausgegangen werden. Die Varianz, gleichbedeutend mit der Rauschleistung, kann mittels der gleichverteilten Wahrscheinlichkeitsdichte des Quantisierungsfehlers f_{e_q} über einen Quantisierungsschritt q berechnet werden [54]:

$$E\{e_q^2(t)\} = \int_{-\infty}^{\infty} e_q^2 \cdot f_{e_q}(e_q) de_q = \frac{1}{q} \int_{-q/2}^{q/2} e_q^2 de_q = \frac{q^2}{12} \quad (3.1)$$

Der Effektivwert der Spannung kann anhand des Spitzenwerts u_s und des Scheitelfaktors (auch Krest-Faktor genannt) bestimmt werden. Der Spitzenwert bzw. die Amplitude entspricht der Anzahl der Bitschritte 2^{N-1} multipliziert mit denen der Quantisierungsschrittweite q . Für einzelne sinusartige Signale ist der Scheitelfaktor $k_s = \sqrt{2}$, daher ergibt sich für den Effektivwert:

$$u_{\text{eff}} = \frac{u_s}{k_s} = \frac{u_s}{\sqrt{2}} = \frac{2^{N-1}q}{\sqrt{2}} \quad (3.2)$$

Mit dem Effektivwert und dem Quantisierungsrauschen kann das Signal-zu-Rausch-Verhältnis (SNR) in Abhängigkeit zur Bit-Anzahl N ausgedrückt werden:

$$\text{SNR} = \frac{P_s}{P_n} = \frac{u_{\text{eff}}^2}{\sigma_{e_q}^2} = 2^{2N} \cdot 1,5 \quad (3.3)$$

$$\text{SNR}|_{\text{dB}} = 10 \log_{10}(\text{SNR}) = 6,02 \cdot N + 1,76 \quad (3.4)$$

oder allgemein in Abhängigkeit zur Bitanzahl und zum Krestfaktor [56]

$$\text{SNR}|_{\text{dB}, k_s} = 6,02 \cdot N + 4,77 - 20 \log_{10}(k_s). \quad (3.5)$$

Bei Daten-Wandlern wird zusätzlich zur Anzahl der Bits N meistens der Wert der effektiven Anzahl von Bits (ENOB, engl. Effective Number of Bits) gegeben. Dieser Wert bezieht das Rauschen des Wandlers auf die Anzahl von erreichbaren Bits nach Gleichung 3.4.

Mehrton-Signale wie bei der Auslese des Mikrowellen-SQUID-Multiplexers (siehe Abschnitt 2.3.3) weisen ohne entsprechende Vorkehrung einen großen Scheitelfaktor auf. Für M Töne erreicht die Zeitfunktion

$$u(t) = \sqrt{\frac{2}{M}} \sum_{k=M_0+1}^{M_0+M} \cos(kt + \varphi_k) \quad \text{wobei } M_0 \geq 0 \quad (3.6)$$

mit der Phasenlage $\varphi_k = 0$ ($\forall k$) ihr Maximum $u_s = \sqrt{2M}$ bei $t = 0$. Mittels der Fourierreihenentwicklung

$$|U_k|^2 = \begin{cases} \frac{2}{M}, & M_0 < k \leq M_0 + M \\ 0 & \text{sonst} \end{cases} \quad (3.7)$$

ergibt sich der Effektivwert $u_{\text{eff}} = 1$ und der Scheitelwert $k_s = \sqrt{2M}$ [56]. Somit ist das SNR stark abhängig von der Tonanzahl M :

$$\text{SNR}|_{\text{dB,MT}} = 6,02 \cdot N + 1,76 - 10 \log_{10}(M) \quad (3.8)$$

Für eine Verbesserung des SNRs sollten daher nach Boyd [56] oder Friese [57] Zufallswerte oder Algorithmen zur Wahl der Startphasen verwendet werden; dadurch kann der Scheitelfaktor auf $k_s < 2$ reduziert werden. Unter der Annahme, dass sich die Leistung gleichmäßig auf die Signale verteilt, kann das SNR eines einzelnen Tons (ET) im Mehrtonsignal (MT) aus Gleichung 3.5 abgeleitet werden:

$$\text{SNR}|_{\text{dB,ET}} = \text{SNR}|_{\text{dB,k}_s} - 10 \log_{10}(M) \quad (3.9)$$

Da die Signale der Einzelkanäle des Multiplexers eine deutlich geringere Bandbreite aufweisen als der Wandlertakt, wird das Signal überabgetastet (engl. oversampling, OS). Somit kann durch digitale Filterung das SNR für die Einzelkanäle verbessert werden. Diese steht nach [58, 39] und Gleichung 3.9 im Verhältnis zum Abtasttakt f_s und der Kanalbandbreite B :

$$\text{SNR}|_{\text{dB,ET,OS}} = \text{SNR}|_{\text{dB,ET}} + 10 \log_{10} \frac{f_s}{2 \cdot B} \quad (3.10)$$

Weiterhin ist erwähnenswert, dass im Gegensatz zu DA-Wandlern bei AD-Wandlern die Spitzenwerte der Amplitude mit Rauschen überlagert sind. Die Amplitude kann dadurch den Dynamikbereich des AD-Wandlers überschreiten und zu *Clipping* führen, dies muss bei der Wahl der maximalen Amplitude berücksichtigt werden [59, 60]. Außerdem ist zu beachten, dass das maximal erreichbare SNR der Wandler durch starkes Phasenrauschen im Abtasttakt reduziert werden kann.

3.1.2 Phasenrauschen

Die Ausgangsfrequenzen idealer Oszillatoren, die in elektronischen Systemen als Referenzquelle dienen, sollten eine konstante Phase und Amplitude aufweisen. Durch Änderungen der Temperatur, externe Störungen wie Mikrofonie oder intrinsisches Rauschen der Bauelemente

ergeben sich kleine Variationen der Ausgangsfrequenz¹. Diese Variationen äußern sich als unerwünschte Phasenmodulation von Trägersignalen in Mischerstufen oder als Taktjitter in der Wandlerelektronik. Ausgehend von der Phasenmodulation des Trägers

$$s_T(t) = a_T \sin(\omega_0 t + \varphi(t)) \quad (3.11)$$

kann das Phasenrauschen im Fourierraum mit den zwei Einseitenband-Rauschdichten S_φ und dem Trägersignal als δ -Distribution dargestellt werden [39]:

$$S(f) = \delta(f - f_0) + \frac{1}{2}S_\varphi(f - f_0) + \frac{1}{2}S_\varphi(f_0 - f) \quad (3.12)$$

Die Rauschleistungsdichte $S(f)$ ist auf die Leistung des Signalträgers bezogen und beinhaltet die Phasenfluktuationen. Sie kann für kleine Fluktuationen $< 0,1$ rad in rad^2/Hz angegeben werden. Gewöhnlich wird das Spektrum S_φ doppellogarithmisch bezogen auf den Träger in dBc/Hz angegeben.

$$S_\varphi|_{\text{dB}}(f) = 10 \log_{10}(S(f)) \quad (3.13)$$

Mittels Integration kann der resultierende Phasenjitter über die verwendete Bandbreite ($[f_1, f_2]$) bestimmt werden [61],

$$\varphi_{\text{eff}} = \sqrt{\int_{f_1}^{f_2} S_\varphi(f) df} \quad (3.14)$$

und somit, bezogen auf die Trägerfrequenz der zeitliche Jitter:

$$\tau_{\text{eff}} = \frac{\varphi_{\text{eff}}}{2\pi f_0} \quad (3.15)$$

Bei einer Datenwandlung mit Analog-zu-Digital-Konverter (ADC) wirkt sich der Jitter empfindlich auf die Signalqualität bei hohen Eingangsfrequenzen aus. Der Gradient $\partial s_{\text{in}}(t)/\partial t$ des Eingangssignals steigt mit der Frequenz und eine zeitliche Abweichung äußert sich durch einen größeren Amplitudenfehler am Konverter. Der Jitter τ_{eff} führt zu einer Beschränkung des SNRs bei einer Eingangsfrequenz von f_{in} auf [62]:

$$\text{SNR}|_{\text{dB}} = 20 \log_{10}(2\pi f_{\text{in}} \cdot \tau_{\text{eff}}) \quad (3.16)$$

Diese Gleichung lässt sich auf die Signalqualität der Ausgangssignale des Digital-zu-Analog-Konverters (DAC) übertragen.

¹ Die Ausgangsamplitude spielt durch Spannungsregelung oder -begrenzung eine untergeordnete Rolle [39].

3.2 Hochfrequenzumsetzung

Die Auslesesignale des Mikrowellen-SQUID-Multiplexers liegen typischerweise im Mikrowellenbereich (vgl. Abschnitt 2.3.3). Die direkte Synthese und Abtastung der Signale mit Wandlern ist in diesem Frequenzbereich zwar möglich, jedoch mit hohen Kosten oder mit einem reduzierten Signal-zu-Rausch-Verhältnis verbunden. Daher werden zur Übersetzung zwischen dem Frequenzbereich der Wandler und der Resonatoren Mischer verwendet. In diesem Abschnitt werden die Grundlagen des Mischens und die Problematik der damit verbundenen I&Q-Imbalance behandelt.

3.2.1 Komplexe Basisband- und Bandpasssignale

Das Mischen beziehungsweise Multiplizieren eines Signals mit einer Trägerfrequenz f_0 definiert sich durch eine Translation des Signalspektrums im Frequenzbereich. Während die Wandler Elektronik im niedrigen Frequenzbereich mit dem Basisbandsignal $s(t)$ operiert, findet die Auslese im Hochfrequenzband statt: dem Bandpasssignal. Eine Multiplikation im Zeitbereich entspricht einer Faltung im Frequenzbereich:

$$s(t) \cdot s_{\text{LO}}(t) \circ \bullet S(f) * S_{\text{LO}}(f) \quad (3.17)$$

Die Mischfrequenz $s_{\text{LO}}(t)$, auch Trägerfrequenz genannt, wird von einem Lokaloszillator (LO) erzeugt. Die Frequenz wird als ideal (als unendlich ausgedehnt) angenommen und ist somit im Frequenzspektrum als δ -Impuls repräsentiert. Wird ein reellwertiges Basisbandsignal $s(t)$ durch einen realen Mischer multipliziert, ist das Signal nach dem Mischen im Bandpasssignal zur Trägerfrequenz f_0 verschoben.

$$s(t) \cdot \sin(2\pi f_0 t) \circ \bullet S(f) * \frac{j}{2}(\delta(f + f_0) - \delta(f - f_0)) = \frac{j}{2}(S(f + f_0) - S(f - f_0)) \quad (3.18)$$

Bei einem reellwertigen Basisbandsignal ist das Frequenzspektrum symmetrisch $S(f) = S^*(-f)$. Das führt dazu, dass das Spektrum nach dem Hochmischen im Bereich unter und über der Trägerfrequenz (oberes und unteres Seitenband) ebenfalls symmetrisch ist. Dies ist von Nachteil, da die doppelte Bandbreite im Bandpasssignal belegt wird und im Anwendungsfall der Mehrfrequenzauslese eines der Seitenbänder gefiltert werden müsste. Mithilfe des I&Q-Verfahrens kann jedoch das Trägersignal seitenband-selektiv moduliert werden. Aus zwei physikalischen Basisbandsignalen $s_1(t)$ und $s_Q(t)$ kann ein komplexes Signal $\underline{s}(t)$ zusammengesetzt werden. Die so genannten Quadraturkomponenten $s_1(t)$ und $s_Q(t)$ bilden

zusammen das komplexe Basisband, wobei $\underline{s}(t)$ auch die komplexe Einhüllende des Trägersignals genannt wird [63, 64]:

$$\underline{s}(t) = s_I(t) + js_Q(t) \quad (3.19)$$

Der I&Q-Mischer bildet das Bindeglied zwischen dem komplexen Basisband in der Signalverarbeitung und dem Bandpasssignal. Der Mischer besteht intern aus zwei Mischern, welche die Quadraturkomponenten mit den Hochfrequenzsignalen $\cos(2\pi f_0 t)$ und $-\sin(2\pi f_0 t)$ mischen und danach über eine Signalkombination wieder zusammenführen. Durch einen Phasenversatz um 90° zwischen den beiden Mischfrequenzen werden Spiegelfrequenzen beim Mischen unterdrückt [39]. Das Spektrum des komplexen Basisbands $\underline{S}(f)$ erscheint dadurch in beiden Seitenbändern um die hochfrequente Mischfrequenz f_0 [65, 39]:

$$s_I(t) \cos(2\pi f_0 t) + s_Q(t) (-\sin(2\pi f_0 t)) \quad (3.20)$$

$$\circ \rightarrow \frac{1}{2}(S_I(f + f_0) + S_I(f - f_0)) \quad (3.21)$$

$$- \frac{j}{2}(S_Q(f + f_0) - S_Q(f - f_0)) \quad (3.22)$$

$$= \frac{1}{2}(S_I(f + f_0) - jS_Q(f + f_0)) \quad (3.23)$$

$$+ \frac{1}{2}(S_I(f - f_0) + jS_Q(f - f_0)) \quad (3.24)$$

$$= \frac{1}{2}(\underline{S}(f - f_0) + \underline{S}^*(f + f_0)) \quad (3.25)$$

Dadurch können beide Seitenbänder selektiv moduliert und die Bandbreite effizient verwendet werden. Im unteren Seitenband liegen die negativen Frequenzen des komplexen Basisbands, im oberen die positiven.

3.2.2 I&Q-Imbalance

Der ideale I&Q-Mischer ermöglicht die separate Belegung des oberen und unteren Seitenbands im Bandpasssignal. Für reale Bauteile ist diese Separation nicht vollständig möglich; durch eine Imbalance bzw. einem Ungleichgewicht zwischen I- und Q-Komponente entstehen Störprodukte, die im Folgenden näher beleuchtet werden. Dazu werden zunächst als komplexe Einhüllenden $\underline{s}_{\pm\omega}(t)$ zwei komplexe Schwingungen angenommen; je nach Vorzeichen liegt

eine im positiven Halbband (ω) oder im negativen ($-\omega$). Daraus ergeben sich die In-Phase-Komponente $s_{I,\pm\omega}(t)$ als Realteil und die Quadraturkomponente $s_{Q,\pm\omega}(t)$ als Imaginärteil [66, 67]:

$$\underline{s}_{\pm\omega}(t) = e^{j(\pm\omega)t} \quad (3.26)$$

$$s_{I,\pm\omega}(t) = \operatorname{Re}\{\underline{s}_{\pm\omega}(t)\} = \cos \omega t \quad (3.27)$$

$$s_{Q,\pm\omega}(t) = \operatorname{Im}\{\underline{s}_{\pm\omega}(t)\} = \pm \sin \omega t \quad (3.28)$$

Aufgrund von Unvollkommenheiten der I&Q-Mischer und Signalwege sind die Phase und die Amplitude zwischen dem realen I- und dem imaginären Q-Signal nicht perfekt ausgeglichen. Variationen in der 90° -Phasendifferenz und der Amplitude der komplexen Basisbandsignale I und Q führen zu einer verminderten Spiegelbandunterdrückung. Eine Phasendifferenz ($\varphi \neq 0$) und eine Amplitudendifferenz ($a \neq 1$) zwischen dem I- und Q-Signal, oder äquivalent zu φ eine zusätzliche Verzögerung $\tau \neq 0$, können geschrieben werden als [66, 68]:

$$\tilde{s}_{I,\pm\omega}(t) = a \cos(\omega(t + \tau)) \stackrel{\varphi=\omega\tau}{=} a \cos(\omega t + \varphi) \quad (3.29)$$

$$\tilde{s}_{Q,\pm\omega}(t) = \pm \sin(\omega t) \quad (3.30)$$

$$\tilde{\underline{s}}_{\pm\omega}(t) = \tilde{s}_{I,\pm\omega}(t) + j\tilde{s}_{Q,\pm\omega}(t) \quad (3.31)$$

Die Signale $\underline{s}_{\omega,-\omega}(t)$ können als Kombination zweier komplexer Frequenzen ausgedrückt werden: dem eigentlichen Träger (Index c) und dessen unerwünschtem Abbild (Index i):

$$\tilde{\underline{s}}_{\omega}(t) = \underbrace{\frac{ae^{j\varphi} + 1}{2}}_{z_c} e^{j\omega t} + \underbrace{\frac{ae^{-j\varphi} - 1}{2}}_{z_i} e^{-j\omega t} \quad (3.32)$$

$$\tilde{\underline{s}}_{-\omega}(t) = \underbrace{\frac{ae^{j\varphi} - 1}{2}}_{\bar{z}_i} e^{j\omega t} + \underbrace{\frac{ae^{-j\varphi} + 1}{2}}_{\bar{z}_c} e^{-j\omega t} \quad (3.33)$$

Mit z_c und z_i (genauso mit $\bar{z}_{c,i}$) lässt sich die Spiegelbandunterdrückung (engl. Image-Rejection-Ratio) r ableiten als (vgl. [69, 66, 70]):

$$r(a, \varphi) = \left| \frac{z_i}{z_c} \right| = \sqrt{\frac{a^2 - 2a \cos(\varphi) + 1}{a^2 + 2a \cos(\varphi) + 1}} \quad (3.34)$$

Abbildung 3.1 zeigt die Abhängigkeit dieses Verhältnisses $r(a, \varphi)$ und veranschaulicht, dass schon geringe Abweichungen in der Amplitude oder der Phase das unerwünschte Signal auf der gegenüberliegenden Seite des komplexen Basisbands stark beeinflussen. Übliche Werte von Bausteinen sind bis zu $\pm 3^\circ$ Phasen- und 0,5 dB Amplitudenabweichungen [71, 72, 73],

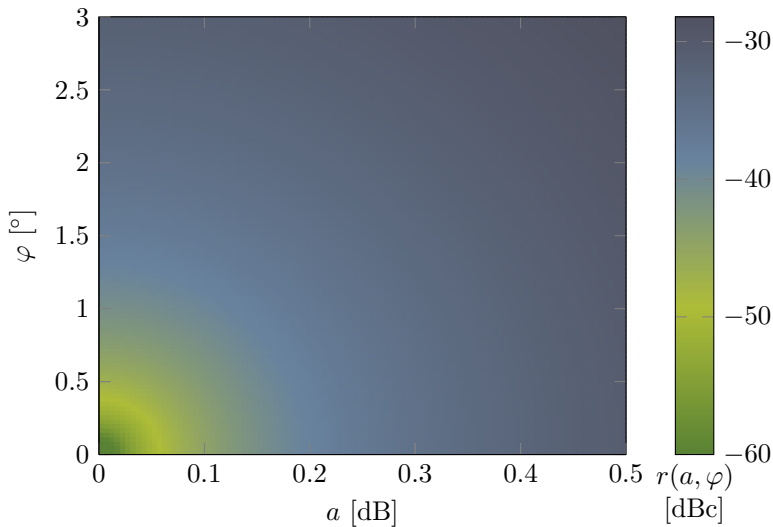


Abbildung 3.1: Spiegelbandunterdrückung für Phasen- und Amplitudenfehler

wodurch ein Spiegelbandsignal mit >-30 dBc entstehen kann. Ohne Korrektur wird dadurch die Spiegelbandunterdrückung stark beeinträchtigt, was zu unerwünschten Fehlerfrequenzen im Spektrum führt. Da die Fehlerfrequenzen im Nutzband liegen können, wirkt sich dies negativ auf das Signal-Rausch-Verhältnis (SNR) der Übertragung aus. Daher sollte eine Korrektur dieser Fehler durchgeführt werden.

Für den Mikrowellen-SQUID-Multiplex folgt daraus, dass bei der Besetzung des Nutzbands die Auslesefrequenzen idealerweise nicht als exakte Spiegelfrequenzen gewählt werden sollten, da sonst ein direktes Übersprechen auftritt. Jedoch wird auch bei nicht exakt gewählten Spiegelfrequenzen ein Übersprechen auftreten: Da eine Frequenz im Sendepfad auf die andere Seite des Spektrums gespiegelt wird, kann diese durch einen anderen Kanal auf dem Multiplexer-Chip moduliert werden. Der I&Q-Mischer in der Empfangsstufe spiegelt diese zurück und überlagert dadurch zwei Kanäle. Daher ist die Korrektur im Sendepfad von größerer Wichtigkeit und erst bei einer dichteren Besetzung des Frequenzkamms muss eine Vorkehrung für den Empfangspfad getroffen werden. In Abschnitt 5.2.1 und [74] wird auf die sendeseitige Korrektur eingegangen, in Abschnitt 5.4 auf die der Empfangsseite. Diese Korrekturen können zusammen mit der Signalverarbeitung für den Frequenzmultiplex in der Digitalelektronik berechnet werden.

3.3 Digitale Signalverarbeitung

Die Aufspaltung der Kanäle des Frequenzmultiplexes erfordert es, benachbarte Kanäle voneinander zu isolieren und Rauschen aus anderen Frequenzbereichen zu unterdrücken (vgl. Abschnitt 3.1.1). Dies kann durch digitale Filter mit einer hohen Selektivität und Ordnung erreicht werden. Die Berechnung von Filtern mit hoher Ordnung benötigt allerdings viele Ressourcen bzw. Multiplikationen. Daher müssen für einen skalierbaren Ansatz die Filter der Kanaltrennung optimiert werden. Dieses Kapitel beschreibt erweiterte Filtermethoden auf Basis der Polyphasendarstellung, die in der implementierten FPGA-Firmware verwendet werden.

3.3.1 Polyphasen-Filter

Filter werden in der digitalen Signalverarbeitung eingesetzt, um Signalamplitude und -phase gezielt für bestimmte Frequenzbereiche zu verändern. Dabei unterscheiden sich die digitalen Filter in zwei verschiedene Oberklassen: Filter mit endlicher Impulsantwort (FIR) und Filter mit unendlicher Impulsantwort (IIR) [75]. Während FIR-Filter durch die endliche Anzahl an Koeffizienten nur von einer endlichen Anzahl an Eingangswerten abhängen, wird beim IIR-Filter durch Rückkopplung der Ausgangswerte eine infinite Impulsantwort erreicht. Die Rekursion der Filterantwort bei IIR-Filtern ermöglicht frequenzselektive Filter mit vergleichsweise wenigen Multiplikationen und dadurch eine hohe Ressourceneffizienz [76]. Da IIR-Filter Stabilitätsprobleme aufweisen können und meist keine lineare Phase über der Frequenz besitzen [76], wird häufiger die Klasse der FIR-Filter gewählt. Ein FIR-Filter K -ter Ordnung verarbeitet entsprechend viele Eingangswerte $x(n)$ und multipliziert sie mit den Koeffizienten $h(k)$ [75]:

$$y(n) = \sum_{k=0}^{K-1} h(k) \cdot x(n - k) \quad (3.35)$$

Der Frequenzmultiplex erfordert, ein schmalbandiges Signal aus einem breitbandigen Spektrum zu extrahieren. Können durch eine Filterung alle fremden Signalanteile entfernt werden, kann eine Reduktion der Abtastrate erfolgen, ohne das Aliasing auftritt. Ist das Verhältnis zwischen Spektrum und Signalbandbreite groß, müssen FIR-Filter mit vielen Filterkoeffizienten eingesetzt werden, um die notwendige Frequenzselektivität zu erreichen. Ein effizienter Ansatz ist die Verwendung von Multiraten-Filtern wie das Polyphasen-FIR-Filter, welches zur Tiefpassfilterung und Dezimierung eingesetzt werden kann. Da die Dezimierung bereits in diesem Filter durchgeführt wird, ist es essentiell, dass die Tiefpasscharakteristik für die Aliasunterdrückung mit der entsprechenden Unterabtastung ausreicht.

Bei einer Dezimierung des Ausgangssignals $y(n)$ um den Faktor M bildet sich das unterabgetastete Ausgangssignal $u(m)$. Die Filteroperation aus Gleichung 3.35 kann wie folgt angepasst werden [75]:

$$u(m) = y(Mm) = \sum_{k=0}^{K-1} h(k) \cdot x(Mm - k) \quad (3.36)$$

Diese Summe kann in Einzelsummen der Form

$$u(m) = \sum_{i=0}^{M-1} \sum_{k=0}^{K/M-1} h(Mk + i) \cdot x(Mm - (Mk + i)) = \sum_{i=0}^{M-1} u_i(m) \quad (3.37)$$

zerlegt werden. Die Übertragungsfunktion des Filters ergibt sich durch [77]:

$$H(z) = \sum_{i=0}^{M-1} z^{-i} \sum_{k=0}^{K/M-1} h(i + kM) z^{-Mk} \quad (3.38)$$

Dadurch entstehen M Unterfilter als innere Summe, deren Ausgabe durch die äußere Summe addiert wird. Ausgehend von Gleichung 3.37 kann eine Filterstruktur wie in Abbildung 3.2 entworfen werden. Mit einem Kommutator werden die Abtastwerte auf die verschiedenen Unterfilter verteilt und anschließend in einem Baum von Addierereen zusammengeführt. Durch die Phasenrotationen der einzelnen Äste und deren Verzögerung werden die Alias-Spektren rotiert, gegenübergestellt und löschen sich durch eine Summation aus [77]. Nach der Filterung erhält man das tiefpassgefilterte, dezimierte Signal. Durch die abwechselnde Berechnung der Unterfilter können diese mit rotierenden Koeffizienten- und Akkumulatorsets entworfen werden. Somit kann die gleiche Filterstruktur für die Unterfilter verwendet werden [78]. Dadurch benötigt der Filter nur ein M -tel der Multiplikationseinheiten verglichen zu einem FIR-Filter mit anschließender Dezimierung. Falls die Anzahl von Koeffizienten nicht durch M teilbar ist, können diese mit Null-Koeffizienten auf ein Vielfaches von M aufgerundet werden. Die beschriebene Polyphasen-Filter-Methode kann auch auf Interpolationsfilter übertragen werden [75].

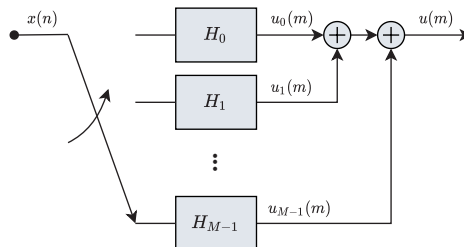


Abbildung 3.2: Struktur eines Polyphasen-Dezimationsfilters [75, 77]

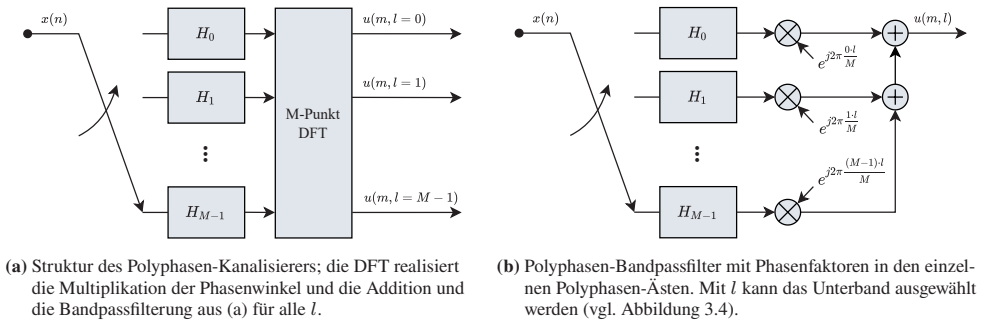


Abbildung 3.3: Prinzipien des Polyphasen-Kanaliersers nach [77]

3.3.2 Polyphasen-Kanalierser

Ausgehend vom Polyphasen-FIR-Filter erweitert der Polyphasen-Kanalierser das Filter um eine Mischoperation durch eine diskrete Fourier-Transformation (DFT) [77]. Der Kanalierser ermöglicht es, im Vergleich zum dezimierenden Polyphasen-Tiefpassfilter statt nur der ersten Nyquistzone des Überlagerungsspektrums nach der Dezimierung auch die Zonen höherer Ordnungen zu erhalten. Im Folgenden wird lediglich auf die Funktionsweise des Kanaliersers eingegangen, dessen Herleitung und Theorie wird in verschiedenen Quellen erläutert [77, 79, 75].

Die Struktur des Polyphasen-Kanaliersers setzt sich aus Abbildung 3.2 und einem DFT-Block zusammen; die Kombination ist in Abbildung 3.3a dargestellt. Wie auch beim Polyphasen-FIR-Filter verteilt ein Kommutator die Abtastwerte auf die verschiedenen Unterketten. Dies entspricht einer Verzögerung und Unterabtastung des Eingangssignals. Gleichung 3.38 beschreibt einen Polyphasen-Filter als Tiefpassfilter. Ausgehend von dieser Gleichung kann die Tiefpasscharakteristik in eine Bandpasscharakteristik transformiert werden. Hierzu werden wie in Abbildung 3.3b für jeden Filterpfad Phasendrehungen eingeführt. Diese wirken über die verzögerten Abtastwerte der Filteräste als Mischfrequenz und es wird dadurch eine Bandpassfilterantwort der Gestalt [77]

$$H_{\text{BP}}(z, l) = \sum_{i=0}^{M-1} z^{-i} \cdot e^{j(2\pi/M)il} \sum_{k=0}^{K/M-1} h(i+kM)z^{-Mi} = H(z \cdot e^{-j(2\pi/M)l}) \quad (3.39)$$

erreicht. Hier stellt $2\pi l/M$ die Zentrumsfrequenz der Nyquistbänder dar. Durch die Unterabtastung wird das bandpassgefilterte Nyquistband in das Basisband transformiert. Man erhält als Ausgangssignal

$$u(m, l) = \sum_{i=0}^{M-1} u_i(m) \cdot e^{j(2\pi/M)li} \quad (3.40)$$

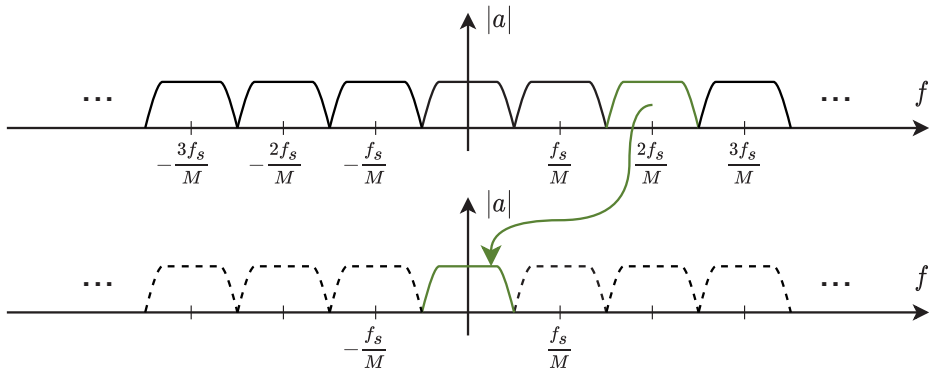


Abbildung 3.4: Eingangsspektrum (oben) und Ausgangsspektrum (unten) des Polyphasen-Kanalierers: Die einzelnen Ausgangskanäle enthalten je eines der gezeigten Durchlassbänder. Dieses befindet sich nach dem Filter im unterabgetastetem Basisband. Hier wird exemplarisch das Ausgangsspektrum von $u(m, 2)$ gezeigt.

wobei u_i das Signal der Äste darstellt. Die Alias-Spektren heben sich durch die Phasenrotationen der Unterabtastung und anschließenden Addition auf [77]. Statt der Phasenfaktoren und anschließenden Addition kann eine diskrete Fourier-Transformation (DFT) oder schnelle Fourier-Transformation (FFT) verwendet werden. Mit einer Transformation wird die Operation für alle Bänder angewendet. So erhält man nach der Transformation des Kanalierers M Ausgangssignale; mit den Spektren gezeigt in Abbildung 3.4. Der Kanalierer erfordert daher nur eine einzelne Berechnung des FIR-Filters und eine M -Punkt-FFT, um das vollständige Eingangsspektrum zu filtern und zu dezimieren. Es ist jedoch zu erkennen, dass zwischen den Unterbändern blinde Intervalle entstehen, in denen die Signale unterdrückt werden, so dass eine unerwünschte Verzerrung in diesem Bereich auftritt. Der im Rahmen des Demultiplex entworfene Polyphase-Kanalierer wird daher zweifach berechnet um diese Intervalle abzudecken; die Implementierung ist in Abschnitt 5.3.3 beschrieben. Da das Raster der Intervalle im festen Abstand von f_s/M liegt, eignet sich der Polyphasen-Kanalierer nicht für eine Amplitudendemodulation der Trägersignale des Mikrowellen-SQUID-Multiplexers. Zur Demodulation kann beispielsweise eine digitale Herabkonvertierung (DDC) im Anschluss an das Filter eingesetzt werden.

3.3.3 Digitale Herabkonvertierung

Die digitale Herabkonvertierung (engl. digital down conversion, DDC) ermöglicht eine Verschiebung eines Signals im Frequenzraum. Sie stellt das digitale Äquivalent zu einem analogen Mischer mit anschließendem Tiefpassfilter dar. Es kann mit ihr sowohl eine Translation im Frequenzbereich erreicht werden, als auch eine Demodulation in die I- und Q-Komponente des Signals. Sie mischt das Signal mittels eines komplexen Mischers, welcher aus einem komplexen Multiplizierer und einem kontrollierbaren Quadratur-Signalgenerator besteht [80].

$$y(n) = e^{2\pi j \frac{f}{f_s} n} \cdot x(n) \quad (3.41)$$

Im Unterschied zum analogen Mischer sind die Eingangssignale der DDC häufig komplexwertig. Im Anschluss wird das Basisband mit einem Tiefpassfilter gefiltert.

Die Signalqualität bei der DDC ist neben der Datenwortbreite bei der Multiplikation maßgeblich abhängig vom Quadratur-Signalgenerator, auch numerisch kontrollierbarer Oszillator (NCO) genannt. Zur Erzeugung der Signale wird meist eine Direkte-Digitale-Synthese (DDS) verwendet [81, 82]. Diese stellt ein Verfahren dar, welches ein vordefiniertes periodisches Signal, beispielsweise einen Sinus, mit einer beliebigen Phase und Frequenz erzeugen kann. Die zwei Kernbestandteile der Synthese sind ein Akkumulator, der mit jedem Takt um einen Wert $\Delta\phi$ erhöht wird, und ein Wertespeicher in Form einer Look-Up-Table (LUT), der das gewünschte Signal enthält. Die Anzahl und Breite der Werte in der LUT stehen hierbei in direkter Verbindung zur Qualität der Frequenzerzeugung. Aus Abbildung 3.5 kann die Struktur einer Direkte-Digitale-Synthese (DDS) entnommen werden. Die Frequenz wird durch einen Eingangswert $\Delta\phi$ eingestellt, welcher mit der folgenden Formel berechnet werden kann:

$$f_{\text{out}} = \frac{\Delta\phi \cdot f_s}{2^N} \Leftrightarrow \Delta\phi = \frac{f_{\text{out}} \cdot 2^N}{f_s} \quad (3.42)$$

Dieser Eingangswert wird in einem N-Bit-Register jeden Taktzyklus akkumuliert. Der aktuelle Wert im Akkumulator ist als die Phase im Signal zu interpretieren. Das resultierende N-Bit-

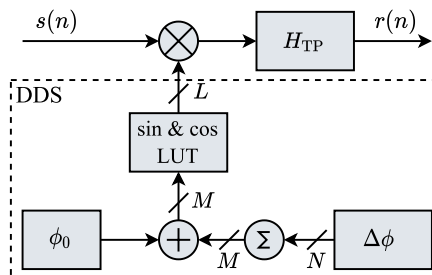


Abbildung 3.5: Übersicht einer DDC mit einer Direkten-Digitalen-Synthese (DDS) zur Frequenzerzeugung

Wort wird durch Abschneiden der Least-Significant-Bits (LSBs) oder durch Runden auf ein M-Bit-Wort reduziert. Diese aktuelle Phase kann je nach Implementierung durch eine Addition mit einem weiteren Wert, dem Phasenoffset ϕ_0 , erneut verschoben werden. Der Additionswert des Winkels ϕ_0 kann durch die folgende Formel berechnet werden:

$$\varphi_0 = \frac{2\pi}{2^M} \cdot \phi_0 \Leftrightarrow \frac{2^M}{2\pi} \varphi_0 = \phi_0 \quad (3.43)$$

Das Resultat wird dann zur Sinus- bzw. Kosinus-Berechnung oder zur LUT weitergegeben. Das M-Bit-Wort ist dabei der Phasenindex des Sinus- und Kosinus. Aus dem Phasenindex werden zwei L-Bit-Quadratur-Werte generiert, welche dem komplexen Multiplizierer der DDC zugeführt werden.

Die Wortbreiten innerhalb der DDS bestimmen die Qualität des erzeugten Signals. Hier gibt es drei Stellschrauben: die Breite des Akkumulators, die Adress- und die Wortbreite der LUT. Die Frequenzauflösung ist durch die Breite des Akkumulators gegeben:

$$\Delta f = \frac{f_s}{2^N} \quad (3.44)$$

Die Phasenschritte werden durch eine große Breite des Akkumulators geringer, dadurch wird die Frequenzauflösung gesteigert. Die eigentliche Qualität des erzeugten Signals wird jedoch durch die Breite des Adressraums M und der Breite L der Werte der LUT bestimmt. Eine Reduktion durch Kürzung oder Rundung führt zwangsläufig zu Quantisierungsartefakten. Das theoretische SNR des Ausgangssignals lässt sich nach [83] wie folgt berechnen:

$$\text{SNR}_{\text{dB}} = 6,02 \cdot L + 1,76 \quad (3.45)$$

Neben der erzeugten Wunschfrequenz entstehen Fehlerfrequenzen. Diese entspringen aus der Quantisierung der Adressbreite M . Bei verringerter Adressbreite treten im Frequenzspektrum Nebenmaxima auf. Diese Fehlerfrequenzen werden im Englischen *spurs* genannt. Die Adressbreite ist gleichzeitig die wirkungsvollste Stellschraube sowohl für den Ressourcenverbrauch als auch für die Qualität des Verfahrens. Wenn das Teilverhältnis zwischen DDS-Frequenz und Phasenauflösung schlecht gewählt ist, ist das Verhältnis zwischen Träger und größter Fehlerfrequenz [83]:

$$\text{SFDR}_{\text{dBc}} = 6,02 \cdot M - 3,992 \quad (3.46)$$

Die Spurious-Free-Dynamic-Range (SFDR) bezeichnet den Abstand zwischen der generierten Frequenz und der größten Fehlerfrequenz. Die Fehlerfrequenzen mischen neben der eigentlichen Trägerfrequenz auch andere Frequenzen in das Basisband. Diese sind gegenüber der Trägerfrequenz stark gedämpft, wachsen aber mit jeder Reduktion der Adressbreite an.

Zur Reduktion der Fehlerfrequenzen ohne eine Vergrößerung des Adressraums können Verfahren wie Dithering eingesetzt werden [83]. Dabei wird entweder zum Phasen- oder zum Amplitudenwert ein zufälliger, zeitlich variierender Wert addiert. Dies ermöglicht geringere Fehlerfrequenzen, führt jedoch zu einem größeren Grundrauschen. Nach der Multiplikation mit dem Quadratursignal werden in der DDC mittels eines FIR-Tiefpassfilters höherfrequente Frequenzanteile entfernt und ggf. unter-abgetastet.

3.4 System-on-Chip-Architektur

Die Filter und Algorithmen der digitale Signalverarbeitung benötigen eine digitale Logik, die schnell parallelisiert Berechnungen durchführt. Für die hohen kontinuierlichen Datenraten und die abtastwertweise Verarbeitung sind Prozessoren weniger geeignet. Für diese Anwendung können FPGAs eingesetzt werden, welche eine große Anzahl von Recheneinheiten für die digitale Signalverarbeitung integrieren, die flexibel miteinander verbunden werden können. Im Unterschied dazu können Kalibrierungen, welche Kontrollfluss und komplexe Auswertung erfordern, einfacher von einem Prozessor ausgeführt werden und der Einsatz des FPGAs ist für diese Aufgabe nicht praktikabel. Heterogene System-on-Chips (SoCs) integrieren den Prozessor und das FPGA auf einem Chip und genügen somit beiden Anforderungen. SoCs mit FPGA und Prozessor existieren in einer Vielzahl von Varianten und werden von verschiedenen Herstellern angeboten. Daher beschreibt dieser Abschnitt den SoC-Begriff anhand der verwendeten Xilinx® Zynq Ultrascale+ Plattform; die grundlegenden Ideen lassen sich allerdings auf andere Plattformen übertragen.

3.4.1 Plattformüberblick

Der Xilinx® Zynq Ultrascale+ SoC teilt sich in zwei Bereiche: in das Processing-System (PS) und in die Programmable-Logic (PL) [84, 85]. Im PS-Teil des Chips sind ein Applikationsprozessor (APU) und ein Echtzeitprozessor (RPU) integriert, welche über AXI4-Bussysteme sowohl mit einem DDR4-Controller als auch mit verschiedenen Peripherien verbunden sind. Die PL ist der FPGA-Teil des Chips; sie ist mit dem PS über mehrere AXI4-Busse verbunden und teilt sich mit ihm die Systemtakte. Eine Übersicht ist in Abbildung 3.6 gezeigt. Xilinx bietet in der Zynq Ultrascale+ Familie zwei verschiedene PS Varianten: mit zweikernigen APU (ZU*CG²) und mit vier-kernigen APU (ZU*EG, ZU*EV). Außerdem variiert die Menge an Logikblöcken und integrierter Hard-IP-Cores³ der programmierbaren Logik

² Der Asterix steht für eine Zahl, welche die Ausbaustufe des PL-Teils beschreibt.

³ Unveränderbare Logikstruktur im FPGA, die eine feste Funktionalität abbildet.

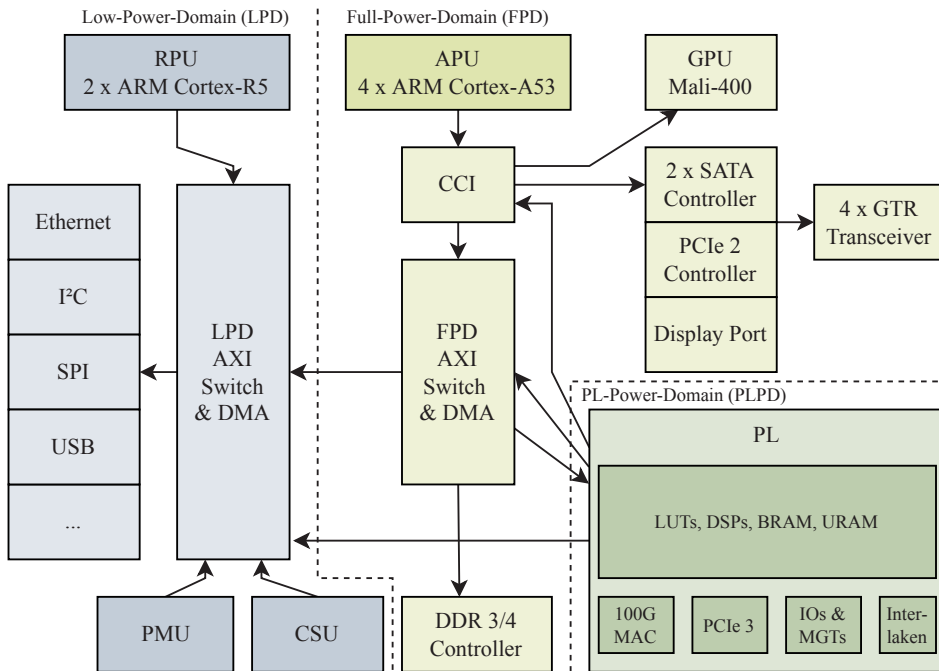


Abbildung 3.6: Übersichtsdiagramm der ZU*EG ZynqMP™-Architektur nach [84]. Zur besseren Übersicht sind AXI-Schaltmatrizen und Verbindungen zusammengefasst und lediglich die relevanten Blöcke aufgeführt.

[86]. Die folgenden Abschnitte konzentrieren sich auf die ZU*EG Architektur, da sie die größten FPGA-Bereiche anbietet.

3.4.2 Prozessorsystem und Peripherie

Das Processing-System (PS) ist ein konfigurierbarer, fester Bestandteil des SoC und teilt sich auf in eine Full-Power-Domain (FPD) und in eine Low-Power-Domain (LPD). Der Hauptprozessor des PS ist ein ARM® Cortex-A53 mit vier Kernen. Dieser verwendet das ARM v8-A Instruktionssatz und ist mit 1,5 GHz nominell getaktet. Der Prozessor ist mit einem Cache-Coherent-Interconnect (CCI) verbunden. Der Interconnect ist auch mit anderen Bus-Mastern gekoppelt, wie der Mali-400 Grafikeinheit, den SATA3-Controllern und dem PCIe-2.1-Controller. Von dort aus können der Prozessor und die anderen Teilnehmer mittels des adressbasierten AXI4-Busses auf den FPD-Switch zugreifen, der unter anderem mit dem DDR-Controller verbunden ist. Der DDR-Controller unterstützt bis zu 34 GB DDR3- und DDR4-Speicher, wobei auch ECC-DDR4-Speicher verwendet werden kann. Der FPD-Switch verbindet den Prozessor mit der Programmable-Logic (PL) und mit der LPD [85].

In der LPD sind zwei weitere Prozessoren integriert. Ein ARM® Cortex-R5F Echtzeitprozessor mit zwei Kernen und ein Xilinx® Microblaze als Platform-Management-Unit (PMU). Diese sind über den LPD-Switch mit der Configuration-Security-Unit (CSU), der PL, dem FPD-Switch und den System-Peripherien verbunden [84]. Der DDR-Controller ist über den FPD-Switch erreichbar.

Das PS besitzt in der LPD einige Buscontroller, die für Kommunikation und Ansteuerung von externer Peripherie Voraussetzung sind. Es sind vier Netzwerk-Controller für Ethernet mit 1 Gbit vorhanden, welche über RGMII oder SGMII⁴ an ein PHY verbunden werden können. Weiterhin stehen Controller für die Anbindung von externen Speichern zur Verfügung wie SD-Karte und Quad-SPI, über die das SoC gebootet wird. Für die Ansteuerung von weiteren Komponenten gibt es je zwei I²C-Controller und SPI-Controller. Die SPI-Controller weisen drei Chip-Select-Leitungen auf, die über ein Adress-Multiplex bis zu sechs Geräte ansteuern können. Ferner gibt es zwei USB 2.0/3.0-Controller, zwei UART-Schnittstellen und mehrere GPIO-Controller. Die Ausgänge der internen Peripherie können auf das sogenannten Multiplexed-Input/-Output (MIO) gelegt werden, oder alternativ über die EMIO-Schnittstelle in den FPGA-Teil weitergeleitet werden [85].

Das System-on-Chip wird vom Linux Kernel unterstützt und kann durch den angeschlossenen Arbeitsspeicher, die Grafikeinheit und den gegebenen Prozessor auch mit aufwendigeren Distributionen wie CentOS betrieben werden [87]. Die Echtzeitkerne unterstützen sowohl Bare-Metal-Applikationen als auch den Betrieb eines Echtzeitbetriebssystems.

3.4.3 Programmierbare Logik

Die Programmable-Logic (PL) ist ein frei programmierbarer Bereich, der FPGA-Teil des Zynq-System-on-Chips. Ein Field-Programmable-Gate-Array (FPGA) ist eine anwender-programmierbare Schaltung. Sie besteht aus universellen kleineren Grundelementen: den Configurable-Logic-Blocks (CLBs), welche Look-Up-Tables (LUTs) und Flip-Flops (FF) beinhalten. Die Grundelemente können mittels konfigurierbarer Schalt-Matrizen zu komplexeren Gesamtschaltungen kombiniert werden. Abhängig von der Technologie können die Grundelemente und Schalt-Matrizen über RAM-, Flash-Zellen oder Antifuse-Technologie⁵ vom Programmierer einmalig oder mehrfach konfiguriert werden [39]. Die Programmierung erfolgt über Hardware-Beschreibungssprachen wie *VHDL*, *Verilog* oder *System-Verilog*. Entwicklungswerkzeuge wie Xilinx® Vivado oder Mentor Graphics® Precision RTL können die Sprachen

⁴ SGMII wird in der FPD mittels GTR-Transceiver realisiert.

⁵ Aufschmelzbare Verbindungen auf einem Chip, die einmal geschrieben werden können.

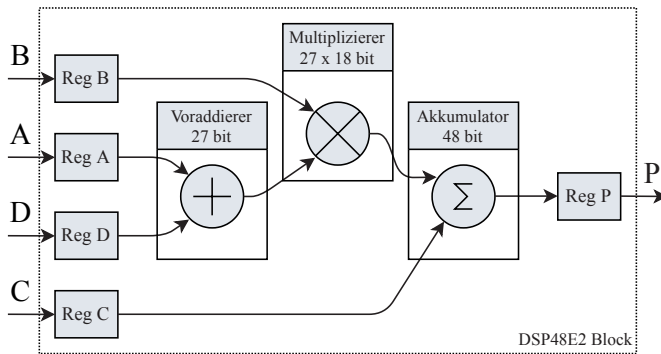


Abbildung 3.7: Vereinfachtes Strukturdiagramm der DSP48E2 Multiplikationseinheit mit Voraddierer bzw. Vor-subtrahierer und Akkumulator. Neben dem gezeigten Diagramm verfügt der DSP48E2-Block über konfigurierbare interne Register und Multiplexer, welche sowohl Verzögerungen, als auch alternative Signalführung ermöglichen (vgl. [88]).

zu Logikfunktionen synthetisieren und auf einer FPGA-Plattform implementieren. Der Implementierungsschritt bildet dabei die Logikfunktionen auf die gegebenen Grundelemente ab und verbindet diese mittels der Schalt-Matrizen. Es werden kontinuierlich Signal- und Gatterlaufzeiten mit den Zielwerten der Taktfrequenz verglichen, sodass die korrekte Funktionalität im Betrieb gewährleistet werden kann.

Die Xilinx® Ultrascale+ FPGAs basieren auf RAM und beinhalten neben der Configurable-Logic-Blocks (CLBs) weitere Hard-IP-Cores. Diese unveränderbaren Schaltungen realisieren komplexere Funktionen und können diese, durch die höhere Integrationsdichte, effizienter und schneller ausführen. Dazu gehört die *DSP48E2*-Einheit für die digitale Signalprozessierung (DSP), welche schnelle Additionen, Multiplikationen und Akkumulationen ausführen kann [88] (siehe Abbildung 3.7). Sogenannter Block-RAM (BRAM) ermöglicht Daten nach der Verarbeitung zwischenspeichern oder zwischen zwei Taktdomänen zu übergeben. Hierfür bieten das FPGA *BRAM36*- und *URAM288*-Elemente an. Beide RAM-Typen besitzen zwei Ports, wobei die 36 kbit *BRAM36*-Elemente asynchron betrieben werden können und die *URAM288*-Elemente mit 288 kbit eine höhere Speicherdichte aufweisen [89]. Daneben werden auch größere Hard-IP-Cores für beispielsweise PCIe und Ethernet angeboten. Die Geschwindigkeit der FPGA-Bestandteile ist von der Geschwindigkeitsstufe (*Speedgrade*) des Chips abhängig; Chips der Speedgrade -2 und -3 können mit höheren Taktraten wie Chips der Speedgrade -1 betrieben werden.

Die programmierte Logik kann über IO-Blocks (IOBs) mit externen Komponenten verbunden werden. Dabei kann neben der Übertragungsrichtung (Input/Output/Bidirektional) je nach Banktyp zwischen verschiedenen IO-Standards, wie LVCMOS oder LVDS, gewählt werden [90]. Die Maximalgeschwindigkeit der IO-Bänke ist abhängig vom Übertragungsstandard und liegt im Bereich von 0,5 bis 2 Gbit s⁻¹ [91]. Alternativ kann die Schnittstelle nach außen

mittels Hochgeschwindigkeits-Transceivern realisiert werden; hierfür werden abhängig vom Zynq-Modell GTH-Transceiver bis 16 Gbit s^{-1} [92] oder GTY-Transceiver bis 30 Gbit s^{-1} [93] angeboten.

3.5 Bootloader und Betriebssystem

Für die Verwendung des SoC und die Ausführung von Programmen kann ein Betriebssystem eingesetzt werden. Das Betriebssystem bietet über *Syscalls* standardisierte Schnittstellen zur Hardware an und erlaubt mithilfe eines Schedulers die Rechenleistung des Systems auf mehreren Programme zu verteilen [94]. Dadurch verleiht es selbst einem Einzelprozessorsystem eine (wenn auch begrenzte) Multitasking-Funktionalität. Des Weiteren stellt das Betriebssystem grundlegende Bibliotheken für Anwendersoftware zur Verfügung, welche die Entwicklung von Programmen vereinfachen und zusätzliche Funktionalitäten wie Inter-Prozesskommunikation anbieten. Abgesehen von dieser Infrastruktur werden meist auch zusätzliche Dienste und Programme bereitgestellt. Dazu gehören unter anderem die Dienste zur System-Protokollierung, zeitgesteuerte Ausführung (*Cron-Jobs*), Anwendersoftware wie Systemkonsole oder Werkzeuge zur Datei- und Geräteverwaltung. Xilinx® unterstützt mit dem Zynq-SoC das Echtzeitbetriebssystem *FreeRTOS*⁶ und *Linux*, wobei für das Auslesesystem ein Linux-Betriebssystem eingesetzt wird. Bevor jedoch das Betriebssystem geladen wird, übernehmen mehrere Bootloader die Konfiguration des Systems und die Auswahl des Kernels und des Root-Dateisystems⁷.

⁶ Webseite: www.freertos.org

⁷ Ein Dateisystem, welches weitere essentielle Bestandteile des Linux-Betriebssystems beinhaltet.

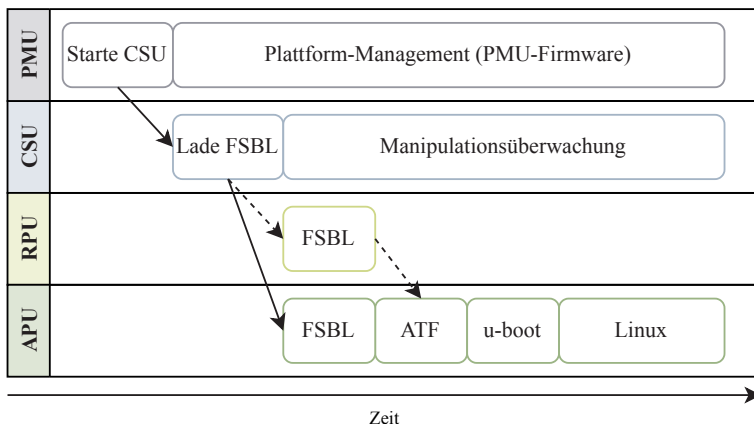


Abbildung 3.8: Exemplarisches Flussdiagramm des Bootvorgangs, mit optionalem Pfad über den Echtzeitprozessor (RPU).

In den Bootvorgang des SoCs sind sowohl die Platform-Management-Unit (PMU), die Configuration-Security-Unit (CSU), der Applikationsprozessor (APU) als auch optional der Echtzeitprozessor (RPU) beteiligt. Der Ablauf ist in Abbildung 3.8 gezeigt. Die Boot-Modus-Schalter definieren das primäre Bootmedium, von dem die PMU-Firmware geladen wird. Diese aktiviert die CSU, welche den First-Stage-Bootloader (FSBL) in den OCM-Speicher lädt. Der First-Stage-Bootloader (FSBL) konfiguriert die Register des PSs und veranlasst danach die Konfiguration der PL. Sobald die initiale Konfiguration abgeschlossen ist, lädt der FSBL die ARM-Trusted-Firmware (ATF) und den Bootloader *u-boot* für den Applikationsprozessor in den Hauptspeicher. Falls der FSBL auf dem RPU ausgeführt wurde, übergibt dieser nun den Bootvorgang an den Applikationsprozessor. Die ARM-Trusted-Firmware (ATF) sorgt bei Bedarf für eine Trennung zwischen unsicheren und sicheren Komponenten im Betriebssystem und ermöglicht Secure-Boot. Danach wird der *u-boot* Bootloader gestartet, der den Device-Tree und den Kernel aus einer lädt und mit der Linux-Kernel-Kommandozeile startet. Von dort aus übernimmt das Linuxbetriebssystem die weitere Ausführung [84].

Das Linux Betriebssystem teilt die Ausführung von Programmen in zwei Ebenen auf: den Kernel-Bereich (*Kernelspace*) und den Benutzerbereich (*Userspace*) [94]. Im Kernelbereich kann eine Routine gleichermaßen wie der Kernel selbst auf alle zugeordnete Systemressourcen zugreifen. Dazu gehören Interrupts, physikalische Speicheradressen und das vollständige Instruktionssset des Prozessors. Diese Schicht ist dem Kernel mit seinen Treibern vorbehalten und sollte aus Sicherheits- und Stabilitätsgründen nicht für generische Software verwendet werden. Applikationen im Userspace können nur über die vom Kernel definierten *Syscalls* auf die Hardware zugreifen, haben lediglich Zugriff auf den virtuellen Adressraum und nur eine Untermenge der Prozessorinstruktionen zur Verfügung.

3.6 Zusammenfassung

Die Mikrowellensignale des Frequenzmultiplexes lassen sich mit Mischern in das Basisband übersetzen, sodass von dort eine Analog-Digital-Wandlung der Signale erfolgen kann. Für die Signalqualität spielen dabei insbesondere der Scheitelfaktor des Mehrtonsignals und der Takt-Jitter der Wandler eine bedeutende Rolle. Beide Werte müssen minimiert werden um die Signalqualität zu verbessern. Innerhalb der Signalverarbeitungselektronik kann eine ressourcenschonende Kanalisierung mittels des Polyphasen-Kanalisierers erreicht werden. Für die Verarbeitung der Signale eignen sich vorzugsweise parallel arbeitende FPGA-Chips, welche als SoC auch Kontrollflussaufgaben wie Konfiguration und Kalibrierung übernehmen können. Dafür kommen in diesen Systemen komplexere Betriebssysteme wie beispielsweise Linux zum Einsatz. Die verschiedenen Technologien aus den Hochfrequenzkomponenten, der Digital-Analog-Wandlung und der digitalen Signalverarbeitung lassen sich unter dem Begriff Software-Defined-Radio (SDR) zusammenführen.

4 Auslesekonzept und -elektronik

Software-Defined-Radio-Systeme (SDR-Systeme) sind einerseits in der Lage breitbandige Analogsignale zu generieren und zu digitalisieren, andererseits diese mit performanter Digitalelektronik zu verarbeiten. Dies prädestiniert sie für die Auslese von TES und MKIDs mit Frequenzmultiplexverfahren. Die Hardware sowie die Firmware existierender SDR-Auslesesysteme für diese Anwendungen erfüllen allerdings durch die geringen Auslese- und Kanalbandbreiten nicht die Anforderungen des ECHO-Experiments. Es wird daher ein Konzept eines neuen, breitbandigen Auslesesystems und der dafür benötigten Hardware vorgestellt. Ein Kernbestandteil des Systems ist die entwickelte Wandlerelektronik, da sie maßgeblich zum Erreichen der Echtzeitbandbreite beiträgt. Zur Evaluierung der Hardware und der Firmware wurden zwei Prototypen entwickelt.

4.1 Multiplexer-Auslese mit SDR-System

Das Konzept zu SDR oder Software-Radio (SR) stammt aus der Kommunikationstechnik und wird insbesondere bei Funkanwendungen eingesetzt [95]. Bei SR- und SDR-Systemen werden Signale im Empfangs- und Sendeteil von DA- und AD-Wandlern übersetzt, um sie digital verarbeiten zu können. Die Literatur unterscheidet zwischen SR, welches die Signale unmittelbar an der Antenne beziehungsweise Schnittstelle wandelt, und SDR, welches einen Analogteil mit Hochfrequenzumsetzung einsetzt [76, 96]. Die Überlegungen hierbei sind, durch den Einsatz von digitaler Signalverarbeitung im System eine Anpassung zur Laufzeit und eine einfache Erweiterbarkeit zu ermöglichen [76, 95]. Darüber hinaus unterliegen analoge Bauteile Alterungserscheinungen und Bauteilvarianzen, die sich durch digitale Verarbeitung ausschließen lassen. Durch die mathematische Beschreibung im Digitalen können weiterhin fortschrittliche, selektive Filter und Modulationen entworfen werden [76]. Ein SDR-System besteht aus einer Hochfrequenzelektronik, die zwischen Bandpass-Signal und Basisband übersetzt; einer Wandlerstufe, die das Basisband zwischen analoger und digitaler Domäne übersetzt und einer Digitalelektronik, die das Basisband durch digitale Schaltungen wie anwendungsspezifische integrierte Schaltungen (ASICs), Field-Programmable-Gate-Arrays (FPGAs) oder mit Software auf einem Prozessor verarbeiten kann [76, 96]. Der konzeptionelle Einsatz eines SDRs bezogen auf die Auslese des Mikrowellen-SQUID-Multiplexers ist in Abbildung 4.1 gezeigt.

Die Auslese mit Frequenzmultiplexverfahren (vgl. Abschnitt 2.3.3) erfordert die Generierung mehrerer Trägersignale im Mikrowellenbereich. Diese werden über impedanzkontrollierte Leitungen zum Multiplexer-Chip im Kryostaten geführt. Dort wird das Signal zur Reduktion des Wärmeeintrags stark gedämpft und die Leitungen thermalisiert. Auf dem Chip wird eine Leistung von -70 dBm pro Kanal angestrebt [74]. Der Multiplexer-Chip ist an die MMCs angeschlossen und moduliert das Signal bei einem Teilchenereignis. Das modulierte Signal wird im Anschluss durch einen rauscharmen HEMT-Verstärker (High-Electron-Mobility-Transistor) vorverstärkt und danach mit einer Kaskade aus Raumtemperaturverstärkern an die benötigten Pegel für die Raumtemperaturelektronik angepasst [74]. Danach wird das Signal herabgesetzt, digitalisiert und in der Firmware weiterverarbeitet. Neben Hochfrequenzauslese wird zur Modulation der SQUIDs ein Sägezahnsignal zur Erzeugung der Flussrampe benötigt (vgl. Abschnitt 2.3.4). Diese sollte idealerweise vom Auslesesystem selbst erzeugt werden, um die Synchronisierung von Modulation und Demodulation zu vereinfachen.

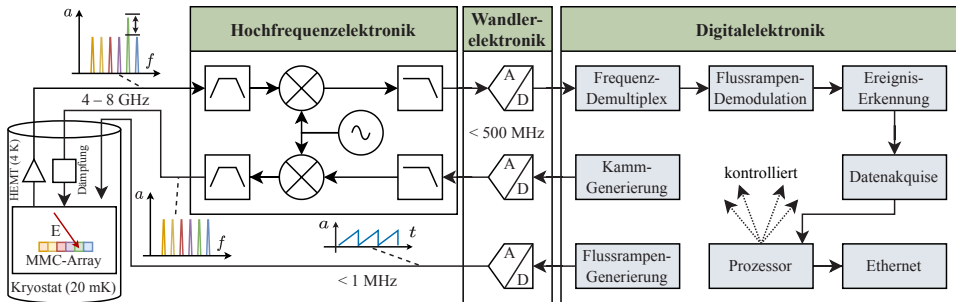


Abbildung 4.1: Auslesesystem für den Mikrowellen-SQUID-Multiplexer auf Basis eines Software-Defined-Radios

4.2 Evaluierung existierender Ausleseelektroniken

Zur Auslese von magnetischen Mikrokalorimetern mit Mikrowellen-SQUID-Multiplexer gibt es bisher keine dedizierten Auslesesysteme. Jedoch wurden für andere Sensortypen wie Transition-Edge-Sensoren und Microwave-Kinetic-Inductance-Detektoren, deren Auslese ebenfalls mittels Mikrowellenresonatoren erfolgt, elektronische Systeme von Forschungseinrichtungen entwickelt und demonstriert [97, 98]. Diese werden im Folgenden näher beleuchtet, da sie prinzipiell für den Einsatz zur MMC-Auslese in Betracht gezogen werden können. Kommerzielle Systeme gibt es bis zu diesem Zeitpunkt nicht.

MKID-Auslese nach J. van Rantwijk et al. [97] Das durch van Rantwijk et al. vorgestellte System ist für eine große Kanalzahl von 1000 Microwave-Kinetic-Inductance-Detektoren

(MKIDs) ausgelegt. Diese können mittels I&Q-Mischern im IEEE C Band von 4 bis 8 GHz mit einer Echtzeitbandbreite von 2 GHz ausgelesen werden. Das Multiplexspektrum ist mit einem Resonatorabstand von 2 MHz vergleichsweise dicht besetzt und wird von DA- und AD-Wandlern mit 2 GHz Abtastrate erzeugt und aufgezeichnet. Zur Kanaltrennung wird eine 512k-Punkt-FFT verwendet, welche auf ein akkumuliertes Zeitintervall aus 24 übereinandergelegten Intervallen angewendet wird. Die resultierende Abtastrate ist dadurch auf 159 Hz pro Kanal limitiert. In einer alternativen Konfiguration wird die Frequenzaufösung reduziert, dafür die Abtastrate auf 1272 Hz gesteigert. Zur digitalen Signalverarbeitung wird für Sende- und Empfangsseite je ein nicht näher bezeichneter Xilinx Virtex-FPGA der 7-Serie verwendet. Die verwendeten Wandler haben eine relativ geringe Bitbreite von 10 bit (AD) und 14 bit (DA), daher werden zur Scheitelfaktorverbesserung (vgl. Abschnitt 3.1.1) die Trägerfrequenzen mit zufälligen Startphasen generiert. Die Auslesefrequenzen sind durch die FFT-Kanaltrennung auf die Auflösung der FFT-Bins 3,8 kHz beziehungsweise 30,5 kHz limitiert. Der Sensortyp erfordert keine Flussrampenmodulation; somit ist dies im Auslesesystem nicht vorgesehen. Die entstehende Datenmenge von 21 Mbit s^{-1} wird über Ethernet an ein Computersystem weitergegeben. Über die gleiche Ethernet-Schnittstelle wird das System konfiguriert.

TES-Auslese nach J. Gard et al. [98] Die in der Veröffentlichung von Gard et al. präsentierte Elektronik soll 256 TESs für das Röntgen- und Gamma-Spektrometer SLED-GEHAMMER [59, 99] auslesen. Der bei der Auslese zum Einsatz kommende Mikrowellen-SQUID-Multiplex benötigt eine Echtzeitbandbreite von 1 GHz für 256 Sensoren. Daher ist es erforderlich zwei Elektroniken für je 128 Kanäle parallel zu betreiben. Die Elektronik stellt den aktuellen Stand einer langjährigen Entwicklung auf Basis des ROACH2-Boards¹ und des CASPER-Projekts [100] dar. Das ROACH2-Board integriert ein Xilinx Virtex FPGA der 6-Serie und ist mit AD-/DA-Wandlern^{2,3} für eine Auslesebandbreite von maximal 550 MHz (als 512 MHz verwendet) ausgestattet. Mittels externer I&Q-Mischerelektronik kann das IEEE C-Band zwischen 4 und 8 GHz abgedeckt werden. Um die Signale der Resonatoren zu verarbeiten, implementiert das System eine Kanaltrennung im FPGA mit grober und feiner Filterung. Die grobe Filterung basiert auf einer Polyphasen-Kanalisierung und trennt das Spektrum in Bänder mit 1 MHz. Durch zweifache Implementierung der Kanalisierung und durch deren zeitlichen Versatz wird das Signal überabgetastet und die Bandbreite auf 2 MHz gesteigert. Die einzelnen Kanäle überlappen sich durch die gewählte Filterantwort um 1 MHz [13]. Der Multiplex erfordert eine Flussrampenmodulation, die durch einen externen Generator erzeugt wird. Diese wird in der Firmware des Systems zur Laufzeit demoduliert. Die demodulierten Daten werden über eine Ethernetverbindung mit 10 Gbit s^{-1} abtransportiert.

¹ https://casper.astro.berkeley.edu/wiki/ROACH-2_Revision_2 (abgerufen am 03.09.2021)

² <https://casper.astro.berkeley.edu/wiki/ADC2x550-12> (abgerufen am 03.09.2021)

³ <https://casper.astro.berkeley.edu/wiki/DAC2x1000-16> (abgerufen am 03.09.2021)

Eine erweiterte Detektion einzelner Ereignisse wird in der Firmware nicht realisiert. Diese wurde lediglich in einer Vorentwicklung für MKIDs realisiert [13].

4.3 Diskussion zu verfügbaren Elektroniken und ECHO-Anforderungen

Der im ECHO-Projekt angestrebte Mikrowellen-SQUID-Multiplex ist mit Resonatoren mit 1 - 1,6 MHz Bandbreite im 10 MHz Abstand auf einer Gesamtbandbreite von 4 GHz im IEEE C-Band spezifiziert. Die resultierenden 400 Resonator-Kanäle müssen prinzipbedingt mit einer Flussrampe moduliert werden. Die Frequenz des modulierten Signals liegt im Bereich 0,5 - 1,6 MHz und belegt daher im Multiplexspektrum eine komplexe Bandbreite von 1 - 3,2 MHz. Die Eckdaten des Projekts werden den vorgestellten Elektroniken in Tabelle 4.1 gegenübergestellt.

Die vorausgesetzte Echtzeitbandbreite von 4 GHz kann durch beide Elektroniken nur über den Einsatz von mehreren Einzelgeräten abgedeckt werden. In den vorgestellten Papieren wird bei der Verwendung von mehreren Elektroniken auf einem Kabel nicht auf die Alias-Problematik durch das nahtlose Zusammenfügen der Spektren eingegangen. Typischerweise muss das Nutzband leicht überabgetastet werden, um durch analoge Tiefpassfilter eine ausreichende Aliasunterdrückung zu erreichen [101]. Ausgehend von der Flankensteilheit für Filter n ter Ordnung kann das SNR des Nutzbandes mit der folgenden Gleichung abgeschätzt werden (vgl. Gleichung A.4):

$$\text{SNR}_{\text{dB}} \approx 10 \log_{10} \left((2n - 1) \cdot \left(\frac{1 - s/2}{s/2} \right)^{2n-1} \right) \quad (4.1)$$

Mit einem Alias-Filter der Ordnung $n = 22$ müssen Einbußen von 20 % ($s = 0,8$) eingerechnet werden um ein SNR von über 90 dB zu erreichen. Der Wert s repräsentiert dabei die auf die Nyquistfrequenz normierte Nettobandbreite. Daher sind zur Abdeckung der benötigten Bandbreite somit zwei bis drei parallel arbeitende Elektroniken von Van Rantwijk et al. oder zehn von Gard et al. notwendig. Ein Multiplexerchip müsste somit von mehreren Geräten verwaltet werden, wodurch Funktionen wie Koinzidenz-Trigger, Temperaturkalibrationen und Kanalsynchronisierung erschwert werden. Die Wandler der Auslesesysteme können nach dem Grundrauschen der verwendeten Wandler bewertet werden. In der Tabelle ist das Grundrauschen bezogen auf die Signalleistung angegeben. Dieser Wert basiert auf dem 10 MHz Raster für den ECHO-Multiplexer und der maximalen Abtastrate der Wandler (vgl. Anhang A.1). Es ist zu erkennen, dass der breitbandige AD-Wandler von [97] durch die größere Anzahl an Auslesefrequenzen pro Wandler ein höheres Grundrauschen aufweist. Die ECHO-Auslese

		Van Rantwijk[97]	Gard[98]	ECHO[8]
Sensortyp		MKID	TES	MMC
Multiplex	Kanal BW	k.A.	300 kHz	1 - 1,6 MHz
	Δf	≈ 2 MHz	$\approx 3,9$ MHz	10 MHz
	Totale BW	2 GHz ^a	1 GHz	4 GHz
	Kanalzahl	1000	256	400
Elektroniken pro Multiplex		1	2	1
Hardware	FPGA	2x Xilinx Virtex 7	Xilinx Virtex 6	Keine Vorgaben
	ADC	EV10AQ190	2x ADS54RF63	Keine Vorgaben
	ADC NSD/Ton ^b	-117 dBc/Hz	-129 dBc/Hz	≤ -129 dBc/Hz
	DAC	2x AD9129	2x DAC5681	Keine Vorgaben
	DAC NSD/Ton ^b	-134 dBc/Hz	-128 dBc/Hz	≤ -134 dBc/Hz
	HF-Elektronik	4 - 8 GHz	4 - 8 GHz	4 - 8 GHz
	DAC Flussrampe	Nein	Nein/Extern	Ja
Kanalisation	Methode	512k-FFT	PFB/FFT und DDC	Keine Vorgaben
	Komplexe Kanalbandbreite	159 Hz/1,3 kHz	2 MHz	1 - 3,2 MHz
	Kanal-überlappung	Keine	≈ 1 MHz	1 - 3,2 MHz
	Kanalzahl	>1000	128	400
	Algorithmen	Flussrampen-Demodulation	Nein	Ja
Ereignis-Erkennung		Nein	Nein	Ja
Datenerfassung		1G Ethernet	10G Ethernet	>1G Ethernet

Tabelle 4.1: Vergleich der Auslesesysteme und der ECHO-Anforderungen. Die Wert-Angaben des Multiplexes beziehen sich auf die Parameter der Elektronik. (^a: Brutto-Bandbreite der Wandler, Aliasfilterung wird nicht berücksichtigt. ^b: Der Wert bezieht sich auf den Tonabstand von ECHO, vgl. Anhang A.1)

sollte sich an den gegebenen Werten der beiden Systeme orientieren und sie idealerweise verbessern. Weiterhin enthalten beide Elektroniken keine dc-gekoppelte Signalgenerierung im niederfrequenten Bereich (< 30 MHz) um ein Flussrampen-Signal generieren zu können. Schlussendlich setzt die digitale Signalverarbeitung auf ältere FPGA-Familien von 2009 und 2010; neuere Generationen wie beispielsweise die Intel® Stratix 10 und Xilinx® Ultrascale+ Serie versprechen höhere Leistung und bieten eine längere Produktunterstützung. Aus den genannten Gründen ist es sinnvoll eine neuartige Elektronik zu entwickeln, welche die benötigte Echtzeitbandbreite mit einer geeigneten AD-/DA-Wandlerelektronik realisiert und diese mit einer neueren FPGA-Generation vereint.

Die Firmwareentwicklung Van Rantwijk et al. ist mit der geringen Kanalbandbreite von 159 Hz für die Auslese der Signale der ECHO-Resonatoren ungeeignet. Durch die fehlende Überlappung der FFT-Bins können auch bei einer höheren Abtastfrequenz einige der Kanäle nicht aufgelöst werden oder deren Signal verteilt sich auf zwei Unterkanäle (FFT-Bins). Weiterhin sind Module zur Flussrampenmodulation und Ereignis-Erkennung für das ECHO-Experiment erforderlich, aber nicht implementiert. Daher ist die Firmwareentwicklung inkompatibel zum ECHO-Multiplex.

Die Firmware zur TES-Auslese von Gard et al. deckt teilweise die Anforderungen des ECHO-Multiplexes ab. Der Demultiplex bietet 128 Kanäle je 2 MHz, wobei die Kanäle der groben Kanalisierung sich um 1 MHz überlappen. Da die komplexe Signalbandbreite voraussichtlich mehr als 1 MHz im Spektrum belegt, reichen die Kanalbandbreite und Überlappung der Elektronik nicht aus, um die Kanäle aufzulösen, falls diese nicht im Raster der groben Kanalisierung liegen. Weiterhin sind die Bänder der groben Kanalisierung nur schwach vor Aliasing geschützt und enthalten somit Störprodukte der benachbarten Kanäle. Aus diesen Gründen ist eine Anpassung der Kanalisierung notwendig, damit diese den ECHO-Kriterien entsprechen. Das System implementiert die erforderliche Flussrampendemodulation, jedoch fehlt eine Erweiterung bezüglich der Ereignis-Erkennung. Die Signalverarbeitung ist für eine alte FPGA-Generation entwickelt und dahingehend optimiert. Bei neueren Generationen kann durch serielle Verarbeitung und mit höherer Taktrate die Ressourceneffizienz gesteigert werden.

Beide Firmwareentwicklungen erfordern eine Modifikation und Erweiterung, deren Aufwand einer Neu-Implementierung gleicht. Es wurde daher eine neue Implementierung nach den ECHO-Vorgaben gewählt (vgl. Kapitel 5).

4.4 Breitbandauslesesystem für ECHO

Um einen hohen Multiplexfaktor mit einem einzelnen Kabel zu erreichen, sind eine dichte Besetzung des Frequenzspektrums, eine hohe Auslesebandbreite und eine parallelisierte Firmware zur Signalverarbeitung in Echtzeit notwendig. Das SDR-System für ECHO soll eine Auslese im Frequenzbereich zwischen 4 und 8 GHz ermöglichen. Da die direkte Abtastung des Gesamtspektrum mit 4 GHz hohe Anforderungen an die Filtersteilheit und an die Basisbandverstärkung stellt, wird statt einem einzelnen AD- bzw. DA-Wandlerpaar mit Mischerstufe das Spektrum in mehrere Subspektren aufgeteilt. Durch die Aufteilung der Signale auf mehrere Wandler ist zudem ein höheres SNR für die individuellen Auslesesignale möglich (vgl. Abschnitt 3.1.1). Es werden fünf komplexe Basisbänder mit 800 MHz angestrebt, die zusammen auf ein gemeinsames Kabel vereint werden. Diese komplexe Bandbreite kann mit zwei Wandlerkanälen und einer Abtastrate von 1 GHz gewandelt werden, sodass ein Schutzintervall von 100 MHz zur Nyquistfrequenz verbleibt. Die Unterbänder spannen sich in 800 MHz breiten Intervallen zwischen 4 und 8 GHz auf, wobei ihre zentralen Trägerfrequenzen bei 4,4; 5,2 GHz usw. liegen [San19]. In Abbildung 4.2 ist die Detailansicht des Auslesesystems gezeigt, wie es für das ECHO-Experiment eingesetzt werden soll. Die Hochfrequenzelektronik wie auch die Wandlerelektronik und die Digitalelektronik werden auf eigenen Platine realisiert, um die Entwicklungsvorgänge voneinander zu separieren.

Die Platine der Hochfrequenzelektronik wird mit zwei SMA-Verbindern an die Schnittstelle am Kryostaten angeschlossen und integriert alle nötigen Generatoren, Mischer und Filter (vgl. Abschnitt 4.5). Auf der Basisbandseite werden die Signale über einen gemeinsamen Stecker differenziell mit der Wandlerelektronik verbunden. Dadurch können die Verbindungen der I&Q-Signale mit genauer Längenanpassung und hoher Störresistenz übergeben werden. Die auf der Hochfrequenzelektronik integrierten Komponenten werden über digitale I²C- und SPI-Schnittstellen des Analogsteckers der Wandlerelektronik gesteuert. Die Taktreferenz für die Generatoren wird ebenfalls über den Stecker angebunden.

Die Wandlerelektronik bzw. Basisbandelektronik benötigt zur Wandlung der I&Q-Signale je zehn AD- und DA-Wandlerkanäle (vgl. Abschnitt 4.6). Außerdem wird ein DA-Wandler vorgesehen, der die sägezahnförmigen Flussrampen-Signale für die SQUIDS generieren kann. Da die Wandlerplatine sowohl an der Hochfrequenzelektronik als auch an der Digitalelektronik angeschlossen ist, bietet es sich an, die Taktquelle auf dieser Platine zu integrieren. Die Wandlerelektronik erhält ihre Taktreferenz über einen Stecker und generiert mithilfe einer Phasenregelschleife (PLL) daraus alle benötigten Takte. Durch die große Anzahl der Wandler ist der Einsatz von Hochgeschwindigkeitsleitungen und dem darauf basierenden Standard JESD204B für die Datenkommunikation sinnvoll. Dadurch kann die Anzahl der Verbindungen zwischen Digitalelektronik und Wandlerelektronik stark reduziert werden [102]. Auf der

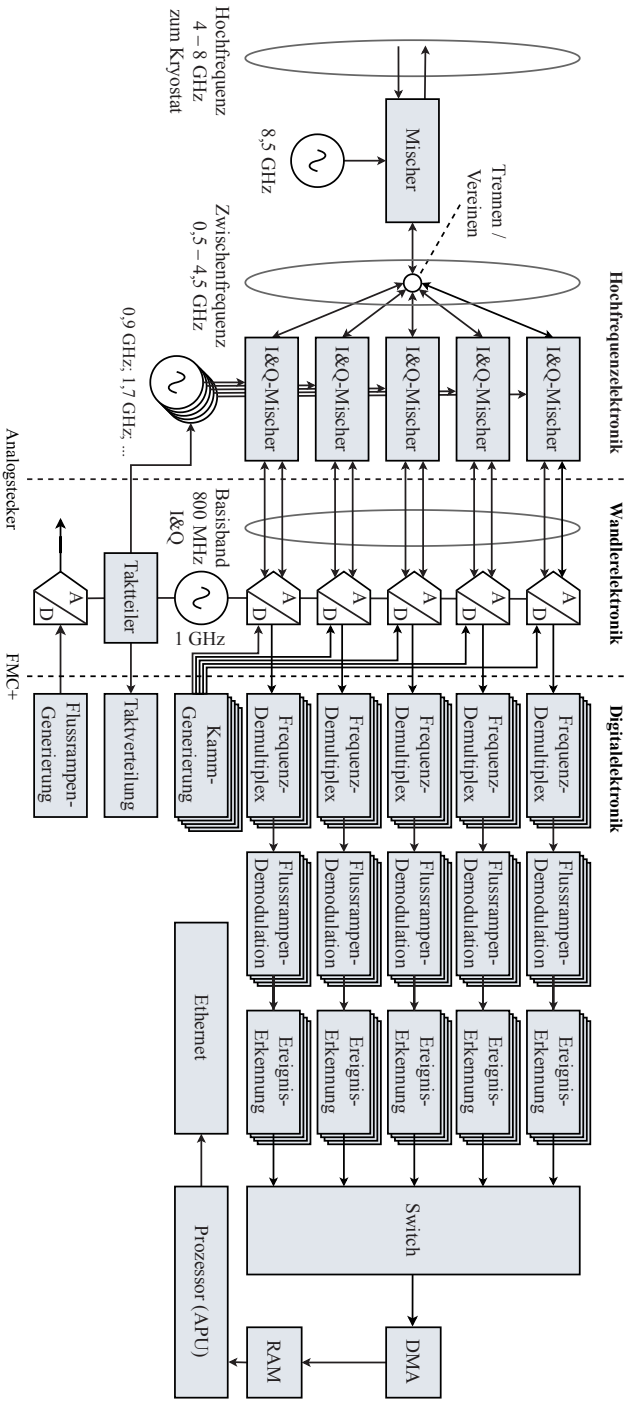


Abbildung 4.2: Diagramm der Ausleseelektronik für 4 GHz Bandbreite. Das Multiplex-Spektrum wird in fünf Mischketten aufgeteilt, die innerhalb des digitalen Bereichs durch parallele Verarbeitungskettenprozessiert werden (vgl. Kapitel 5)

FMC+-Steckverbindung werden neben den Datenkanälen der Wandler die Signale zur Konfiguration der Wandlerelektronik und der Hochfrequenzelektronik angebunden, sodass die Digitalelektronik die Konfiguration des gesamten SDR-Systems übernehmen kann.

Die Digitalelektronik erfüllt die Aufgaben der Konfiguration, Signalverarbeitung und Datenerfassung. Für diese vielfältigen Aufgaben soll ein SoC eingesetzt werden, der sowohl einen Prozessor als auch ein FPGA integriert (vgl. Abschnitt 3.4 und Abschnitt 4.7). Die Firmware auf dem FPGA ist in parallelen Ketten organisiert, welche die Aufgaben der Demodulation und Sensorsignalerkennung für jeweils 800 MHz erfüllen. Auf die Implementierung wird in Kapitel 5 eingegangen. Die Software und Datenerfassung wird im Zusammenspiel zwischen Prozessor und programmierbarer Logik gelöst (vgl. Kapitel 6). Die extrahierten Ereignisse werden aus dem System via Netzwerk an die ECHO-Server weitergeleitet.

4.5 Hochfrequenzelektronik

Die Hochfrequenzelektronik setzt das komplexe Basisband in das Hochfrequenzband der Mikrowellenresonatoren um (vgl. Abschnitt 3.2.1). Es können hierfür entweder einstufige I&Q-Mischer oder eine zweistufige Überlagerungsmischerstufe verwendet werden [39]. Einstufige bzw. direkt-herabsetzende Mischer setzen die Trägerfrequenz beziehungsweise die zentrale Frequenz des Unterbands breitbandig herab. Der Frequenzkamm des Multiplexes liegt demnach im Basisband vor und wird nach der AD-Wandlung im digitalen Bereich weiterverarbeitet (vgl. Abschnitt 3.2.1). Gleichermaßen mischt auf der Sendeseite ein I&Q-Mischer das Signal des DA-Wandlers mit der zentralen Frequenz des Unterbands. Der Vorteil dieser Lösung ist, dass sie mit vergleichsweise wenig Komponenten realisiert werden kann. Ein exemplarisches Flussdiagramm ist in Abbildung 4.3a dargestellt.

Ein Nachteil des direkten Verfahrens ergibt sich aus der Bandbreitenanforderung an die Komponenten. Dies betrifft zunächst die Bauteiltoleranzen bezüglich der frequenzabhängigen Amplitudenverzerrung aller Komponenten und die Phasenimbalance der Mischer, die bei großen Bandbreiten stärker fluktuieren, und die erhöhten Bandbreitenanforderungen an die Verstärker [39, 76]. Weiterhin wirkt sich die Anforderung auch auf die Komponentenauswahl aus, da eventuell auftretende hochfrequente Störtöne durch preisgünstigere oder kleinere Tiefpassfilter für die Aliasfilterung nicht mehr zuverlässig gedämpft werden. Die zweistufigen Überlagerungsmischerstufen (oder *super-heterodyne* Mischerstufen) bilden mittels einer zweiten Mischerstufe ein Zwischenfrequenzband und können die Bandbreitenanforderung entschärfen. Abgesehen von der gesteigerten Anzahl an Komponenten und Mischfrequenzen eignen sie sich auch dadurch für den Einsatz im Auslesesystem. Wie in Abbildung 4.3b gezeigt,

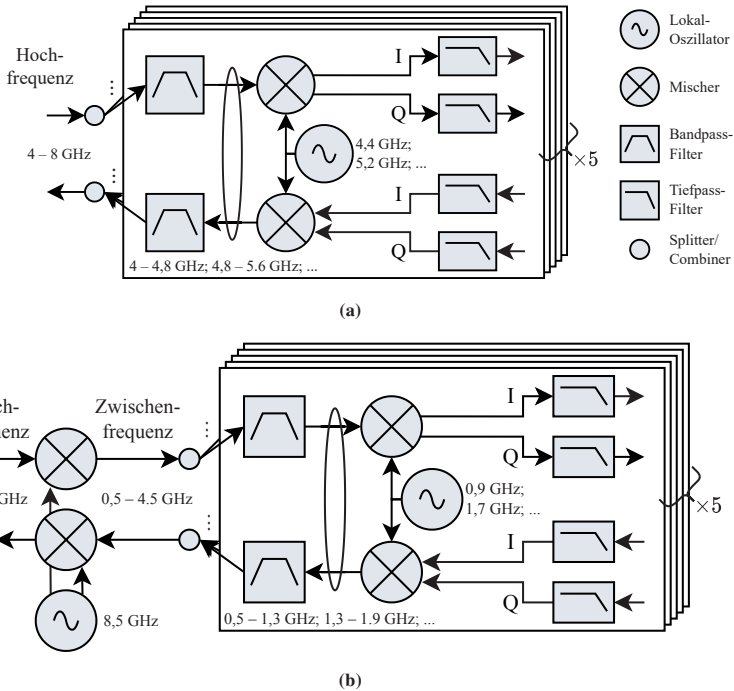


Abbildung 4.3: Elektronik mit direkter Mischung (a). Super-heterodyne Elektronik mit IF-Band und doppelter Mischstufe (b).

wird das 4 - 8 GHz breite Hochfrequenzband durch einen Mischer zunächst in ein Zwischenfrequenzband von 0,5 - 4,5 GHz herabgemischt. Von dort aus mischen mehrere I&Q-Mischer wie in der einstufigen Variante die einzelnen Unterbänder zum komplexen Basisband herab.

Die Hochfrequenzelektronik wird auf einer separaten Platine realisiert. Die Frequenz- und Bandbreitenanforderungen können mittels speziellen HF-Platinenmaterials [103] erfüllt werden. Die Schnittstelle zu Hochfrequenzelektronik wird im nächsten Kapitel zusammen mit den AD-/DA-Wandlern behandelt. Die Mischerelektronik wird mit integrierten Bauelementen realisiert, die primär für die Kommunikationstechnologiesparte wie Mobilfunk und Breitbandinternet angeboten werden [Gar22]. Die Komponenten verfügen über analoge, differenzielle Schnittstellen für das Basisband, die an AD-/DA-Wandler angeschlossen werden können. Dies ermöglicht eine störresistente Verbindung zwischen der Hochfrequenzelektronik und der Wandlerstufe. Zur Evaluierung der Komponenten und als Ausleseprototyp wurden durch Gartmann et al. eine Platine entwickelt, die einen der Pfade des Überlagerungssenders- und empfangers realisiert [Gar22] (vgl. Abbildung 4.4). Die Platine integriert zwei Mischstufen mit HF-Mischern und I&Q-(De)Modulator und entsprechend zwei Lokaloszillatoren (LOs) zur Erzeugung zweier Mischfrequenzen. Die HF-Platine kann im Frequenzbereich zwischen

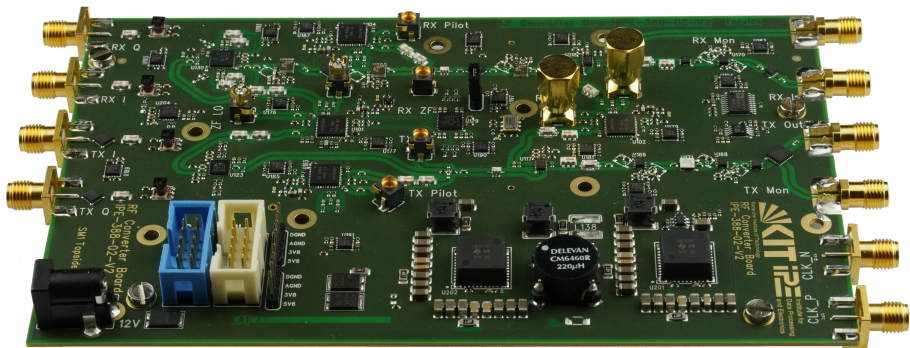


Abbildung 4.4: Aufnahme der super-heterodynen HF-Platine für ein I&Q-Paar [Gar22]. Links befinden sich die Sende- und Empfangsanschlüsse des Basisbands, auf der rechten Seite die des Hochfrequenzbandes. Weiterhin gibt es einen Anschluss für einen externen Referenztakt, Spannungsversorgung und für die SPI- und I²C-Signale. Die Trägerssignale für die Mischer werden auf der Platine durch PLLs erzeugt.

4 - 12 GHz betrieben werden und besitzt eine komplexe Bandbreite von 1 GHz im Basisband, wobei die Anschlüsse wechselstrom-gekoppelt sind. Zur Vermeidung von Störfrequenzen wird in der hochfrequenten, reellen Mischstufe der untere Teil des Seitenbands verwendet und dadurch die Frequenzen des Basisbands gespiegelt, oder vereinfacht ausgedrückt: Die I&Q-Komponenten werden vertauscht. Die Platine bietet ausgangsseitig (TX) im Hochfrequenzpfad und eingangsseitig (RX) im Demodulator eine variable Pegelanpassung an. Im Demodulator kann die Ausgangsspannung somit an den Eingangspegel des AD-Wandler angepasst werden.

4.6 Wandlerelektronik

Die Analog-zu-Digital- und Digital-zu-Analog-Wandlerelektronik übersetzt zwischen den komplexen Basisbändern der Hochfrequenzelektronik und der digitalen Signalverarbeitung in der Digitalelektronik. Die Wandlerelektronik ist auf einer Platine integriert, die neben den Wandlerchips auch eine Taktgenerierung, Bussysteme und die Spannungsversorgung beinhaltet.

4.6.1 Aufbau der Elektronik

Im Rahmen dieser Arbeit wurden zwei Wandlerelektroniken entwickelt. Die erste Version der Elektronik teilt die Funktionen Spannungsversorgung und Takt, Basisband-ADC, Basisband-DAC und Flussrampen-DAC in verschiedene Platinen auf. Der modulare Aufbau ist in Abbildung 4.5 gezeigt. Nach der erfolgreichen Inbetriebnahme der ersten Version der Schaltung ist

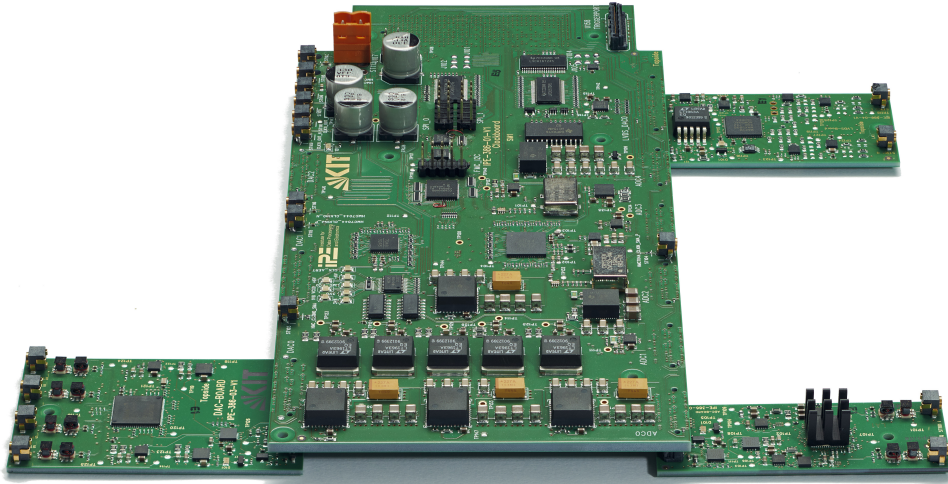


Abbildung 4.5: Aufnahme des modularen Aufbaus der Wandlerelektronik. Mittig ist die Takt- und Spannungsversorgungsplatine (*ClockBoard*) abgebildet, welche als Trägerplatine für die Module dient. Auf der linken Seite können maximal drei DA-Wandlerplatinen angesteckt werden, auf der rechten vorderen Seite fünf AD-Wandlerplatinen und hinten eine Platine mit DA-Wandler für Flussrampengenerierung. Auf der hinteren Unterseite befindet sich der FMC+-Stecker für die Verbindung zur Digitalelektronik.

darauf aufbauend eine zweite Version entstanden. Diese integriert die überarbeiteten funktionalen Einheiten auf eine gemeinsame Platine. Mit der Integration können Probleme der ersten Version gelöst werden: Durch das modulare Design ist es erforderlich, die Hochgeschwindigkeitsleitungen der Wandler über zwei Stecker, mehrere Durchkontaktierungen und eine größere Distanz auf den Platinen zu führen. Die dadurch reduzierte Signalqualität führt bei einem Teil der Wandlerkanäle zu einzelnen Bitfehlern, welche in der späteren Messung nicht tolerierbar sind. Das Hauptproblem stellt jedoch die physikalische Verbindung zur Hochfrequenzelektronik dar. Durch die Trennung der Module müssen die Verbindungen über viele koaxiale Leiter von Platine zu Platine geführt werden. Im Fall von differenziellen Leitungen, die ursprünglich nicht vorgesehen waren, verdoppelt sich diese Anzahl. Da bei den I&Q-Verbindungen zwischen den beiden Platinen auf Längen Anpassung, Übersprechen und Störresistenz geachtet werden muss, ist ein einzelner Stecker als Übergabepunkt eine robustere Lösung für das finale System. Dieses Kapitel konzentriert sich auf die zweite Version der Platine, welche mit ihren funktionalen Bestandteilen in Abbildung 4.6 gezeigt ist.

Die komplexen Basisbänder werden mit fünf I&Q-Signalköpfen beziehungsweise zehn separaten Analog-zu-Digital-Konvertern (ADCs) und der gleichen Anzahl an Digital-zu-Analog-Konvertern (DACs) realisiert. Einige erhältliche Wandler-Chips weisen zumindest zwei aufeinander abgestimmte Kanäle auf und eignen sich dadurch insbesondere für den Einsatz mit I&Q-Mischern. Für die Elektronik werden DACs mit vier Kanälen (vgl. Abschnitt 4.6.3) und

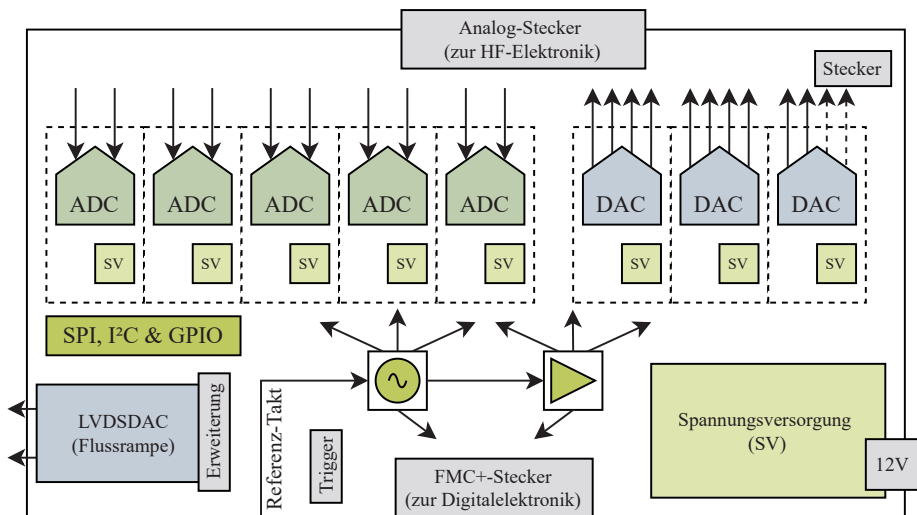
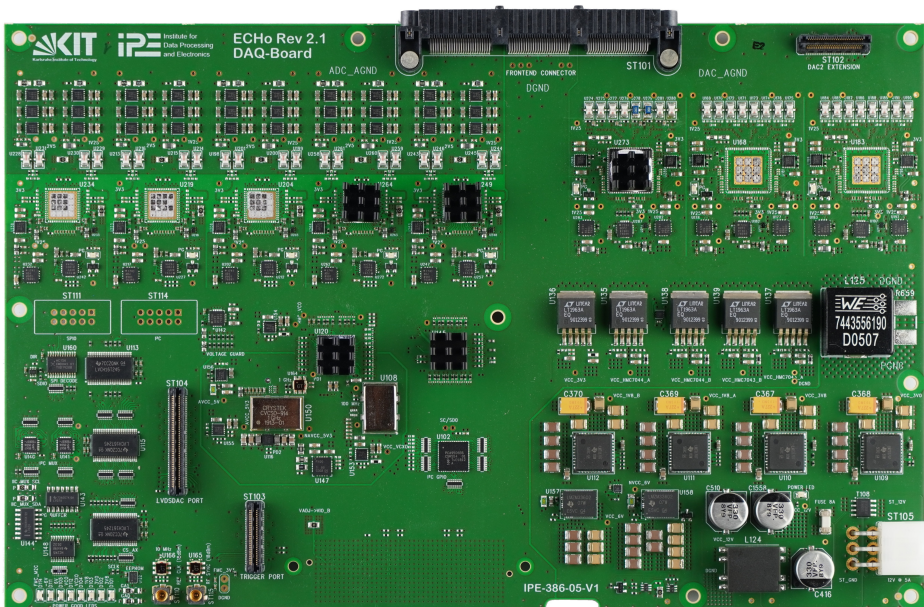


Abbildung 4.6: Aufnahme des vereinten Aufbaus der Wandlerelektronik (oben). Funktionale Übersicht des Wandlernaufbaus (unten): Die Skizze folgt der räumlichen Aufteilung der Komponenten des vereinten Aufbaus.

ADCs mit zwei Kanälen gewählt (vgl. Abschnitt 4.6.2). Je zwei Kanäle bilden ein I&Q-Paar, welches ein komplexes Basisband von 800 MHz abdeckt. Zur Generierung des Flussrampen-Signals können entweder die überschüssigen zwei Kanäle der Basisband-DA-Wandler oder eine separate Platine für den Flussrampen-DAC verwendet werden (vgl. Abschnitt 4.6.4). Diese generiert zwei Ausgangssignale, die für die Flussrampenmodulation des Multiplexers benötigt wird. Jeder Wandler besitzt eine eigene linear-geregelte Versorgungsspannung und Spannungsüberwachung. Die Platine beinhaltet zudem eine Haupt-Spannungsversorgung (vgl. Abschnitt 4.6.6) und die benötigte Taktgenerierung und -verteilung (beschrieben in Abschnitt 4.6.5). Für die Konfiguration werden GPIO und die Kontrollbusse SPI und I²C verwendet.

Als Übergabepunkt zwischen Wandler- und HF-Platine werden Stecker der Q2-Steckerklasse von Samtec® gewählt, da eine rechtwinklige Ausführung für die horizontale Verbindung der Leiterplatten verfügbar ist. Eine der Steckervarianten besitzt drei räumlich getrennte Bänke mit eigenen Erdungsflächen, sodass die ADC-, Takt- und DAC-Kanäle jeweils separat übergeben werden können. Außerdem weist die Verbindung vergleichsweise gute Crosstalk-Eigenschaften von <-65 dBc bei <400 MHz zwischen benachbarten Pins bei einem zusätzlichem Pin-Abstand und eine geringe Einfügedämpfung von $<0,4$ dB auf⁴.

Die Schnittstelle für die Digitalelektronik (siehe Abschnitt 4.7) benötigt zumindest 20 Hochgeschwindigkeitsleitungen und eine größere Anzahl an langsameren LVDS- und CMOS-Verbindungen. Da sich bei den meisten FPGA-Platinenherstellern die VITA® Industriestandards 57.1 und 57.4 für FPGA-Mezzanine-Card (FMC) bzw. FMC+ durchgesetzt haben, werden diese näher betrachtet. Der Standard 57.1 definiert eine High-Pin-Count (HPC)-Variante, welche bis zu zehn bidirektionale Hochgeschwindigkeitsverbindungen, bis zu 80 differenzielle Verbindungen, verschiedene Spannungsversorgungen und Kontrollbusse am Stecker anbietet. Werden zwei FMC-Stecker belegt, können 20 Hochgeschwindigkeitsverbindungen verwendet werden. Der im 57.4 Standard beschriebene FMC+ Stecker baut auf dem des 57.1 Standards auf und besitzt insgesamt 24 Hochgeschwindigkeitsverbindungen pro Stecker. Da die AD-/DA-Platine auf DA-Seite bis zu 24 Verbindungen verwenden kann, wird als Verbindung der FMC+-Stecker nach VITA 57.4 Standard verwendet. Angesichts der großen Anzahl von Komponenten auf der Platine reicht der innerhalb des Standards definierte Formfaktor nicht aus. Die Platine entspricht lediglich elektrisch dem VITA-Standard. Die Platine ist so entworfen, dass sie mit einer geringfügigen Modifikation des Steckers auf einer FMC-Buchse nach VITA 57.1 mit reduzierter Funktionalität verwendet werden kann. In dieser Anordnung können zwei I&Q-Paare in Betrieb genommen werden. Ferner bietet die Wandlerelektronik einen Steckverbinder (*Trigger*), welcher Signale vom FMC+-Stecker für die Anbindung externer, digitaler Signale wie beispielsweise Trigger- oder Vetosignale anbietet.

⁴ Steckverbindung QFS/QMS-078-01-XX-D-RA, abgelesen aus [104].

4.6.2 DA-Wandler für Basisband

Der verwendete DA-Wandler, *AD9144* von Analog Devices®, besitzt vier Kanäle mit 16 bit Auflösung [105]. Der Wandler kann durch den vorgegebenen Takt mit einer Abtastfrequenz von 1 GHz betrieben werden. Der Chip besitzt zudem eine interne Phasenregelschleife (PLL) und ein Interpolationsfilter, so dass eine höhere Abtastfrequenz vorgegeben werden kann. Dadurch können, falls nötig, das Nyquistband erweitert und die Anforderungen an den Rekonstruktionsfilter gesenkt werden. In der gewählten Schaltung kann mit der PLL alternativ eine Abtastfrequenz von 2 GHz erreicht werden. Der Datentakt ist dabei auf 1 GHz beschränkt. Die digitalen Daten werden über acht Hochgeschwindigkeitsverbindungen nach dem JESD204B Standard [106, 102] mit 10 Gbit s^{-1} zwischen Digitalelektronik und Wandlerelektronik übertragen. Der Wandler weist eine hohe Linearität auf ($\pm 2 \text{ LSB}$), sodass er auch für die Generierung des Flussrampen-Signals geeignet ist. Die Spurious-Free-Dynamic-Range (SFDR) des Wandlers ist mit $>50 \text{ dBc}$ bei 0 dBFS ⁵ nicht ideal und wird daher in den Messungen genauer untersucht (siehe Kapitel 7). Der Wandler erreicht eine theoretische Rauschleistungsdichte (NSD) von $-137,5 \text{ dBc Hz}^{-1}$ relativ zu einem Trägersignal. Damit unterschreitet er die NSDs der anderen bereits existierenden Elektroniken (vgl. Anhang A.1). Die differenziellen Ausgänge des Wandlers sind zwei komplementäre Stromquellen mit $0,2 \text{ M}\Omega$ Innenwiderstand und liefern einen Ausgangsstrom von minimal $13,9 \text{ mA}$ bis maximal 27 mA im zulässigen Spannungsbereich von -250 bis 750 mV . Der maximale Ausgangsstrom kann durch die Veränderung der internen Register und durch die Verwendung eines anderen Skalierungswiderstands angepasst werden. Die Register sind über SPI konfigurierbar. Die Ausgänge werden gleich- und gegentaktgekoppelt betrieben. Für die Inbetriebnahme wird eine Balunplatine verwendet, welche eine Gegentaktkopplung realisiert. In Kombination mit der HF-Platine soll jedoch eine Gleichtaktkopplung verwendet werden, um eine Optimierung der Mischereigenschaften zu ermöglichen. Dafür wird mit dem Ruhestrom der Ausgänge der notwendige Gleichtaktspannungspegel für den Modulator von 500 mV eingestellt. Die Signalrekonstruktion erfolgt in beiden Fällen mit *LFCN-400+* Filtern von MiniCircuits®, welche auf der Wandlerplatine integriert sind.

4.6.3 AD-Wandler für Basisband

Zur Analog-zu-Digital-Wandlung wird der Wandler *AD9680* von Analog Devices® verwendet [107]. Die eingesetzte Variante wandelt zwei Kanäle mit 1 GHz und 14 bit Wortbreite. Je nach Eingangsfrequenz erreicht der Wandler einen ENOB-Wert zwischen 10,3 und 10,8 bit. Dadurch liegt die theoretische NSD bezogen auf einen Träger bei $-133,2 \text{ dBc Hz}^{-1}$ und somit unter den NSDs der anderen Elektroniken (vgl. Anhang A.1). Durch die vier im Chip integrierten DDCs

⁵ Amplitude bezogen auf die Maximalamplitude des Wandlers in Dezibel.

ist eine Vorverarbeitung der Eingangsdaten möglich, die im Demultiplex verwendet werden kann (vgl. Abbildung 5.4). Die SFDR des Wandlers ist im Nutzband je nach Puffereinstellung minimal 78 dBc. Der Wandler besitzt zwei differenzielle Eingänge, die einen standardmäßig differenziellen Spannungshub von $1,7 V_{pp}$ und eine Gleichtaktspannung von 2,05 V erwarten. Die Eingangsimpedanz des internen ADC-Puffers kann in Schritten zwischen 50 auf 400 Ω variiert werden. Es werden 100 Ω Eingangsimpedanz, identisch zur Leitungsimpedanz, gewählt. Da der AD-Wandler eine zur HF-Elektronik inkompatible Gleichtaktspannung hat, wird eine AC-Kopplung mit 100 nF Kondensatoren eingesetzt. Zur Alias-Filterung werden *LFCN-320+* Filter von MiniCircuits® mit einer Sperrdämpfung von >40 dB ab 580 MHz eingesetzt. Der AD-Wandler besitzt zur Konfiguration eine drei-adrige SPI-Schnittstelle und für den Datentransport vier Hochgeschwindigkeitsleitungen nach dem JESD204B-Standard, die für die verwendete Datenrate mit 10 Gbit s^{-1} betrieben werden.

4.6.4 DA-Wandler für Flussrampen-Signal

Zur Generierung der Flussrampen-Signale (vgl. Abschnitt 2.3.4) bietet die Elektronik zwei Möglichkeiten an. Die drei DA-Wandler für die Generierung der komplexen Basisbänder haben insgesamt zwölf Kanäle, wovon zehn Kanäle verwendet werden. Falls die Digitalelektronik am FMC+-Stecker eine Vollbestückung von 24 Hochgeschwindigkeitsleitungen aufweist, können die zwei überschüssigen DAC-Kanäle des letzten DA-Wandlers für die Flussrampe verwendet werden. Diese Kanäle sind auf einen separaten Erweiterungsstecker gelegt. Der Stecker ist zusätzlich mit Spannungsversorgungen und einer I²C-Schnittstelle belegt, so dass er mit einer Analogelektronik ausgestattet werden kann.

Weiterhin bieten beide Wandlerelektroniken einen Stecker mit einer größeren Anzahl an Low-Voltage-Differential-Signaling (LVDS)-Verbindungen an, der mit einer externen DAC-Platine erweiterbar ist. Hier kann die entwickelte Platine des modularen Ansatzes verwendet werden; diese ist mit dem Wandler *MAX5898* von Maxim® ausgestattet [108]. Der Wandler ist durch eine hohe Linearität von $\pm 3 \text{ LSB}$ und eine spektrale Rauschdichte von -154 dBm Hz^{-1} spezifiziert. Der Chip besitzt zwei differenzielle Ausgänge, die als Stromquellen realisiert sind und die Umsetzung mit 16 bit bei 500 MHz ermöglichen. Die Ausgänge werden zunächst über Widerstände zu einer Spannung gewandelt und durch einen Operationsverstärker (*ADA4899*) in Differenzschaltung vom symmetrischem Signal in ein unsymmetrisches 50-Ohm-Signal übersetzt, dabei wird das Signal um einen Faktor 4,5 verstärkt. In einer zweiten Operationsverstärkerstufe kann das Signal mit einem positiven Offset versehen werden. Hier kommt ein I²C-DAC (*AD5697*) zum Einsatz. Der zweite Operationsverstärker kann durch Variantenbestückung in eine spannungsgesteuerte Stromquelle umgewandelt werden. Der Ausgang der Schaltung ist mit 50 Ω Impedanz ausgelegt; mit einem maximalem Ausgangsstrom von 20 mA des DA-Wandlers liegt der maximale Spannungshub bei $2 V_{pp}$ an einer 50 Ω Senke.

4.6.5 Taktgenerierung

Die Quelle der Systemtakte für das Datenakquisitionssystem ist auf der AD-/DA-Wandlerplatine integriert. Sie dient dazu den Abtasttakt für die Wandler, die Referenz für die Hochfrequenzelektronik und die Referenz für die Hochgeschwindigkeitstranseiver zu erzeugen. Da die Signalverarbeitung im FPGA synchron mit den Wandlern stattfindet, werden große Teile der FPGA-Firmware ebenfalls versorgt.

Als Taktreferenz dient dem System eine externe Quelle, die über einen MMCX-Stecker an der Platine angeschlossen wird. Diese wird standardmäßig mit einer Frequenz von 10 MHz angenommen. Aus dieser Frequenz werden alle weiteren Takte abgeleitet. Hierfür wird der Taktgenerator *HMC7044* von Analog Devices® verwendet. Dieser integriert eine zweistufige Phasenregelschleife (PLL) um hochfrequentes Phasenrauschen aus dem externen Taktreferenzsignal zu entfernen und auf dem Board einen langzeitstabilen und jitter-armen höherfrequenten Takt zu erzeugen.

Die erste PLL vergleicht mit dem Phasendetektor den externen 10 MHz Takt mit einem spannungsgesteuerten Quarz-Oszillator (VCXO) auf der Platine, dabei wird ein 100 MHz Quarz (*V-91A4085BQEH-LF*) von KVG GmbH® verwendet. Die Standardeinstellung des Treibers konfiguriert den Teiler des Quarztakts mit dem Faktor 10, sodass der Phasendetektor mit 10 MHz betrieben wird. Das Schleifenfilter nach der Ladungspumpe ist als Filter 2. Ordnung realisiert mit einer Filterbandbreite von 93 Hz (siehe Abbildung 4.7). Die zweite PLL-Stufe generiert den hochfrequenten Takt für die verschiedenen Systemkomponenten. Es kann entweder ein 3 GHz Takt mit dem internen spannungsgesteuerten Oszillator (VCO) generiert werden oder ein 1 GHz Signal über einen externen kontrollierbaren Oberflächenwellenquarz (CVCSO-914) von Crystek®. Für die Verwendung des internen VCOs wird die Frequenz des ersten Quarzes verdoppelt und die des internen um Faktor 15 reduziert, sodass der Vergleich beim Phasendetektor bei 200 MHz stattfindet. Das externe Schleifenfilter wird so gewählt, dass es mit dem internen Filter einen Filter 3. Ordnung bildet und die Bandbreite bei 390 kHz⁶ liegt (siehe Abbildung 4.7). Beim Betrieb mit dem externen Quarz wird das Taktsignal um Faktor 5 geteilt und ebenfalls mit der Frequenz von 200 MHz verglichen. Das externe Schleifenfilter bleibt unverändert, jedoch fällt der interne Filteranteil weg. In dieser Konfiguration weist das Schleifenfilter eine Bandbreite von 64,5 kHz auf. Das Ausgangssignal muss für die Verwendung mit dem externen Quarz zum Spannungsbereich 0 bis 5 V vorverstärkt werden. Daher wird ein Operationsverstärker (*AD4899*) als nicht-invertierender Verstärker mit dem Verstärkungsfaktor 1,83 verwendet.

⁶ Die Bandbreite ist mit dem Programm ADIsimCLK von Analog Devices® berechnet.

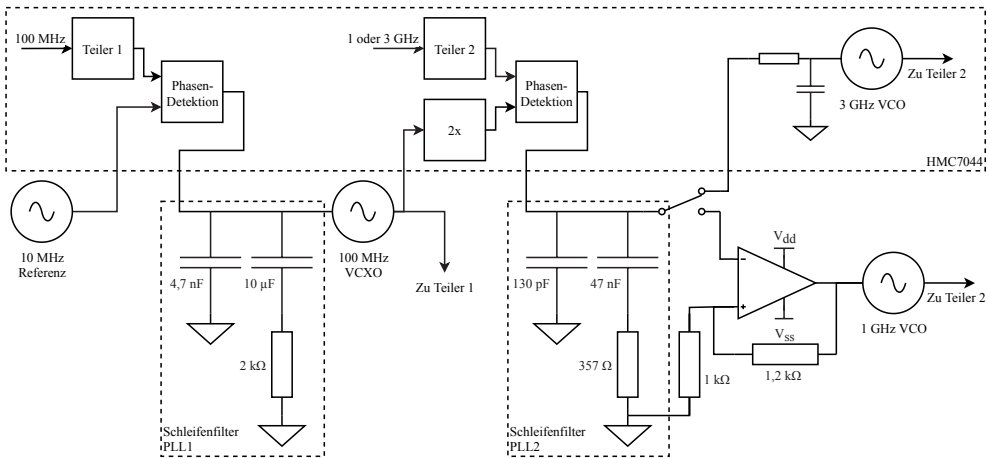


Abbildung 4.7: Schleifenfilter der PLLs

Insgesamt werden auf der Platine zwei Takte je Wandler, mehrere Takte zur Referenz der Hochgeschwindigkeitstransceiver in der Digitalelektronik und Referenztakte für die Hochfrequenzelektronik benötigt. Die Gesamtanzahl von 26 Takten wird mit dem HMC7044-Chip und einem zusätzlichen Taktpuffer (*HMC7043*) abgedeckt. Sowohl der HMC7044 als auch der HMC7043-Chip unterstützen die Generierung von Geräte-Takten (DCLK) und den *Sysref*-Referenzsignalen, die für den Betrieb von JESD204B mit der Subklasse 1 benötigt werden. Der HMC7043 wird mit zwei Taktausgängen vom HMC7044 verbunden; der erste liefert den Referenztakt von 1 oder 3 GHz, der zweite ein Synchronisationssignal für die Sysref-Erzeugung. Die Ausgänge der zwei Chips werden in Low-Voltage-Positive-Emitter-Coupled-Logic (LVPECL)-Modus betrieben. Da die angeschlossenen Wandler und Transceiver ihre Takteingänge mit einer Bias-Spannung anheben, muss das Taktsignal wechselstromgekoppelt werden. Dafür wird das differenzielle Strom-Signal über zwei 150 Ω Widerstände zur Masse geführt, sodass die Spannung über zwei 100 nF Kapazitäten in die Übertragungsleitung gegeben werden kann. Die Signale sind von identischer Länge, um eine Systemsynchronisierung zu vereinfachen. Die Taktquelle bietet Ausgänge an die FPGA-Platine über den FMC+ und einen Referenztakt für die Hochfrequenzplatine, die auf den Analog-Stecker gelegt ist.

4.6.6 Spannungsversorgung und -überwachung

Die Wandlerelektronik hat über den FMC+-Stecker eine Verbindung zu externen Spannungsquellen der FPGA-Platine mit 1,8 V, 3,3 V und 12 V. Die Industriestandards VITA 57.1 und VITA 57.4 definieren die maximal zulässigen Ströme auf den Versorgungen, wobei die 12 V Versorgung für die Leistungsaufnahme der Schaltung aufgrund der Spezifikation von

0,4 A und 1 A nicht ausreichend ist. Daher werden die meisten internen Spannungen durch einen zusätzlichen 12 V Anschluss extern versorgt. Die Spannungen des FMC+-Steckers werden lediglich für die Übersetzung der Spannungspegel der Logiksignale der Platine mit 3,3 V auf die FPGA-Bankspannung von 1,8 V verwendet (1,8 V Versorgung) und für den Betrieb des I²C-Busses (3,3 V Versorgung). Die 12 V Versorgung wird zunächst mit einem PMOS-Transistor und einer 8 A Sicherung gegen Kurzschluss und Verpolung abgesichert. Zur Entstörung der Spannungsversorgung wird eine Gleichtaktdrossel verwendet, bevor das Potential den Spannungswandlern zugeführt wird. Über die 12 V Versorgung ist eine maximale Leistungsaufnahme von 60 W zu erwarten.

Aus der 12 V Versorgung werden über zwei 7 A Regler 1,85 V abgeleitet, um mit den Linearreglern eine 1,25 V Spannung für die Wandler bereitzustellen. Weiterhin werden je ein 7 A Regler mit 3,8 V für 3,3 V linear-geregelte Spannung und 3,0 V für 2,5 V linear-geregelte Spannung eingesetzt. Für höhere Spannungen werden auf der Platine zwei 2 A Regler mit 6 V und -6 V integriert.

Zur Überwachung der Spannungen sind auf der Platine acht-kanalige AD-Wandler integriert, welche die Spannungspegel der Schaltregler und die linear-geregelten Spannungen der schnellen AD-/DA-Wandler aufzeichnen. Die Wandler und zusätzliche Sensoren messen die Temperatur an verschiedenen Stellen auf der Platine. Die Bauteile zur Überwachung können über den I²C-Bus ausgelesen werden.

4.7 Digitalelektronik

Die Digitalelektronik stellt die Kernkomponente der Datenerfassung dar. Sie verarbeitet mithilfe eines FPGAs die komplexen Basisbänder der DA- und AD-Wandler und bietet Daten- und Konfigurationsschnittstellen für Serversysteme an. Der Einsatz von FPGAs in Software-Defined-Radios ermöglicht eine flexible Anpassung der Signalkonditionierung und -verarbeitung ohne größere Hardwareänderungen auf der Platine. FPGAs eignen sich besonders für eine stark parallelisierte Signalverarbeitung in Echtzeit. Jedoch erfordert die Kalibrierung des Systems Kontrollflussroutinen, die auf einem FPGA nur aufwendig realisierbar sind. System-on-Chips (SoCs) lösen dieses Problem, da sie sowohl einen Prozessor für den Kontrollfluss als auch ein FPGA auf einen Chip integrieren (vergleiche Abschnitt 3.4). Dadurch qualifizieren sich SoCs für den Einsatz in der Digitalelektronik. Die digitale Signalverarbeitung benötigt für die Skalierung (vgl. Abschnitt 5.7) ein größeres FPGA der Xilinx® Zynq Ultra-scale+ Familie wie den ZU11EG-, ZU15EG-, ZU17EG- oder ZU19EG-Chip [86]. Das SoC-FPGA muss über mindestens 24 Hochgeschwindigkeitsleitungen verfügen, die über FMC+ zur Verfügung gestellt werden, um die angeschlossene Wandler-Platine im vollen Funktionsumfang nutzen zu können. Die Platine der Digitalelektronik muss eine Ethernetschnittstelle

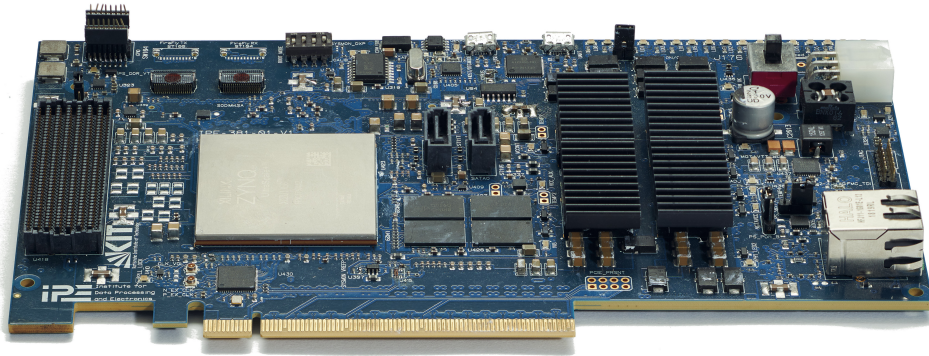


Abbildung 4.8: IPE HiFlex2 Revision 1

zur Kontrolle und Datenerfassung/-übertragung anbieten. Weiter ist sowohl ein DRAM für den Prozessor als auch für die Datenzwischenspeicherung des FPGAs erforderlich (vergleiche Abschnitt 6.3).

Für die Prototyp-Systeme wird eine Xilinx® ZCU102-Evaluationsplatine eingesetzt, welche lediglich zwei FMC-Stecker mit je acht Hochgeschwindigkeitsleitungen anbietet und somit zwei der fünf Wandlerpaare verwenden kann. Für das finale Software-Defined-Radio-System gibt es von verschiedenen Herstellern FPGA-Platinen. Für die ZU11EG-, ZU17EG- und ZU19EG-Variante des FPGAs wird von MicroTCA Technology Lab® das *DAMC-FMC2ZUP* angeboten, welches einen vollbestückten FMC+-Stecker aufweist. Die Platine verwendet den modularen Standard MicroTCA, daher ist sie für die Integration in einem System mit einem einzelnen Board weniger geeignet. Von HighTechGlobal® wird das Board *HTG-Z920* angeboten, welches einen geeigneten Formfaktor aufweist. Das Board muss jedoch, um die notwendige Anzahl von Hochgeschwindigkeitsleitungen aufzubringen, mit einem Adapter ausgestattet werden, der zusätzliche Leitungen des *Z-Ray*-Verbinders auf einen gemeinsamen FMC+-Stecker vereint. Außerdem muss eine Aufsteckkarte für Ethernet und Speichermedien am zweiten FMC-Stecker angeschlossen werden um Netzwerkzugriff zu ermöglichen. Der Einsatz ist so prinzipiell möglich, jedoch ist der Aufbau mit einem weiteren Platinendesign und Zusatzmodulen verbunden. Die Hochgeschwindigkeitsverbindungen müssten zudem mehrere Stecker und Leitungen passieren, wodurch die Signalqualität beeinträchtigt wird. Eine weitere Variante ist der Einsatz eines Module-on-Chips, wie das *Andromeda XZU90* von Enclustra®. Diese Platine erfüllt alle Anforderungen, allerdings wird eine Trägerplatine mit Ethernet und einem FMC+-Stecker benötigt – alternativ ein entsprechender Sockel auf dem AD-/DA-Board, welcher den FMC+-Stecker ersetzt. Da das *Andromeda XZU90* bisher nicht vertrieben wird, kann auf diese Option noch nicht zurückgegriffen werden.

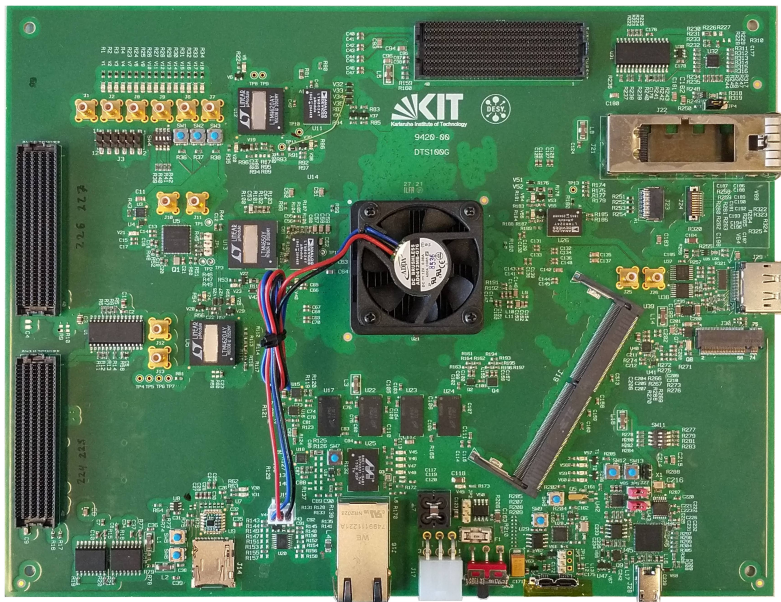


Abbildung 4.9: DESY & IPE DTS100G Revision 1 (Quelle: T. Vanat, DESY)

Da für die Randbedingungen keine kommerziell erhältliche Platine verfügbar ist, beteiligt sich das Projekt an einer eigenen Digitalelektronik: dem am Institut für Prozessdatenverarbeitung und Elektronik (IPE) entwickelten HiFlex2-Board [109]. Dieses Board besitzt einen vollausgestatteten FMC+-Stecker, Ethernet und verschiedene Speicherschnittstellen. Das FPGA-Board kann mit den drei oben genannten, pin-kompatiblen FPGA-Varianten ausgestattet werden. Die Platine ist in Abbildung 4.8 abgebildet; eine genaue Übersicht der Board-Komponenten kann [109] entnommen werden. Weiterhin befindet sich ein bisher unveröffentlichtes System auf Basis des HiFlex2 in Entwicklung. Das sogenannte DTS100G entsteht in Kooperation zwischen dem Forschungszentrum Deutsches Elektronen-Synchrotron (DESY) und dem IPE. Die Platine bietet ebenfalls die erforderlichen Schnittstellen an und kann daher ebenfalls in Betracht gezogen werden (vgl. Abbildung 4.9). Da zum jetzigen Zeitpunkt jedoch keine geeignete Platine für Messungen zur Verfügung steht, werden in den Prototypaufbauten Zynq Ultrascale+ Evaluationsplatinen eingesetzt.

4.8 Hardware-Prototypen

Die Entwicklung der Firmware des FPGAs und der Software des Systems findet weitestgehend parallel zur Hardwareentwicklung statt. Um die Firmwarekomponenten bereits frühzeitig in Messung zu testen, werden zwei im Rahmen dieser Arbeit entwickelte Prototypen eingesetzt.

Beide Prototypen verwenden als Digitalelektronik eine Xilinx® ZCU102 Evaluation-Platine [110]. Diese kann mittels zweier FMC-Buchsen externe Erweiterungsplatinen aufnehmen, wie beispielsweise Evaluationsplatinen für AD- oder DA-Wandler. Weiterhin ist auf der Platine ein SoC integriert, welcher aus der gewählten Xilinx® Ultrascale+ Familie stammt (vgl. Abschnitt 4.7).

Hardware-Prototyp 1

Der erste Prototyp verbindet die FMC-Buchsen mit zwei Evaluationsplatinen von Texas Instruments®. Eine davon, die *ADS54J69EVM*-Platine, integriert einen AD-Wandler vom Typ ADS54J69, der zwei Kanäle mit 16 bit und 500 MHz Abtastrate aufweist [111]. Die Eingänge sind wechselstromgekoppelt und besitzen einen Durchlassbereich zwischen 0,4 MHz und 800 MHz. Der Wandler wird mit dem JESD204B-Protokoll an das FPGA angebunden. Zur Digital-Analog-Wandlung wird eine *DAC38J84EVM*- oder eine *DAC39J84EVM*-Platine verwendet, welche einen DAC38J84 bzw. DAC39J84 DA-Wandler integriert. Beide Typen besitzen vier Ausgangskanäle mit 16 bit, welche 2,5 GHz (DAC38J84) bzw. 2,8 GHz (DAC39J84) maximale Abtastrate aufweisen [112]. Die Kanäle sind ebenfalls wechselstromgekoppelt im Bereich von 50 bis 1000 MHz. Für den Betrieb der Platinen der DA-Wandler ist ein Adapter erforderlich, da das Synchronisationssignal des Wandlers auf die ZCU102-seitig unbestückte HA-Bank des FMC-Steckers (HA08) gelegt ist. Der Adapter legt diese Verbindung auf die LA-Bank (LA08). Der Wandler verwendet ebenfalls das JESD204B-Protokoll für die Datenübertragung. Die Konfiguration beider Wandlerplatinen wird über die USB-Schnittstelle des ZCU102-Boards vorgenommen.

Da die Firmware mit 500 MHz evaluiert werden soll, wird ein entsprechender Wandlertakt benötigt. Um eine rauscharme Taktreferenz von 500 MHz für die Wandlertakte zu erhalten, werden die 122,88 MHz Standard-Quarze mit einem 100 MHz Typ (KVG® VCXO-S665-LF) ersetzt. So kann ein niedrigeres Teilverhältnis mit dem VCO in der Phasenregelschleife erreicht werden. Die PLLs auf den Platinen werden mit einer externen 10 MHz Referenz betrieben. An den Wandlern wird eine direkt-herabsetzende HF-Elektronik angeschlossen. Die Hochfrequenzelektronik ist aus dedizierten Komponenten aufgebaut und setzt MLIQ-0416 I&Q-Mischer von Marki Microwave® ein. Mit den eingesetzten Filtern deckt die Elektronik eine 400 MHz Bandbreite in einem Frequenzbereich zwischen 4 und 8 GHz ab. Zum Betrieb wird ein externer Lokal-Oszillator benötigt (beschrieben in [74]). Dieser Aufbau wird für den Mikrowellen-SQUID-Multiplexer und für den Multiplexer mit dc-SQUIDs eingesetzt. Für die Auslese des Multiplexers mit dc-SQUIDs wird die Hochfrequenzelektronik nicht verwendet (vgl. Kapitel 8).

Hardware-Prototyp 2

Der zweite Prototyp verbindet das ZCU102-Board mit der in diesem Kapitel vorgestellten Wandlerelektronik (vgl. Abschnitt 4.6). Dabei sind die Wandler von zwei der fünf I&Q-Paare bestückt und am FPGA angeschlossen. Die analogen Kanäle der Wandler werden mit dem Analog-Stecker an eine selbstentwickelte Balun-Platine angeschlossen. Diese verwendet *TCM2-33WX+* 1:2 Transformatoren von MiniCircuits®, um die symmetrischen Signale der Wandler mit $100\ \Omega$ Leitungsimpedanz in unsymmetrische Signale (auch Single-Ended-Signale genannt) mit $50\ \Omega$ zu transformieren (vgl. Abbildung A.3). Die unsymmetrischen Signale werden auf SMA-Stecker gelegt, sodass konventionelle Messgeräte für die Charakterisierung verwendet werden können. Die Balun-Platine ist symmetrisch aufgebaut, damit zwei Balun-Platinen mit männlichem und weiblichem Stecker zur Charakterisierung verbunden werden können. Die S-Parameter des Verbunds dienen zur Korrektur der Charakterisierungsmessungen der anderen Platinen. Der zweite Prototyp setzt die integrierte Hochfrequenzelektronik ein. Diese vereint Komponenten wie Mischer, Filter, Verstärker und Frequenzgeneratoren auf einer gemeinsamen Platine und setzt das zweistufige Mischkonzept um (vgl. Abschnitt 4.5 und [Gar22]). Dieser zweite Prototyp wird verwendet, um das Konzept in Abschnitt 4.4 zu evaluieren.

4.9 Zusammenfassung

Für die Auslese von Mikrowellen-SQUID-Multiplexern können SDR-Systeme eingesetzt werden. Ein SDR-System besitzt einen Analogteil mit Mischerelektronik, eine Wandlerelektronik und eine Digitalelektronik. Die digitale Signalverarbeitung wie die Modulationsarten und die Algorithmen sind durch die Verwendung von FPGAs anpassbar auf die Anwendung. SDR-Systeme werden bereits für die Auslese von kryogenen Sensoren verwendet. Bisherige Systeme sind allerdings durch ihre niedrige Echtzeitbandbreite und die verwendete Firmware nicht für die Auslese des ECHO-Experiments verwendbar. Daher ist eine Neuentwicklung nach ECHO-Vorgaben erforderlich. Auf Grundlage dieser Anforderungen wurde ein Konzept vorgestellt, welches die benötigte Bandbreite von 4 GHz in fünf Unterspektren aufteilt und dazu fünf I&Q-Paare verwendet. Für die Realisierung des Konzepts soll ein zweistufiger Überlagerungsmischer eingesetzt werden. Zur breitbandigen AD- und DA-Wandlung ist die im Rahmen dieser Arbeit entwickelte Wandlerelektronik vorgestellt worden. Diese dient als Schnittstelle zwischen der Hochfrequenzelektronik und der Digitalelektronik. In der Digitalelektronik wird ein SoC zur Konfiguration und der parallelisierten Datenverarbeitung der Basisbänder eingesetzt. Um die einzelnen Komponenten der Auslese noch vor der Fertigstellung des Gesamtsystems zu testen, werden zwei Prototypen eingesetzt. Diese dienen insbesondere zur Evaluierung der digitalen Signalverarbeitung.

5 Digitale Signalverarbeitung

Die Verarbeitung der Signale des Mikrowellen-SQUID-Multiplexers und die der Mikrokalorimeter wird in der Digitalelektronik realisiert. Es müssen hierfür beispielsweise die Anregungssignale generiert und mittels mehrerer Filterstufen die einzelnen Kanäle voneinander getrennt werden. Diese Berechnungen werden innerhalb der programmierbaren Logik bzw. FPGA der Digitalelektronik durchgeführt. In der FPGA-Firmware des Auslesesystems können zudem weitere Algorithmen wie die I&Q-Korrektur, die Demodulation der Flussrampen-Modulation und die Erkennung von Sensorereignissen integriert werden. Diese Algorithmen werden in diesem Kapitel vorgestellt und im Hinblick auf die breitbandige Auslese für ECHO der Ressourcenbedarf und die Skalierbarkeit diskutiert.

5.1 Firmwareübersicht der Prototypsysteme

Als Hardware-Plattform für die Auslese stehen zwei verschiedene Prototypen zur Verfügung (vgl. Abschnitt 4.8). Neben der Anzahl von ADCs und DACs unterscheiden sich die beiden Prototypen auch in der Bandbreite des Basisbands. Daher sind für die Plattformen unterschiedliche Firmwarevarianten erforderlich. Die Firmware des zweiten Prototyps deckt eine größere Bandbreite ab und ist maßgeblich eine Hochskalierung der ersten Firmwarevariante, welche zuerst beschrieben wird.

Die Firmware der zwei Prototypen ist in einen Sendeteil und in einen Empfangsteil organisiert (vgl. Abbildung 5.1). Der Empfangsteil ist an den JESD204-Modulen des ADCs angeschlossen. Aus dem JESD204-Modul werden pro Taktzyklus vier Abtastwerte des Wandlers parallel ausgegeben. Nach der Umsetzung des parallelen Datenstroms der Abtastwerte in einen seriellen Datenstrom durch den Interleaver gelangen die Abtastwerte in die Signalverarbeitungskette. Diese kann eine komplexe Bandbreite von maximal 500 MHz verarbeiten. In der Kette werden die Kanäle im Eingangsspektrum zunächst grob durch zwei Polyphasen-Kanalierer aufgeteilt und danach deren Amplitude in der Mehrkanal-DDC demoduliert (vgl. Abschnitt 5.3.3 und Abschnitt 5.3.4). Zwischen den beiden Modulen kann eine Korrektur der I&Q-Imbalance erfolgen (vgl. Abschnitt 5.4). Das zugehörige Modul ist jedoch aus Ressourcengründen nicht

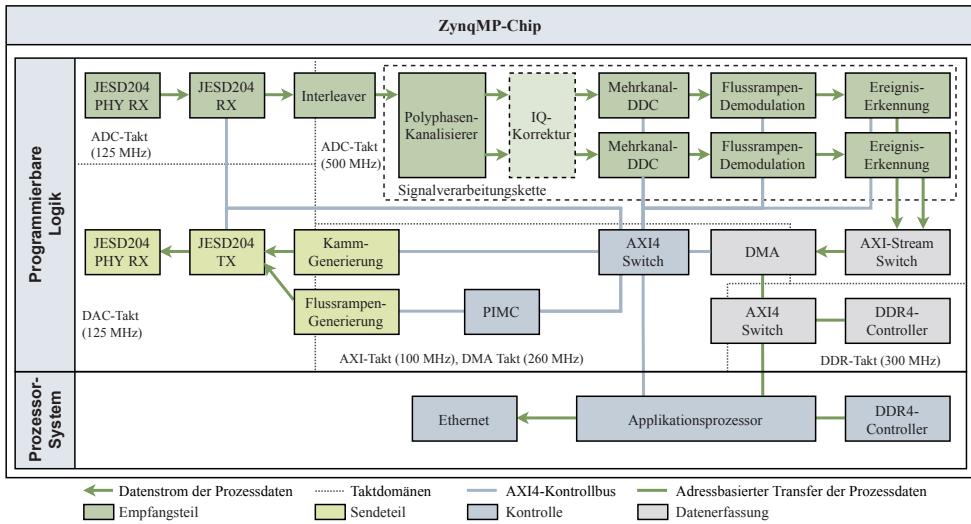


Abbildung 5.1: Übersicht Firmware des ersten Firmwareprototyps zur Mikrowellen-SQUID-Auslese von MMCs. Das System verwendet mit 500 MHz getaktete Wandler.

integriert. Der Polyphasen-Kanalisiierer trennt den Datenstrom in zwei Datenströme, die jeweils nach einem Time-Division-Multiplex-Schema (TDM) in jedem Taktzyklus einen anderen Kanal transportieren. Die Signale werden nach dem Passieren des Kanalisiierers von zwei Unterketten weiterverarbeitet; sie durchlaufen nach der Amplitudendemodulation die Flussrampen-Demodulation, um das Sensorsignal aus den modulierten SQUID-Signalen zu erhalten (vgl. Abschnitt 5.5). Danach werden die Sensorpulse durch die Ereignis-Erkennung detektiert und zwischengespeichert. Die Ereignis-Erkennung ist an den Modulen zur Datenerfassung angeschlossen, die separat in Kapitel 6 behandelt werden.

Im Sendepfad werden zwei Signale in zwei Modulen erzeugt. Das Modul zur Kamm-Generierung erzeugt das I&Q-Signal des Frequenzkamms für die Ausleseresonatoren. Das zweite Modul erzeugt das Flussrampensignal für die SQUIDs. Beide Module verwenden die Implementierung aus Abschnitt 5.2.1. Diese kann mehrere Abtastwerte gleichzeitig erzeugen, sodass kein Deinterleaving notwendig ist. Die Signale beider Module werden vereint und an die JESD204-Module des DAC weitergegeben. Alle zur Laufzeit konfigurierbaren Firmwaremodule sind über einen AXI4-Lite-Bus an das Hauptprozessorsystem angeschlossen (vgl. Abschnitt 3.4.2). Die Firmware beinhaltet zusätzlich ein Modul, welches Informationen über die Plattform und Steuerungsmöglichkeiten anbietet, den Platform Information and Management Core (PIMC).

Im Unterschied zum ersten Prototyp werden im zweiten Prototyp auf der Empfangsseite die Wandler mit einer Abtastfrequenz von 1 GHz betrieben. In der Firmware wird eines der zwei

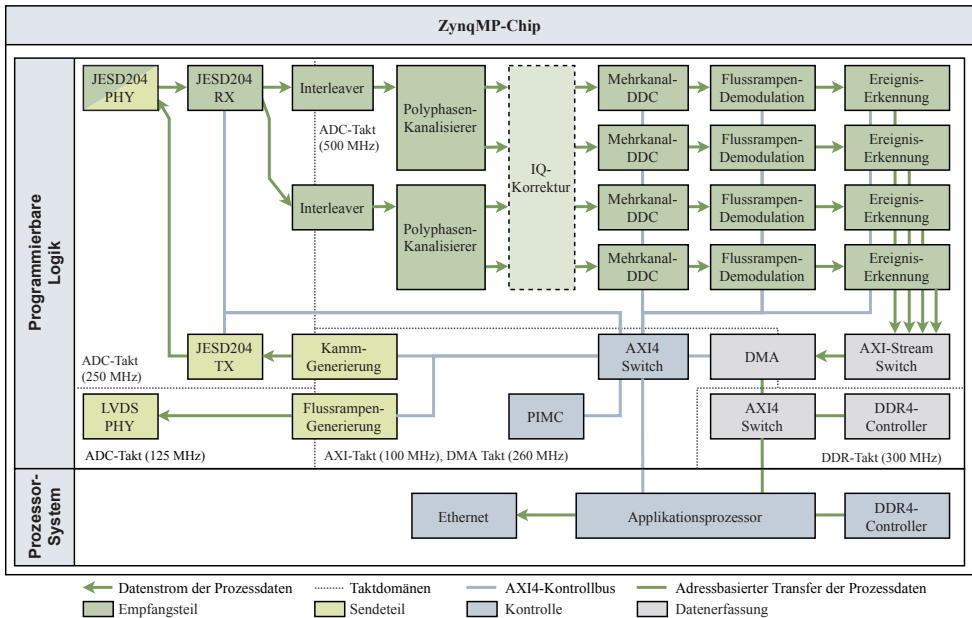


Abbildung 5.2: Übersicht Firmware des zweiten Prototyps mit 1 GHz Wandlern, unter Verwendung einer im AD-Wandler integrierten DDC.

verfügbaren I&Q-Paare angebunden (vgl. Abbildung 5.2). Der AD-Wandler trennt das Eingangsspektrum in ein oberes und ein unteres Seitenband mit jeweils 500 MHz Abtastrate. Dadurch kann das Eingangssignal nach dem JESD204-Modul auf zwei Signalverarbeitungsketten verteilt werden. Die Module der Signalverarbeitungsketten bleiben unverändert, jedoch ändert sich durch die Einbeziehung der DDCs im ADC der Demultiplex geringfügig. Die Filterkaskade (inklusive des ADCs) ist in Abbildung 5.4 gezeigt. Auf der Sendeseite wird für den Frequenzkamm ebenfalls eine höhere Abtastrate benötigt, daher wird das Modul zur Erzeugung größer dimensioniert. Weiterhin bietet der zweite Prototyp einen zusätzlichen Wandler für das Flussrampensignal an. Das Signal wird durch einen linearen Signalgenerator erzeugt (vgl. Abschnitt 5.2.2). Die generierten Signale werden nach einer Serialisierung (LVDS-PHY) über Low-Voltage-Differential-Signaling (LVDS) zum separaten Wandler gegeben (vgl. Abschnitt 4.6.4).

Der Multiplexer und die Signaleigenschaften für das ECHO-Experiment sind bisher nicht final spezifiziert. Aus diesem Grund werden die Module weitestgehend parametrierbar entworfen, somit kann im Verlauf der weiteren Entwicklung die Firmware an die Anforderungen angepasst werden.

5.2 Generierung der Anregungssignale

Zur Auslese des Mikrowellen-SQUID-Multiplexers müssen einerseits die Auslesefrequenzen generiert werden (siehe Abschnitt 2.3.3), andererseits das Signal zur Flussmodulation der rf-SQUIDs erzeugt werden (vgl. Abschnitt 2.3.4). Dieser Abschnitt stellt die Module zur Erzeugung beider Signale vor.

5.2.1 Frequenzkamm

Die Erzeugung der Auslesefrequenzen findet im komplexen Basisband statt. Für den gewählten Resonatorenabstand sind bei 800 MHz komplexe Bandbreite 80 Auslesetöne erforderlich. Die Auslesetöne können durch konventionelle numerisch kontrollierbarer Oszillator (NCO)-Algorithmen wie die DDS [81, 82], instabile Filter [113] oder den Coordinate-Rotation-Digital-Computer (CORDIC) [114, 82] generiert werden. Diese Methoden müssen durch die hohe Abtastfrequenz meist mehrfach implementiert werden oder benötigen zusätzliche Interpolationsfilter, sodass sie im TDM-Modus betrieben werden können. Da für die Signalverarbeitung vorerst nicht vorgesehen ist, die Frequenz zur Laufzeit zu ändern, kann auch auf eine statische Lösung zurückgegriffen werden. Es kann daher alternativ zu den o.g. Algorithmen die Überlagerung der komplexwertigen Auslesetöne mit den gewünschten Parametern in einen Speicherbereich abgelegt werden. Dieser Speicherbereich wird nach der Konfiguration zyklisch an den DA-Wandler weitergegeben. Die erreichbare Frequenzauflösung hängt von der Anzahl an speicherbaren Abtastwerten ab:

$$\Delta f = \frac{f_s}{N} \quad (5.1)$$

Der Kernbestandteil der Implementierung ist ein asynchroner Zweiport-Block-RAM (BRAM). Dieser besitzt einen Port, welcher mit der AXI4-Lite-Schnittstelle verbunden ist und mit dem AXI4-Lite-Takt betrieben wird. Über diesen Port kann der Speicher beschrieben werden. Dabei ist der Zugriff auf den Speicher nicht addressbasiert; die Daten werden zu einer gleichbleibenden Adresse der AXI4-Lite-Schnittstelle geschrieben und der Speicher sequenziell mit den 32 bit Datenworten gefüllt. Der zweite Port des BRAMs ist an der Taktdomäne des DACs angeschlossen. Dieser Port kann eine größere Datenbreite als 32 bit aufweisen und gibt mehrere Abtastwerte gleichzeitig an den DAC weiter. Die Abtastwerte sind bei beiden Prototypen 16 bit breit. Der Abspielvorgang wird über Zähler und einen Zustandsautomaten realisiert. Durch die Wahl einer Start- sowie einer Endadresse, kann der Abspielbereich im Speicher gewählt werden kann. Die Konfigurationswerte des Moduls (*Generics*) können zum Teil über die AXI4-Schnittstelle abgerufen werden, sodass der zugehörige Treiber das Modul ohne

weitere Konfiguration in Betrieb nehmen kann. Das Modul benötigt hauptsächlich Speicher als Ressourcen, wie Tabelle 5.1 entnommen werden kann. Die Ausgabe des Moduls an den DA-Wandler sind acht parallele Abtastwerte mit 16 bit Auflösung, wobei davon je vier für I- und Q-Kanal sind.

Der Speicher wird von Treiberseite her mit Sinus- und Kosinuswerten beschrieben. Die Funktionswerte werden in Software generiert; der Phasenversatz, das Funktionsoffset und das Amplitudenverhältnis können somit beliebig gewählt werden. Daher erfüllt diese Art der Signalgenerierung auch die Anforderung der sendeseitigen I&Q-Korrektur (vgl. Abschnitt 3.2.2). Mittels eines externen Spektrum-Analysators kann dann eine iterative Anpassung der Phase und Amplitude zwischen den I&Q-Komponenten erfolgen, wie sie in [74] und Kapitel 7 durchgeführt wird. Außerdem kann durch die Wahl des Offsets der beiden Signale bei vorhandener Gleichstromkopplung die Unterdrückung der Mischerreferenzfrequenz optimiert werden [115, 74].

CLB LUT	CLB Register	BRAM	DSP
530	576	32	–

Tabelle 5.1: Ressourcenbedarf komplexwertigen Frequenzkammgenerierung für 32 kSample mit einer maximalen Auflösung von etwa 30,52 kHz bei einem Abtasttakt von 1 GHz (VHDL Generics: SLICES=8192, OCTETS_PER_CLK=16).

5.2.2 Flussrampensignal

Die Flussrampenmodulation erfordert ein linear ansteigendes oder abfallendes Signal, so dass die rf-SQUIDS ein sinusartiges Ausgangssignal mit konstanter Frequenz liefern (siehe Abschnitt 2.3.4). Das Firmwaremodul soll Sägezahn- und Dreieckssignale erzeugen können. Diese Funktionen sind abschnittsweise linear und können mittels einfacher Zähler ressourcenschonend erzeugt werden. Dabei benötigt das Sägezahnsignal einen Iterationswert und eine Rücksetzfunktion. Das Dreieckssignal benötigt einen steigenden und einen fallenden Iterationswert.

Das implementierte Firmwaremodul unterstützt bis zu vier lineare Abschnitte. Für die Generierung der Dreiecks- und der Sägezahnsignale werden für gewöhnlich nur zwei Abschnitte benötigt. Die linearen Abschnitte werden über Register definiert und mithilfe eines Zustandsautomaten (siehe Abbildung 5.3) nacheinander in ein Signal umgesetzt. Der erste Zustand (`reload`) lädt den Startwert des Signals und erzeugt einen Synchronisationspuls an einem Ausgangssignal, welcher an die Demodulationsmodule weitergegeben wird (beschrieben in Abschnitt 5.5). Danach wechselt der Zustand zur ersten Rampe (`ramp0`) und erhöht den

Zähler mit der gegebenen Steigung. Anschließend wechselt der Zustand entweder zu einem Haltezustand (`hold0`), bei dem der Ausgangswert gehalten wird, zur nächsten Rampe (`ramp1`) oder zurück zum ersten Zustand (`reload`). Der Haltezustand wechselt entweder zum ersten Zustand oder zur nächsten Rampe. Diese Logik setzt sich bis zum vierten Zustand (`ramp3`) fort. Nach dem vierten Zustand kehrt der Automat stets in den ersten Zustand zurück. Der Reset-Zustand ist gleichzeitig auch der erste Zustand. Es kann eine größere Zählerbreite (standardmäßig 24 bit) als Datenbreite (standardmäßig 16 bit Standard) gewählt werden, sodass feinere Gradienten unterstützt werden können. Der Zähler wird ohne vorige Rundung zugeschnitten. Die maximale Breite beider Parameter ist 32 bit; für die Standardwerte sind die benötigten Ressourcen in Tabelle 5.2 gegeben.

Flussrampenfrequenzen liegen meist im Bereich zwischen 50 kHz und 1 MHz. Das Modul wird mit 125 MHz betrieben und das Ausgangssignal kann durch den verwendeten Wandler weiter interpoliert werden [108]. An dieser Stelle ist zu erwähnen, dass der ersten Prototyp den gleichen DAC wie jener der Kammgenerierung verwendet. Die Wandler in diesem Prototypen verfügen über eine Wechselstrom-Kopplung mit Transformatoren, welche das Signal verzerren. Daher wird für die Flussrampe im ersten Prototyp das Wiedergabemodul aus Abschnitt 5.2.1 verwendet, in das zur Kompensation ein vorverzerrtes Rampensignal geladen wird.

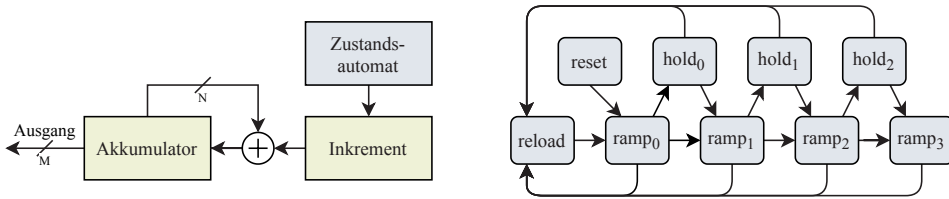


Abbildung 5.3: Übersicht des Flussrampengenerators und Zustandsautomaten

CLB LUT	CLB Register	BRAM	DSP
585	1244	–	–

Tabelle 5.2: Ressourcenbedarf Flussrampengenerierung für eine Zählerbreite N von 24 bit und Datenbreite M von 16 bit (VHDL Generics: `G_COUNTER_WIDTH=24`, `G_DATAWIDTH=16`).

5.3 Frequenzdemultiplex-Kaskade

Die modulierten Trägersignale des Mikrowellen-SQUID-Multiplexers können durch Filter in die Einzelkanäle getrennt und demoduliert werden. Eine Kaskade von mehreren Filterstufen

ermöglicht dabei die Trennung effizient zu gestalten. In diesem Kapitel wird zunächst ein Überblick über die Kaskade gegeben und im Anschluss auf die einzelnen Stufen eingegangen.

5.3.1 Struktur der Filterkaskade

Nach dem Separieren der Auslesebandbreite durch die Hochfrequenzelektronik und der Verteilung auf verschiedene ADCs erfolgt die Kanalisierung der 800 MHz-Bänder in der Digital-elektronik. In der ersten Machbarkeitsstudie [Weg18b] für das System wurde eine DDC pro Kanal verwendet um die Kanäle zu demodulieren. Verfahren mit direkter Mischung der Einzelkanäle können verbessert werden, indem mehrere DDCs mit anschließender Unterabtastung gestaffelt werden. Jedoch sind beide Realisierungsvarianten mit DDCs weniger effizient skalierbar im Vergleich zu Polyphasen-Filterbänke mit FFTs [116, 117, 118]. Daher werden diese Verfahren bereits für Systeme mit MKID [119] und mit TES [98] eingesetzt. Die Polyphasen-Filterbänke mit FFTs oder auch Polyphasen-Kanalisierer [77] sind eine geeignete Methode für die erste, grobe Auftrennung des Eingangssignals und eine Unterabtastung des Signals. Die Effizienz der Verarbeitungskette kann durch die Unterabtastung gesteigert werden, da im Anschluss ein Zeitmultiplex (TDM) verwendet werden kann. Dieses Verfahren wird daher im Folgenden auch für das ECHO-System eingesetzt. Um zu vermeiden, dass durch die hohe Abtastrate Abtastwerte parallel verarbeitet werden müssen, wird jedoch das Eingangsspektrum zunächst in zwei Teilbänder aufgeteilt und die Abtastfrequenz halbiert. Im Anschluss an die grobe Auftrennung durch den Kanalisierer können die Kanäle fein separiert werden. Aus diesen Methoden wird eine Kaskade konzipiert, die in Abbildung 5.4 gezeigt ist [Kar20].

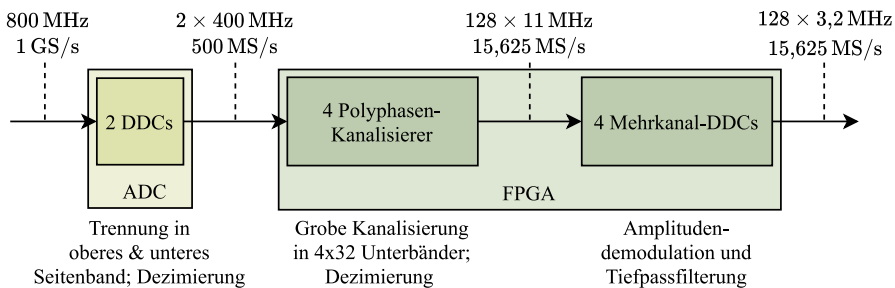


Abbildung 5.4: Übersicht Frequenzdemultiplex-Kaskade

Die erste Stufe, eine digitale Herabkonvertierung (DDC), wird auf dem ADC-Chip berechnet. Zwei On-Chip-DDCs trennen das Eingangsspektrum in 400 MHz-Bänder und dezimieren die Samplingrate von 1 GHz auf 500 MHz. Die folgenden Stufen sind auf dem FPGA implementiert. In der zweiten Stufe wird zunächst jedes Band dupliziert – eines wird in der

Frequenz verschoben, das andere wird durch Register verzögert um die Latenz der Frequenzverschiebung auszugleichen. Diese Duplizierung ist erforderlich, um die blinden Intervalle des Polyphasen-Kanalisierters abzudecken (siehe Abschnitt 5.3.3). Auf jedes der Bänder mit 400 MHz werden zwei 32-Band-Polyphasen-Kanalisierters angewendet: in Summe zwei für das verzögerte und zwei für das gemischte Spektrum. Dadurch wird das 400 MHz-Bandpaar in 128 äquidistante Unterbänder mit einer Abtastrate von 15,625 MHz aufgeteilt. Ein resultierendes Teilband enthält etwa einen Resonator kanal, der in einem nächsten Schritt mit einer DDC amplitudendemoduliert wird. Durch die Kanalisierung verringert sich die Abtastrate um den Faktor 32; es resultiert eine Abtastrate von 15,625 MHz. Die geringe Abtastrate erlaubt in den folgenden Modulen, wie der DDC, ein Zeitmultiplex-Schema. Nach diesem wird die Berechnung von 32 Kanälen innerhalb einer Abtastzeitdauer und somit immer noch in Echtzeit durchgeführt. Durch die Verwendung der gleichen Logik für mehrere Kanäle können FPGA-Ressourcen eingespart werden.

5.3.2 Digitale Herabkonvertierung im AD-Wandler

Der verwendete ADC-Chip integriert vier DDCs, die entweder reell oder komplex mit einem oder beiden ADC-Eingängen zusammenarbeiten [107]. Der NCO basiert auf einer DDS. Die Akkumulatorbreite ist im Datenblatt mit 12 bit angegeben; es kann somit bei 1 GHz Abtastrate eine Frequenzauflösung von etwa 244 kHz erreicht werden. Die anderen Wortbreiten der DDS werden nicht angegeben, lediglich die maximal erreichbare SFDR von -102 dBc und die Alias-Unterdrückung der DDC von >100 dB. Daher ist davon auszugehen, dass kein Zuschnitt des Akkumulatorworts erfolgt um die angegebene Alias-Rejection zu erreichen, sollte die Bitbreite im Bereich 16 bit liegen. Die DDC integriert eine Kaskade aus vier Halbband-FIR-Filtern mit einer maximalen Unterabtastung insgesamt um Faktor 16. Werden zwei DDCs verwendet mit einer Unterabtastung von zwei, ermöglicht das Filter einen 63,3 dB Alias-Schutz bei 400 MHz und >100 dB Alias-Schutz bei 385 MHz. Für die Kaskade werden die ersten beiden DDCs auf Frequenzen von etwa ± 200 MHz eingestellt, sodass das positive und negative Seitenband zwischen 0 und 400 MHz bzw. von -400 bis 0 MHz abgedeckt ist.

5.3.3 Polyphasen-Kanalisierters

Die vom ADC übertragenen Seitenbänder werden zunächst durch einen Polyphasen-Kanalisierters grob gefiltert. Es handelt sich dabei eine Filterbank, die es ermöglicht aus einem Eingangssignal äquidistante Bandpass-Bänder zu filtern, zu dezimieren und in das Basisband zu verschieben. Das Verfahren wird in den Grundlagen Abschnitt 3.3.2 beschrieben. Prinzipbedingt weist das Filter zwischen den Unterbändern blinde Intervalle auf, in denen das Signal

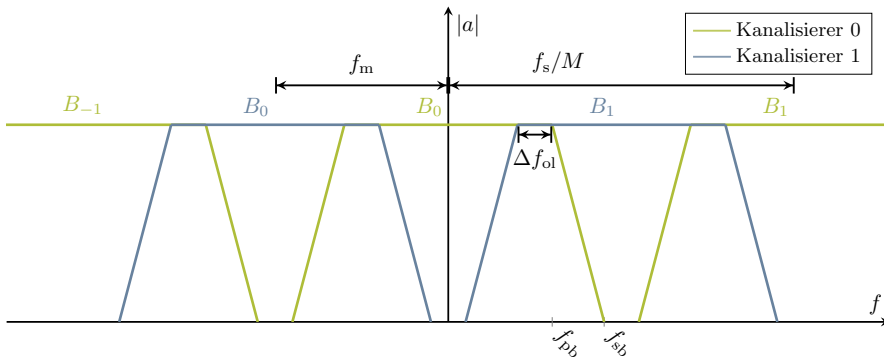


Abbildung 5.5: Veranschaulichung der Parameter zur Spezifikation der Kombination aus zwei Kanalisierern

weitestgehend unterdrückt ist, um Aliasing zwischen den Bändern zu vermeiden. Ein Überlapp der groben Unterbänder kann durch die Berechnung eines zweiten Filters erfolgen. Dazu wird das Signal in zwei Pfade dupliziert, wobei eines durch eine Mischung ohne anschließende Filterung im Frequenzraum verschoben wird. Danach werden zwei Filter berechnet, wobei sich die Unterbänder durch die Verschiebung abwechseln und überlappen (vgl. Abbildung 5.5).

Zur Dimensionierung der groben Kanalisierung müssen Dezimierungsfaktor M , Sperrbanddämpfung a_{sb} , der Überlapp f_{ol} , Durchlassband f_{pb} sowie Stoppsband f_{sb} definiert werden. Dabei sind f_s/M der Unterbandabstand und $f_m = f_s/2M$ die Mischfrequenz für den zweiten Kanalisierer. Aus den ECHO-Anforderungen kann die Überlappung von 1 – 3,2 MHz abgeleitet werden, wobei ein Wert nahe der oberen Grenze angestrebt wird. Aus der Überlappung ergeben sich gleichzeitig die Werte für das Durchlassband des Filters. Die Sperrbanddämpfung wird nicht vorgegeben, doch es sollte ein hoher Wert angestrebt werden, um Rauschen und Störfrequenzen anderer Bänder zu unterdrücken. Als Dezimierung M ist ein hoher Wert ebenfalls von Vorteil, sodass in den folgenden Modulen ein größerer TDM-Faktor möglich ist; es werden daher für M die Faktoren 32 und 64 näher betrachtet. Für die Auswahl der Parameter und die Dezimierung bzw. die Anzahl der Unterbänder des Polyphasen-Kanalisierers wird für den Entwurfsraum eine Ressourcenanalyse durchgeführt; das Resultat der verwendeten DSP-Einheiten ist in Abbildung 5.6 gezeigt. Hierbei wird eine Tschebyscheff-Filterantwort verwendet und eine Variante mit 32 und 64 Unterbändern berechnet. Der erhöhte Ressourcenverbrauch der Variante mit 64 Kanälen muss vor dem Hintergrund gesehen werden, dass die höhere Unterabtastung den Ressourcenbedarf in der folgenden Kette potenziell halbiert. Während für kleineren Werte des Überlapps beide Dezimierungen als Lösung darstellbar sind, steigt für einen größeren Überlapp beim Dezimierungsfaktor von 64 der Ressourcenbedarf sehr stark an. Für einen Bereich bis 3,2 MHz Überlapp kann diese Lösung durch die schmalbandigen Unterbänder nicht verwendet werden. Es wird daher der Dezimierungsfaktor $M = 32$ gewählt.

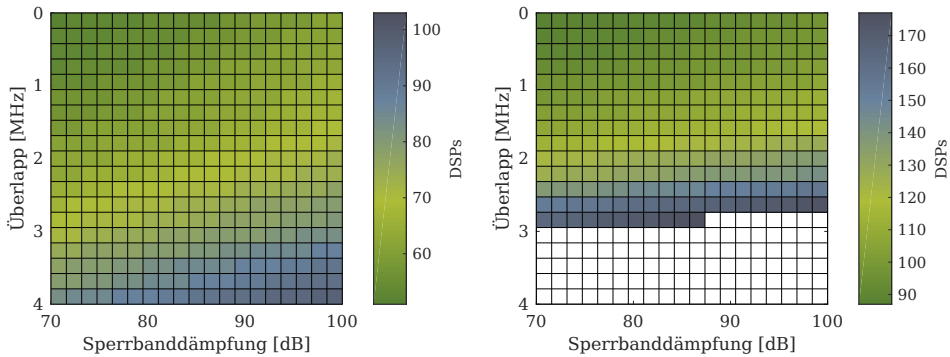


Abbildung 5.6: Entwurfsraum und Ressourcenbedarf des Polyphasen-Kanaliserers mit verschiedenen Werten für Stopbandunterdrückung a_{sb} und Überlapp f_{ol} . Dabei wird links die Anzahl von Unterbändern auf 32 und rechts auf 64 gewählt. Die weißen Felder bedeuten, dass kein Filter unter 2000er Ordnung möglich oder kein Filter realisierbar ist. Die Anzahl von DSPs spiegelt die der ganzen Struktur mit vier Filtern wider.

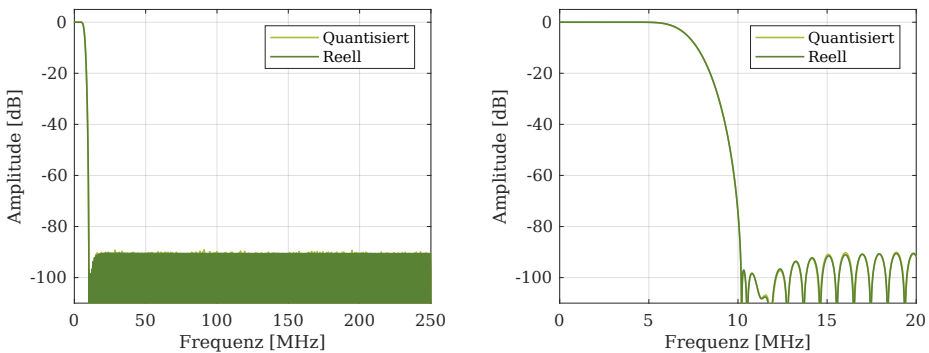


Abbildung 5.7: Frequenzgang des Filters für Fließkomma-Koeffizienten und Quantisierung auf 18 bit (links) und ein vergrößerter Ausschnitt des Durchlassbands (rechts).

Aus dem Entwurfsraum wird ein Filter für $f_{ol} = 3,18$ MHz gewählt, der eine Koeffizientenbreite von 18 bit aufweist. Das Stopband beginnt bei 10 MHz und dämpft um 89 dB, während die Durchlassbandfrequenz auf 5,5 MHz festgelegt ist mit $-0,2$ dB Dämpfung an der Bandkante. Das Filter benötigt 512 Koeffizienten und kann somit mit 16 DSPs implementiert werden. Der Frequenzgang des FIR-Filters ist in Abbildung 5.7 gezeigt und die Überlappung dreier Unterbänder ist in Abbildung 5.8 dargestellt.

Die Polyphasen-Kanaliserer-Struktur ist im FPGA durch mehrere Module realisiert und in Abbildung 5.9 gezeigt. Das erste Modul in der Kette dupliziert das Signal der AD-Wandler und mischt eines der Signale mit einer festen internen Frequenz. Die Frequenz der Spektrumstranslation ist abhängig von der Anzahl von Unterbänder des Kanaliserers und ist im

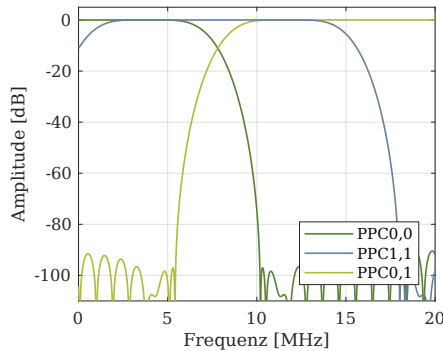


Abbildung 5.8: Überlappung zweier Polyphasen-Kanaliser: Es sind drei benachbarte Kanäle gezeigt. PPC0,0 und PPC0,1 sind die zwei ersten Kanäle des ersten Kanalisers, PPC1,1 ist der zweite Kanal aus dem verschobenen Kanaliser.

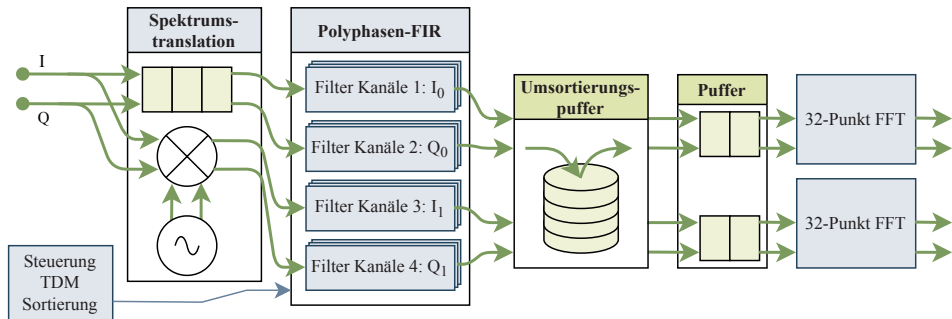


Abbildung 5.9: Übersicht des Polyphasen-Kanalisers

Fall von $M=32$ eine Frequenz von 7,8125 MHz. Für das kontinuierliche Signal der ADCs wird ein Synchronisierungspuls gebildet. Dieser Puls wird nach einem Reset zu jedem M -ten Abtastwert ausgegeben und markiert das Ende des späteren TDMs, welches aus dem Kanaliser ausgegeben wird. Zusammen mit den Daten aus der Spektrumstranslation wird das Signal an vier Polyphasen-Filter übergeben. Das Filter ist mit dem Xilinx® FIR-Compiler [78] implementiert, weist eine Eingangsbitbreite von 16 bit auf und verarbeitet einen Abtastwert pro Taktzyklus. Es wird als Mehrkanalfilter mit 16 Koeffizienten einer Breite von 18 bit und zyklischen Koeffizientensätzen definiert. Der Kommutator aus der Theorie ist implizit durch die sequenzielle Verarbeitung mehrere Kanäle im Filter gegeben. Abhängig vom aktuellen Unterfilter wird das Set aus Koeffizienten gewechselt. Der Wechsel wird zu Beginn über die Konfigurationsschnittstelle des Filters eingestellt. Die Ausgangsbitbreite wird auf ebenfalls 16 bit gewählt. Der AD-Wandler erreicht bei 1 GHz Abtastfrequenz mit einem Signal ein Signal-zu-Rausch-Verhältnis von maximal 65,2 dB [107]; dies entspricht einem ENOB von 10,5 bit. Der Überabtastfaktor (OSR) beträgt 64 und führt zu einem maximalen SNR-Gewinn

von $\frac{1}{2} \log_2 \text{OSR} = 3$ bit [39]. Die Bitbreite von 16 bit ist somit für die weitere Verarbeitung ausreichend um das SNR von 13,5 bit abzubilden.

Das Ausgangssignal wird in einen Stack-Puffer gegeben, der die Abtastwertreihenfolge umkehrt. Nach einem kleinen FIFO-Puffer werden die Werte an zwei pipelined¹ 32-Punkt-Fouriertransformationen von Xilinx® übergeben [120]. Der Zwischenpuffer vor den FFTs umfasst nur zwei Werte und ist notwendig, da der FFT-IP-Core von Xilinx® zu Beginn der Verarbeitung den Datenstrom über einen Abtastwert hinweg blockiert. Das Modul wird mit einer Taktfrequenz von 500 MHz betrieben; der Ressourcenbedarf ist in Tabelle 5.3 gezeigt.

	CLB LUT	CLB Register	BRAM	DSP
Spektrumstranlation	138	220	0,5	3
Polyphasen-Kanaliserer	3912	6179	–	80
Gesamt	4050	6399	0,5	83

Tabelle 5.3: Ressourcenbedarf des Polyphasen-Kanaliserers: Gezeigt sind die Ressourcen der Spektrumstranlation und die Ressourcen der anderen Module (vier FIR-Filter, Puffer und zwei FFTs).

5.3.4 Mehrkanal-Herabkonvertierung

Nach der groben Trennung der Frequenzbänder im Polyphasen-Kanaliserer werden die Signale mittels einer digitalen Herabkonvertierung (DDC) demoduliert. Die Demodulation arbeitet mit einer Abtastrate von 15,625 MHz. Die niedrige Frequenz ermöglicht mehrere Kanäle im Zeitmultiplex zu verarbeiten. Auf Basis der Theorie im Abschnitt 3.3.3 wurde eine Variante bestehend aus einem Mehrkanal-NCO, einem komplexen Mischer und einem Mehrkanal-FIR-Filter entwickelt. Die Übersicht ist in Abbildung 5.10 gezeigt. Die Einzelkomponenten können vor der Synthese über VHDL-Generics oder zur Laufzeit über eine AXI4-lite Schnittstelle konfiguriert werden.

Der NCO weist drei Ringpuffer auf: die ersten beiden beinhalten die Phasen- und Frequenzkonfigurationswerte der Kanäle, der andere die Akkumulatorwerte. Die Werte in den Ringpuffern werden synchronisiert mit dem AXI-Ausgabe-Stream für jeden Taktzyklus um eine Stelle verschoben. Die Konfigurationswerte können über die AXI4-Lite-Schnittstelle der DDC eingegeben werden. Die Werte werden dort in einen AXI-Stream umgesetzt und in das Modul geladen.

¹ Kontinuierliche Verarbeitung der Eingangswerte, ohne dass der Eingangsdatenstrom angehalten werden muss.

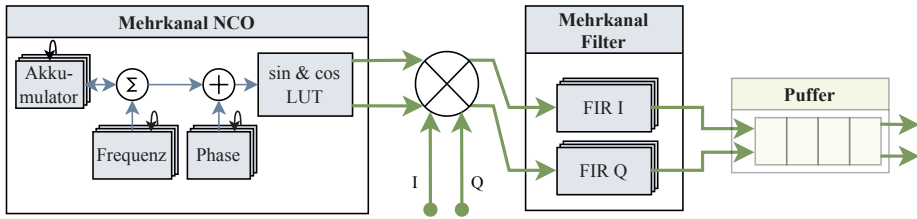


Abbildung 5.10: Übersicht mehrkanalige digitale Herabkonvertierung; der zusätzliche Puffer wird bei der Dezimierung der Ausgangsdaten aktiviert.

Die LUT des NCOs wird im FPGA mit BRAM realisiert. Der auf dem FPGA verfügbare BRAM besitzt zwei Ports mit flexibler Adress- und Datenbreite [89]. Aus beiden Ports kann unabhängig voneinander gelesen werden. Aus dem Block-RAM müssen in jedem Zyklus zwei Werte ausgelesen werden (I_n , Q_n). Sowohl I_n als auch Q_n sind Werte einer Sinusfunktion, im Falle von Q um $-\frac{\pi}{2}$ verschoben. Beim Sinus handelt es sich um eine periodische Funktion. Eine Schwingung des Sinus kann in vier Teile zerlegt werden. Jeder dieser Teile ist überführbar in einen anderen. So ist beispielsweise der erste Teil der Periode der dritte Teil mit negativen Vorzeichen. Der erste Teil ist der zweite mit einem invertierten Index. Mithilfe dieser Symmetrie kann der Speicherbedarf um 75 % reduziert werden [82]. Falls neben einem ersten Quadratursignal ein zweites generiert werden soll, beispielsweise bei einer parallelen Sampleverarbeitung oder bei mehreren Mischerkanälen, kann mittels weiterer Optimierung ohne eine Vergrößerung des Speichers die Anzahl von Samples von zwei auf vier gesteigert werden. Die viertel Periode des Sinus wird in zwei Hälften aufgeteilt. Da eine komplexe Frequenz genau 90° bzw. $\frac{\pi}{4}$ verschoben ist, beginnt der Zeiger der Quadratur-Komponente (Sinus) bei Index 0 des ersten Speichers; die Inphasen-Komponente (Kosinus) bei dem maximalen Index des zweiten Speichers. Im Moment des Erreichens von $\frac{\pi}{8}$ tauschen die zwei Zeiger den Speicherbereich. Jeder Speicher benötigt somit nur zwei Ports. Mit der gewonnenen Ressourcen-Reduktion geht allerdings Flexibilität verloren. Mit dieser Art von DDS ist keine Phasenkompensation zwischen I und Q möglich; es wird von konstantem $\frac{\pi}{4}$ Versatz ausgegangen.

Die Werte des Eingangssignals und die des NCOs werden zum Mischen einem komplexen Multiplizierer zugeführt. Er soll in jedem Zyklus einen komplexe Eingangswert mit komplexen Werten aus dem numerisch kontrollierbaren Oszillator multiplizieren. Eine komplexe Multiplikation lässt sich in vier Multiplikationen, eine Subtraktion und eine Addition aufteilen:

$$\begin{aligned} z \cdot w &= (\operatorname{Re}\{z\}\operatorname{Re}\{w\} - \operatorname{Im}\{z\}\operatorname{Im}\{w\}) + j(\operatorname{Re}\{z\}\operatorname{Im}\{w\} + \operatorname{Im}\{z\}\operatorname{Re}\{w\}) \\ &= v \end{aligned} \quad (5.2)$$

Diese Berechnung lässt sich weiter optimieren. Durch die Benutzung beispielsweise des Gauss-Algorithmus für komplexe Zahlen (siehe Gleichung 5.6) wird durch Zwischenwerte eine

Multiplikation eingespart. Jedoch erhöht sich dadurch die jeweilige Anzahl an Additionen bzw. Subtraktionen. Die Multiplikationen müssen intern auf dem FPGA mithilfe eines DSP48E2-Elements (vgl. Abbildung 3.7) umgesetzt werden. Der Gauss-Algorithmus lässt sich auf die Architektur der verwendeten DSP-Einheit abbilden:

$$g_1 := \operatorname{Re}\{w\} \cdot (\operatorname{Re}\{z\} + \operatorname{Im}\{z\}) \quad (5.3)$$

$$g_2 := \operatorname{Re}\{z\} \cdot (\operatorname{Im}\{w\} - \operatorname{Re}\{w\}) \quad (5.4)$$

$$g_3 := \operatorname{Im}\{z\} \cdot (\operatorname{Re}\{w\} + \operatorname{Im}\{w\}) \quad (5.5)$$

$$v = g_1 - g_3 + j(g_1 + g_2) \quad (5.6)$$

Für Berechnung der Werte $g_{1,2,3}$ kann der *Pre-Adder* der DSP-Einheit eingesetzt werden (vgl. Abbildung 3.7). In der implementierten Lösung werden vorzeichenbehaftete 16 bit-Eingangswerte entgegengenommen und 32 bit-Ausgangswerte berechnet, welche im Anschluss auf 16 bit reduziert werden. Der Akkumulatorbreite des NCO beträgt 32 bit, während als Adressbreite und Wertbreite 16 bit gewählt wurden.

Nach der Multiplikation wird der Real- und Imaginärteil (I&Q-Teil) an zwei Mehrkanal-FIR-Filter übergeben. Der Filter wurde mit dem FIR-Compiler von Xilinx® erstellt [78]. Es wird eine symmetrische 12-Koeffizienten-Struktur verwendet mit einer Stoppband-Dämpfung von >80 dB bei etwa 4 MHz und einem Durchlassband von 1 MHz mit $-2,78$ dB an der Durchlassbandkante. Dadurch ist eine komplexe Bandbreite von etwa 2 MHz möglich. Die Koeffizientenbreite betragen 18 bit, Eingangs- sowie Ausgangsbreite 16 bit [Kar20]. Die Mehrkanal-DDC kann optional mit dem Dezimierungsfaktor 2 konfiguriert werden; dabei wird der Filter als Dezimationsfilter konfiguriert. Zusätzlich wird ein kurzer FIFO-Puffer angefügt, um die Abtastwerte nach der Tiefpassfilterung zu sammeln und in die andere Taktdomäne zu übertragen. Die Ressourcen der DDC-Struktur mit Filtern werden in Tabelle 5.4 aufgeschlüsselt.

	CLB LUT	CLB Register	BRAM	DSP
Mischer & NCO	1923	3752	8	3
FIR-Tiefpass	440	702	–	14
DDC Gesamt	2363	4454	8	17

Tabelle 5.4: Ressourcenbedarf der mehrkanaligen Digitalen-Herabkonvertierung ohne Dezimierung

5.4 I&Q-Mischerkorrektur

Die vorgestellte Filterkaskade kann um ein Modul zur Korrektur von Mischerfehler erweitert werden. Kleine Abweichungen im Amplituden- und Phasenverhältnis zwischen der I- und Q-Komponente bei Mischern mit komplexem Basisband können zu einer Beeinträchtigung des SNRs führen (vgl. Abschnitt 3.2.2).

5.4.1 Aufteilung in Teilbänder

Die Amplituden- und Phasenfehler zwischen den Komponenten können für ein schmales Frequenzintervall mit den Methoden aus [67] und [68] korrigiert werden. Die Imbalance aufgrund einer einfachen Fehlanpassung der Kabellängen oder eines Mischers mit großer Bandbreite variiert jedoch stark über die Frequenz. Dies erfordert eine adaptive Korrektur für verschiedene Frequenzintervalle. Die Korrektur auf der Sendeseite kann in der Frequenzkammgenerierung für jedes Auslesesignal individuell erfolgen (vgl. Abschnitt 5.2.1). Auf der Empfangsseite muss für eine dichte Besetzung des komplexen Basisbands ebenfalls eine Korrektur implementiert werden. Derzeitige Lösungen für die Breitbandkorrektur basieren auf der Entzerrung von FFT-Bins in der OFDM²-Signalisierung [121, 122] oder FIR-Filtern für andere Übertragungsmethoden [123, 124]. Korrekturen mit FIR-Filtern gleichen Signale mit bestimmter Frequenz aus und verzögern sie. Sie werden direkt nach der Abtastung berechnet – also mit der Abtastrate des Wandlers. In Kombination mit neueren Hochgeschwindigkeits-Wandlern belegt dies viele Ressourcen auf einem DSP oder einem FPGA. Für Signalverarbeitungssysteme, die das Signal nach der Abtastung kanalisieren, kann die Korrektur hinsichtlich der Ressourcen optimiert werden. Es wird im Folgenden eine neue Methode vorgestellt, die Korrekturen bei einer bereits dezimierten Abtastrate ermöglicht. Dies gestattet eine kanalweise Kompensation mit einem reduzierten Ressourcenaufwand. Diese Kompensation ist, wie sich zeigen wird, kompatibel zu den Unterbändern des Polyphasen-Kanalizers.

Das komplexe Basisband oder der Kanal C , der nach der Abtastung gebildet wird, kann in eine gerade Anzahl von Teilbändern bzw. Unterkanäle $C_{\pm n}$ ($n \leq N; n, N \in \mathbb{N} \setminus 0$) aufgeteilt werden. Jedes Paar von Teilbändern C_n und C_{-n} ist im komplexen Spektrum entgegengesetzt und besitzt die Mittenfrequenzen $\omega_{\pm n}$. Dies impliziert, dass in der Anwendung die Übertragungsbänder unabhängig bzw. begrenzt sind und voneinander isoliert werden können.

Zur Vereinfachung des Problems kann man zunächst annehmen, dass die Signale nur auf einer Seite des Spektrums in C_n übertragen werden. Aufgrund des Ungleichgewichts sind an der

² Orthogonal Frequency Division Multiplex

Übertragung zwei Unterkanäle $C_{\pm n}$ mit den Mittenfrequenzen $\omega_{\pm n}$ beteiligt, die auf den gegenüberliegenden Seiten des komplexen Basisbandes liegen. Mit s_ω aus Gleichung 3.32 kann ein Signal mit der Frequenz ω_0 im Teilband C_n und sein Abbild in C_{-n} beschrieben werden als:

$$C_{\pm n} = \frac{a(\omega_0)e^{\pm j\varphi(\omega_0)} \pm 1}{2} e^{j(\pm\omega_0)t} \quad (5.7)$$

$$(5.8)$$

Da diese Frequenz in einem schmalen Frequenzband nahe der Teilbandmitte ω_n liegen soll, kann man davon ausgehen, dass der Fehler näherungsweise dem Fehler der Teilbandmittenfrequenz (φ_n, a_n) entspricht:

$$a(\omega_0) \approx a(\omega_n) = a_n, \quad \varphi(\omega_0) \approx \varphi(\omega_n) = \varphi_n \quad (5.9)$$

$$C_{\pm n} = \frac{a_n e^{\pm j\varphi_n} \pm 1}{2} e^{\pm j\omega_0 t} \quad (5.10)$$

Angenommen, es können die Fehler der Teilbandmittenfrequenz korrigiert werden, bewirkt die Näherung einen Fehler, der von den Bauteilschwankungen sowie von einer kleinen Zeitverzögerung τ zwischen I und Q abhängig ist. Während der Fehler bei Bauteilschwankungen je nach Bauteil individuell ist und nicht beschrieben werden kann, kann die Phasenverschiebung durch eine Verzögerung τ beschrieben werden: Das Image-Verhältnis wird durch den Wert von τ und durch den Versatz $\Delta\omega$ zwischen korrigierter Frequenz ω_n und tatsächlicher Signalfrequenz ω_0 beeinflusst.

$$\Delta\omega = |\omega_0 - \omega_n| \quad (5.11)$$

$$\Rightarrow \varphi(\Delta\omega, \tau) = \Delta\omega \cdot \tau \quad (5.12)$$

$$\Rightarrow r(a = 1, \varphi(\Delta\omega, \tau)) \stackrel{(3.34)}{=} \sqrt{\frac{1 - \cos(\Delta\omega\tau)}{\cos(\Delta\omega\tau) + 1}} \quad (5.13)$$

Als Beispiel zeigt Abbildung 5.11 die Image-Unterdrückung r in Abhängigkeit vom Frequenzversatz $\Delta f = \Delta\omega/2\pi$ zur Teilbandmitte und von der Zeitverzögerung τ . Eine Verzögerung von $\tau = 50$ ps könnte z.B. durch eine Kabellängenabweichung von $\Delta l \approx 1$ cm (unter Verwendung von $c_{\text{Kabel}} \approx 2 \cdot 10^8$ m/s) verursacht werden. Wenn die Abweichungen zu stark werden, muss die Unterkanalbandbreite reduziert werden.

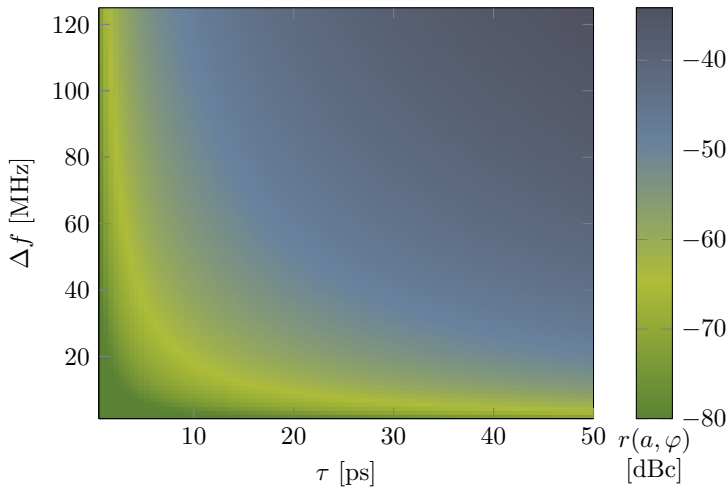


Abbildung 5.11: Image-Unterdrückungsverhältnis r in Abhängigkeit von einer Zeitverzögerung τ aufgrund von Fehlanspassungen der Kabellänge und des spektralen Abstands zwischen Bandmitte und Trägerfrequenz Δf .

Um die Teilbänder in mehrere komplexe Basisbänder zu kanalisieren, wird der Kanal C mithilfe einer Abwärtsmischung und Filterung verarbeitet. Beispielsweise können eine digitale Abwärtskonvertierung (DDC) mit Filtern, eine Fourier-Transformation oder ein Polyphasen-Kanalisierer die gewünschte Kanalisierung und Dezimierung erreichen [125, 77]. Im Folgenden wird ein DDC-basierter Ansatz verwendet, der einen Filter mit einer Impulsantwort h_{lp} enthält, der die Subband-Bandbreite richtig auswählt:

$$(C \cdot e^{-j\omega_n t}) * h_{lp} = C_n \cdot e^{-j\omega_n t} \quad (5.14)$$

$$(C \cdot e^{j\omega_n t}) * h_{lp} = C_{-n} \cdot e^{j\omega_n t} \quad (5.15)$$

Nun können die I&Q-Komponenten der Signale beider Basisbänder abgeleitet und analysiert werden. Da sich diese Gleichungen ähneln, können sie auf einen vereinfachten Ausdruck reduziert werden:

$$\begin{aligned} \operatorname{Re}\{C_n \cdot e^{-j\omega_n t}\} &= \underbrace{\frac{a_n \cos(\varphi_n) + 1}{2}}_{b_1} \underbrace{\cos((\omega_0 - \omega_n)t)}_{W_1} \\ &\quad - \underbrace{\frac{a_n \sin(\varphi_n)}{2}}_{b_2} \underbrace{\sin((\omega_0 - \omega_n)t)}_{W_2} \\ &= b_1 W_1 - b_2 W_2 \end{aligned} \quad (5.16)$$

$$\begin{aligned}
\operatorname{Im}\{C_n \cdot e^{-j\omega_n t}\} &= \frac{a_n \cos(\varphi_n) + 1}{2} \sin((\omega_0 - \omega_n)t) \\
&\quad + \frac{a_n \sin(\varphi_n)}{2} \cos((\omega_0 - \omega_n)t) \\
&= b_2 W_1 + b_1 W_2
\end{aligned} \tag{5.17}$$

$$\begin{aligned}
\operatorname{Re}\{C_{-n} \cdot e^{j\omega_n t}\} &= \overbrace{\frac{a_n \cos(\varphi_n) - 1}{2}}^{b_3} \cos(-(\omega_0 - \omega_n)t) \\
&\quad + \frac{a_n \sin(\varphi_n)}{2} \sin(-(\omega_0 - \omega_n)t) \\
&= b_3 W_1 - b_2 W_2
\end{aligned} \tag{5.18}$$

$$\begin{aligned}
\operatorname{Im}\{C_{-n} \cdot e^{j\omega_n t}\} &= \frac{a_n \cos(\varphi_n) - 1}{2} \sin(-(\omega_0 - \omega_n)t) \\
&\quad - \frac{a_n \sin(\varphi_n)}{2} \cos(-(\omega_0 - \omega_n)t) \\
&= -b_2 W_1 - b_3 W_2
\end{aligned} \tag{5.19}$$

Die Faktoren $b_{\{1,2,3\}}$ sind die zeitlich unveränderlichen Ungleichgewichtsfaktoren und $W_{\{1,2\}}$ sind die Trägersignale. Auf der Grundlage der Beschreibung der Mehrkanal-Imbalance (Gleichungen 5.16 bis 5.19) werden zwei Korrekturmethode abgeleitet. Zunächst eine Korrektur, die die Bänder beidseitig kompensiert. Danach eine vereinfachte Variante, welche die Rechenressourcen optimiert.

5.4.2 Breitbandkorrektur

Die Beschreibung im vorigen Abschnitt vereinfacht das Modell, indem die Übertragung nur in einem Band C_n stattfindet. Wenn beide Seiten des Spektrums $C_{\pm n}$ verwendet werden, können zwei Modulationsparameter $m_1(t)$ und $m_2(t)$ eingeführt werden, um die Signale beider Seiten zu unterscheiden. Die Parameter modulieren die komplexen Signale $\underline{s}_{\pm\omega}$ und $\tilde{\underline{s}}_{\pm\omega}$ mit einem zeitvariablen Signal (vgl. Gleichungen 3.32 und 3.33):

$$C' = m_1(t) \cdot \tilde{\underline{s}}_{\omega} + m_2(t) \cdot \tilde{\underline{s}}_{-\omega} \tag{5.20}$$

$$\Rightarrow C'_n = \left(m_1(t) \frac{a_n e^{j\varphi_n} + 1}{2} + m_2(t) \frac{a_n e^{j\varphi_n} - 1}{2} \right) e^{j\omega_0 t} \quad (5.21)$$

$$C'_{-n} = \left(m_1(t) \frac{a_n e^{-j\varphi_n} - 1}{2} + m_2(t) \frac{a_n e^{-j\varphi_n} + 1}{2} \right) e^{-j\omega_0 t} \quad (5.22)$$

In einem ersten Schritt kann eine Fehlermatrix D abgeleitet werden, die die Projektion vom ausgeglichenen Signal auf den fehlerbehafteten Kanal mit Imbalance darstellt. Durch einen Koeffizientenvergleich kann diese mit $b_{\{1,2,3\}}$ und $W_{\{1,2\}}$ (Gleichungen 5.16 bis 5.19) ausgedrückt werden:

$$\begin{bmatrix} \operatorname{Re}\{C'_n \cdot e^{-j\omega_n t}\} \\ \operatorname{Im}\{C'_n \cdot e^{-j\omega_n t}\} \\ \operatorname{Re}\{C'_{-n} \cdot e^{j\omega_n t}\} \\ \operatorname{Im}\{C'_{-n} \cdot e^{j\omega_n t}\} \end{bmatrix} = D \cdot \begin{bmatrix} \operatorname{Re}\{m_1(t) \cdot \underline{s}_\omega \cdot e^{-j\omega_n t}\} \\ \operatorname{Im}\{m_1(t) \cdot \underline{s}_\omega \cdot e^{-j\omega_n t}\} \\ \operatorname{Re}\{m_2(t) \cdot \underline{s}_{-\omega} \cdot e^{j\omega_n t}\} \\ \operatorname{Im}\{m_2(t) \cdot \underline{s}_{-\omega} \cdot e^{j\omega_n t}\} \end{bmatrix} \quad (5.23)$$

$$\begin{bmatrix} \operatorname{Re}\{C'_n \cdot e^{-j\omega_n t}\} \\ \operatorname{Im}\{C'_n \cdot e^{-j\omega_n t}\} \\ \operatorname{Re}\{C'_{-n} \cdot e^{j\omega_n t}\} \\ \operatorname{Im}\{C'_{-n} \cdot e^{j\omega_n t}\} \end{bmatrix} = \begin{bmatrix} b_1 & -b_2 & b_3 & b_2 \\ b_2 & b_1 & b_2 & -b_3 \\ b_3 & -b_2 & b_1 & b_2 \\ -b_2 & -b_3 & -b_2 & b_1 \end{bmatrix} \cdot \begin{bmatrix} m_1(t)W_1 \\ m_1(t)W_2 \\ m_2(t)W_1 \\ m_2(t)(-W_2) \end{bmatrix} \quad (5.24)$$

In einem zweiten Schritt können die $b_{\{1,2,3\}}$ substituiert und die Matrix D invertiert werden. Die resultierende Matrix D^{-1} kann wie folgt beschrieben werden:

$$\Rightarrow D^{-1} = \frac{1}{2a} \cdot \begin{bmatrix} \cos(\varphi_n) + a_n & \sin(\varphi_n) & \cos(\varphi_n) - a_n & -\sin(\varphi_n) \\ -\sin(\varphi_n) & \cos(\varphi_n) + a_n & -\sin(\varphi_n) & a_n - \cos(\varphi_n) \\ \cos(\varphi_n) - a_n & \sin(\varphi_n) & \cos(\varphi_n) + a_n & -\sin(\varphi_n) \\ \sin(\varphi_n) & a_n - \cos(\varphi_n) & \sin(\varphi_n) & \cos(\varphi_n) + a_n \end{bmatrix} \quad (5.25)$$

Durch Multiplikation der Teilbänder mit der Korrekturmatri D^{-1} können die ursprünglichen Signale rekonstruiert werden:

$$D^{-1} \cdot \begin{bmatrix} \operatorname{Re}\{C'_n \cdot e^{-j\omega_n t}\} \\ \operatorname{Im}\{C'_n \cdot e^{-j\omega_n t}\} \\ \operatorname{Re}\{C'_{-n} \cdot e^{j\omega_n t}\} \\ \operatorname{Im}\{C'_{-n} \cdot e^{j\omega_n t}\} \end{bmatrix} = \begin{bmatrix} m_1(t)W_1 \\ m_1(t)W_2 \\ m_2(t)W_1 \\ m_2(t)(-W_2) \end{bmatrix} \quad (5.26)$$

Diese Korrektur sorgt für eine vollständige Abschwächung der Image-Signale für beide Seitenbänder bei einer bestimmten Frequenz sowie für die Entzerrung des eigentlichen Signals. Die Methode korrigiert maßgeblich die Subbandmitte, daher können große Verzögerungen (siehe Gleichung 5.13) und starke Fehler-Schwankungen in einer schmalen Bandbreite, die durch Mischerfehler verursacht werden, nur bedingt korrigiert werden. Die Teilbänder müssen daher ausreichend klein gewählt werden.

5.4.3 Ressourcenoptimierung

Die vorangegangene Korrektur ermöglicht eine Unterdrückung der gegenseitigen Seitenbänder. Jedoch sind für die Matrixmultiplikation 16 einzelne MAC-Operationen³ in Software oder Hardware erforderlich. Außerdem wird die gleiche Anzahl von Koeffizienten benötigt, wenn eine nicht optimierte Matrixmultiplikatoreinheit verwendet wird. Durch die Verwendung von Voradditionseinheiten kann dies aufgrund der dualen $\sin(\varphi)$ -Einträge in der Matrix optimiert werden. Dadurch reduziert sich der Betrag auf vier PAMAC⁴ und acht MAC-Operationen, was insgesamt zwölf Multiplikationen ergibt. Wenn das Ungleichgewicht gering ist, kann die Berechnung weiter vereinfacht werden. Die folgende Methode reduziert den Ressourcenbedarf auf nur acht Multiplikationen.

Um die störenden Komponenten im gegenüberliegenden Band zu entfernen, kann man mithilfe einer Fehlermatrix D_s postulieren:

$$\underbrace{\begin{bmatrix} \operatorname{Re}\{C_{-n} \cdot e^{j\omega_n t}\} \\ \operatorname{Im}\{C_{-n} \cdot e^{j\omega_n t}\} \end{bmatrix}}_{\text{Unterband Image}} - D_s \underbrace{\begin{bmatrix} \operatorname{Re}\{C_n \cdot e^{-j\omega_n t}\} \\ \operatorname{Im}\{C_n \cdot e^{-j\omega_n t}\} \end{bmatrix}}_{\text{Unterband Signal}} \stackrel{!}{=} 0 \quad (5.27)$$

Im Folgenden wird die Matrix D_s hergeleitet. Zunächst werden die Koeffizienten im resultierenden Real- und Imaginärteil durch $b_{\{1,2,3\}}$ und $W_{\{1,2\}}$ ersetzt (Gleichungen 5.16 bis 5.19).

$$\begin{bmatrix} b_3 W_1 - b_2 W_2 \\ -b_2 W_1 - b_3 W_2 \end{bmatrix} - \begin{bmatrix} d_1 & d_2 \\ d_3 & d_4 \end{bmatrix} \begin{bmatrix} b_1 W_1 - b_2 W_2 \\ b_2 W_1 + b_1 W_2 \end{bmatrix} = 0 \quad (5.28)$$

³ Multiplikation-Akkumulation

⁴ Voraddierung, Multiplikation-Akkumulation

Durch einen Koeffizientenvergleich von W_1 und W_2 lassen sich dann die Einträge $d_{\{1,2,3,4\}}$ der Matrix D_s herleiten:

$$\begin{bmatrix} b_3 \\ -b_2 \end{bmatrix} = \begin{bmatrix} b_1 & b_2 \\ -b_2 & b_1 \end{bmatrix} \cdot \begin{bmatrix} d_1 \\ d_2 \end{bmatrix} \quad (5.29)$$

$$\Leftrightarrow \frac{1}{b_1^2 + b_2^2} \begin{bmatrix} b_1 b_3 + b_2^2 \\ b_2 b_3 - b_1 b_2 \end{bmatrix} = \begin{bmatrix} d_1 \\ d_2 \end{bmatrix} \quad (5.30)$$

$$\begin{bmatrix} -b_2 \\ -b_3 \end{bmatrix} = \begin{bmatrix} b_1 & b_2 \\ -b_2 & b_1 \end{bmatrix} \cdot \begin{bmatrix} d_3 \\ d_4 \end{bmatrix} \quad (5.31)$$

$$\Leftrightarrow \frac{1}{b_1^2 + b_2^2} \begin{bmatrix} b_1 b_2 - b_2 b_3 \\ b_2^2 + b_1 b_3 \end{bmatrix} = \begin{bmatrix} -d_3 \\ -d_4 \end{bmatrix} \quad (5.32)$$

$$\Rightarrow D_s = \frac{1}{b_1^2 + b_2^2} \begin{bmatrix} b_1 b_3 + b_2^2 & b_2 b_3 - b_1 b_2 \\ -b_1 b_2 + b_2 b_3 & -b_1 b_3 - b_2^2 \end{bmatrix} \quad (5.33)$$

Durch Substitution der $b_{\{1,2,3\}}$ führt dies schließlich zu:

$$D_s = \frac{1}{a_n^2 + 2a_n \cos(\varphi_n) + 1} \begin{bmatrix} a_n^2 - 1 & -2a_n \sin(\varphi_n) \\ -2a_n \sin(\varphi_n) & -a_n^2 + 1 \end{bmatrix} \quad (5.34)$$

Die resultierende Matrix D_s kann als Korrekturmatrix verwendet werden, wie in Gleichung 5.27 gezeigt. Das bedeutet, aus dem Signal von C_n wird der Imageanteil berechnet und von C_{-n} subtrahiert. Auch bei dieser Methode muss die Bandbreite der Teilbänder entsprechend der Schwankungen durch Latenz und Bauteile gewählt werden. Wenn die Übertragung beide Seitenbänder nutzt, muss die Operation für beide Pfade durchgeführt werden. Durch die vernachlässigten Kreuzterme kann die Methode in diesem Fall die Unterdrückung verbessern, bei größeren φ - und a -Imbalancen wird dennoch ein Fehler auftreten. Der Fehler wird durch die vernachlässigten Image-Träger verursacht, welche in das gegenüberliegende Band durch die Subtraktion eingeführt werden. Er wird mit der Matrix D_s multipliziert und auf das Ursprungsband zurückprojiziert. Der daraus resultierende Fehler kann mit ($a := a_n$; $\varphi := \varphi_n$) wie folgt beschrieben werden:

$$\vec{e} = -D_s \begin{bmatrix} \operatorname{Re}\{C_{-n} \cdot e^{j\omega_n t}\} \\ \operatorname{Im}\{C_{-n} \cdot e^{j\omega_n t}\} \end{bmatrix} \quad (5.35)$$

$$r_{\text{simple}}(\varphi, a) = \left| \frac{\vec{e}_1 + j\vec{e}_2}{C_n \cdot e^{-j\omega_n t}} \right| = \left| \frac{2a \cos(\varphi) - a^2 - 1}{2a \cos(\varphi) + a^2 + 1} \right| \quad (5.36)$$

Im Vergleich zur unkorrigierten Spiegelbandunterdrückung (Gleichung 3.34) ist die Unterdrückung mit der Korrekturmethode quadriert (siehe Abbildung 5.12) und daher deutlich verbessert. Der Korrekturvorgang erfordert zwei 2×2 -Matrix-Vektor-Multiplikationen, was zu 8 MAC-Operationen und Koeffizienten führt.

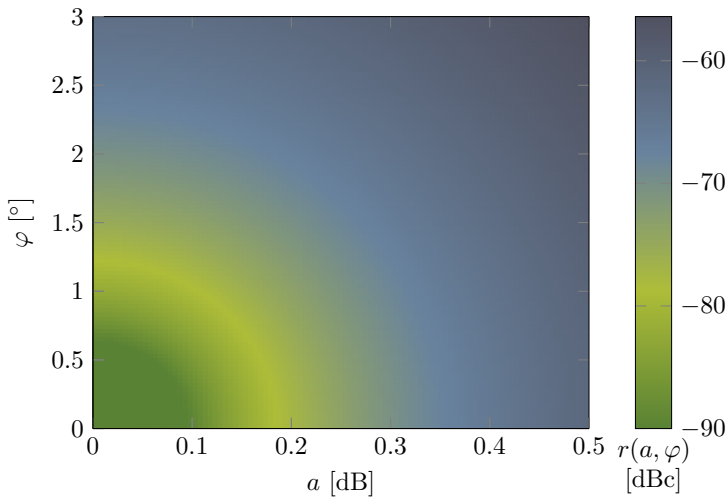


Abbildung 5.12: Verhältnis der Image-Unterdrückung bei der ressourcen-optimierten Variante. Das Verhältnis ist über der φ - und a -Imbalance aufgetragen. Es stellt den verbleibenden Fehler dar, wenn beide Seitenbänder verwendet werden.

5.4.4 Korrektur des Trägerungleichgewichts

Neben den Abweichungen in den I&Q-Komponenten wirkt sich die Imbalance des Signals des Lokal-Oszillators (Trägersignals) auf das I&Q-Ungleichgewicht aus. In der Regel erzeugt der lokale Oszillator eine Sinuswelle, die im I&Q-Mischer in zwei Pfade aufgeteilt wird. Einer der Pfade wird durch einen Phasenschieber um 90° phasenverschoben und im Anschluss werden beide Pfade für die Frequenzumsetzung verwendet. Eine durch den 90° -Phasenschieber innerhalb des Mixers verursachte Amplituden- oder Phasenverschiebung wirkt sich auf das gesamte Image-Unterdrückungsverhältnis aus. Dieser Effekt lässt sich anhand eines reell

modulierten Signals mit einer Trägerfrequenz ω_c skizzieren, das durch einen phasenungleichen Träger (φ) mit der gleichen Frequenz demoduliert wird. Im Folgenden werden mit der Filterfunktion h_{1p} die höherfrequenten Filterprodukte $2 \cdot \omega_c$ entfernt [126]:

$$\underbrace{\cos((\omega_c \pm \omega)t)}_{\text{Signal}} \cdot \underbrace{(\cos(\omega_c t + \varphi) + j \sin(\omega_c t))}_{\text{Träger}} * h_{1p} \quad (5.37)$$

$$= \underbrace{\frac{1}{2} \cos(\omega t \pm \varphi)}_I \pm \underbrace{\frac{j}{2} \sin \omega t}_Q \quad (5.38)$$

Wie gezeigt, führt dieser Fehler zu einem reziproken Phasenfehler auf dem unteren und oberen Seitenband. Dies macht es notwendig, die Korrekturparameter für beide Seitenbänder getrennt zu betrachten.

Die Matrizen von Abschnitt 5.4.2 (mit D) und Abschnitt 5.4.3 (mit D_s) können geändert werden, um dieses Szenario zu berücksichtigen. Da D_s bereits für jedes Seitenband getrennt wurde, kann der Phasen- und Amplitudenfehler einzeln angewendet werden. Für die Matrix D führt dies zu folgendem Ausdruck [126]:

$$D' = \begin{bmatrix} b_1 & -b_2 & b'_3 & b'_2 \\ b_2 & b_1 & b'_2 & -b'_3 \\ b_3 & -b_2 & b'_1 & b'_2 \\ -b_2 & -b_3 & -b'_2 & b'_1 \end{bmatrix} \quad (5.39)$$

Die Parameter b'_n geben die Parameter $b_{\{1,2,3\}}$ mit der Phasenkorrektur für das gegenüberliegende Band wieder. Aus Gründen der Übersichtlichkeit wird die ausführliche Matrixinverse D'^{-1} nicht weiter ausgeführt.

5.4.5 Prototyp-Implementierung

Die Korrektur der I&Q-Imbalance erfordert eine effiziente Matrix-Vektor-Multiplikation der Form:

$$\vec{y}(n) = K \cdot \vec{x}(n), \quad \text{wobei } \vec{x}, \vec{y} \in \mathbb{R}^4 \text{ und } K \in \mathbb{R}^{4 \times 4}. \quad (5.40)$$

Durch das Kaskadieren von mehreren DSP48E2-Blöcken kann eine Multiplikation einer einzelnen Zeile abgebildet werden. Hierfür werden in den Multiplikationseinheiten die Vektoreinträge x_1 mit den Matrixeinträgen $k_{m,1}$ multipliziert und mittels des integrierten Akkumulators aufsummiert. Bezogen auf die Anwendung sind x_0 und x_1 beispielsweise I&Q des oberen

Seitenbands und x_2, x_3 das I&Q-Signal des unteren. Um die Mehrband-Korrektur in einem zeitlichen Multiplex-TDM für die einzelnen Bänder betreiben zu können, müssen die Koeffizienten nach jedem Takt-Zyklus getauscht werden. Die Sequenzvariable n beschreibt sowohl den aktuellen Kanal als auch den aktuellen Abtastwert. Hierfür werden Schieberegister eingesetzt, die mit dem Eingangssignal $\vec{x}(n)$ rotiert werden. Für die Kaskade der Matrix ist eine Zeile m in Abbildung 5.13 gezeigt.

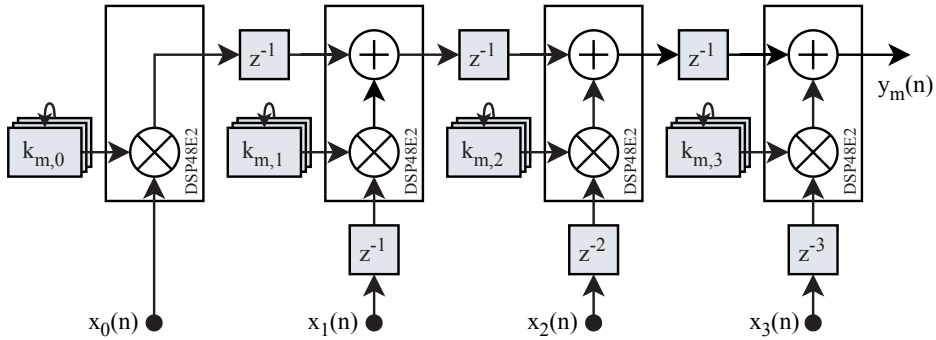


Abbildung 5.13: Multiplikationskaskade für eine Matrixzeile

Von dieser Struktur werden vier Instanzen angelegt und an eine AXI4-Lite-Schnittstelle angeschlossen. Über diese Schnittstelle werden die Koeffizienten in ein Schatten-Schieberegister geschrieben. Nach dem vollständigen Laden der Werte und nach dem Abschluss eines TDM-Pakets ($\tau_{last} = 1$) wird der Schattenregisterinhalt auf die aktiven Schieberegister angewandt. Das Modul kann nach dem Polyphasen-Kanalierer eingesetzt werden. Je nach verwendetem AD-Wandler ist jedoch eine Umsortierung der Abtastwerte erforderlich, sodass man die gegenüberliegenden Bänder erhält. Die benötigten Ressourcen der Multiplikation sind in Tabelle 5.5 angegeben. Durch die Schattenregister und die großzügig dimensionierten Wert-Breiten benötigt das Modul verglichen mit den anderen Modulen in der Kette eine fünf- bis zehnmal so große Anzahl an Flip-Flops beziehungsweise an CLB-Registern. Ohne weitere Optimierung kann dieses Modul nicht in die Firmware integriert werden (vgl. Abschnitt 5.7).

CLB LUT	CLB Register	BRAM	DSP
5450	39182	–	32

Tabelle 5.5: Ressourcenbedarf der mehrkanaligen Matrix-Vektor-Multiplikation für einen AD-Wandler; dies beinhaltet zwei Matrix-Vektor-Multiplikationen für den verschobenen und nicht-verschobenen Polyphasen-Kanalierer für den Firmwareprototyp 2.

5.5 Flussrampen-Demodulation

Nach der Auftrennung der einzelnen Kanäle liegt das SQUID-Signal der Flussrampenmodulation vor (vgl. Abschnitt 2.3.4). Die zusätzliche Phasenmodulation zur Linearisierung der SQUIDs erfordert eine weitere Schicht in der Signalverarbeitung, bevor die Kalorimetersignale weiterverarbeitet werden können. In diesem Abschnitt wird zunächst auf das verwendete Verfahren und die Implementierung eingegangen und im Anschluss eine Erweiterung mit Fensterfunktionen für die später vorgestellte Firmware des Flussrampen-Demultiplex erläutert (siehe Kapitel 8).

5.5.1 Mehrkanal-Implementierung

Die sägezahnförmige magnetische Flussmodulation des rf-SQUIDs bewirkt durch die Periodizität der SQUID-Induktivität eine periodische Änderung der Trägeramplitude und der Phase durch den Mikrowellen-Resonator (vergleiche Abschnitt 2.3.3 und Abschnitt 2.3.4). Innerhalb der Grenzen des linear aufsteigenden Teils des Sägezahnsignals liegen so proportional zum Gradienten des magnetischen Flusses mehrere Perioden der Trägermodulation (oder Einhüllenden). Ein zusätzliches Flussignal durch ein Sensorereignis bewirkt einen Phasenversatz der Einhüllenden. Aus diesem Phasenversatz kann somit die Information des Sensorsignals gewonnen werden.

Nachdem das Signal durch die digitale Herabkonvertierung gefiltert wurde, bleibt die komplexwertige Einhüllende übrig. Durch die Berechnung des Absolutwerts des Signals kann der reellwertige Amplitudenverlauf gewonnen werden. Ist die Frequenz der periodischen Schwingung bekannt, kann das Signal näherungsweise auf eine natürliche Anzahl von Perioden zugeschnitten werden. Mittels Sinus- und Kosinus-Transformation wird es durch eine Korrelation auf die entsprechenden Fourierreihenkoeffizienten abgebildet und über den Arcustangens kann die Phase gewonnen werden [48]:

$$a_m = \sum_{n=mN+o_{\text{start}}}^{mN-1-o_{\text{ende}}} s(n) \cdot \cos\left(2\pi \frac{f_r}{f_s} n\right) \quad (5.41)$$

$$b_m = \sum_{n=mM+o_{\text{start}}}^{mN-1-o_{\text{ende}}} s(n) \cdot \sin\left(2\pi \frac{f_r}{f_s} n\right) \quad (5.42)$$

$$\varphi_m = \arctan\left(\frac{a_m}{b_m}\right) \quad (5.43)$$

Für jede Periode m der Länge N des Sägezahns kann so ein Phasenwert φ_m berechnet werden, wobei o_{start} und o_{ende} den Zuschchnitt auf die ganzzahlige Periodenzahl definiert. Da der

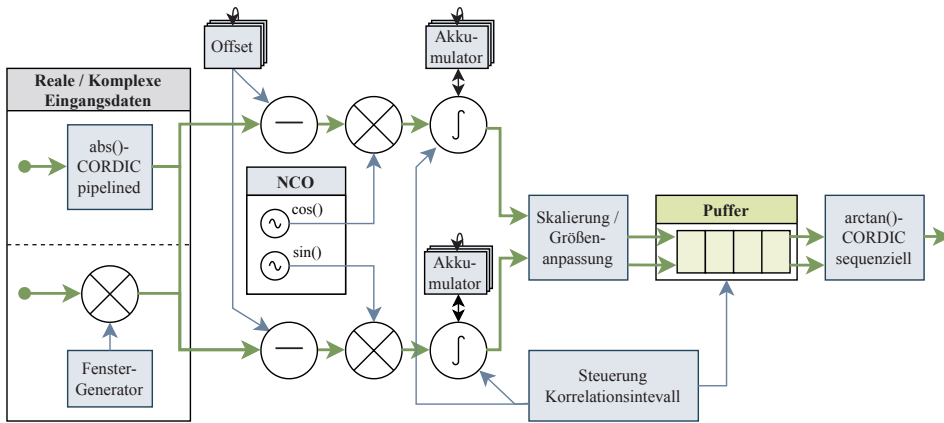


Abbildung 5.14: Übersicht mehrkanalige Flussrampen-Demodulation. Es handelt sich um eine TDM-Verarbeitung; Offset und Akkumulation enthalten für die Kanäle ein eigenes Register. Weiterhin kann der NCO für jeden Kanal einen Sinus unterschiedlicher Phase und Frequenz erzeugen. Die Eingangskonfiguration kann entweder für komplexe Eingangsdaten zum Mikrowellen-Multiplex oder für reelle Daten mit Fensterung zum Flussrampen-Multiplex gewählt werden.

Absolutwert $s(n)$ nach der Berechnung aus der komplexen Einhüllenden einen Gleichanteil besitzt, muss dieser vor der Korrelation entfernt werden. Anderenfalls würde bei einer Fehlanpassung des Korrelationsfensters auf eine nicht ganzzahlige Anzahl von Perioden das Ergebnis verfälscht werden.

Die Mehrkanalimplementierung der Flussrampen-Demodulation verwendet ein TDM-Verfahren und ist in Abbildung 5.14 abgebildet. Bei einer Taktfrequenz von 500 MHz werden 32 Kanäle innerhalb einer Abtastzeitdauer verarbeitet. Zu Beginn wird der Absolutwert der Eingangssignale durch den CORDIC-Algorithmus [114] (Coordinate-Rotation-Digital-Computer) gebildet; verwendet wird ein pipelined⁵ CORDIC-IP-Core von Xilinx® [127]. Es wird hierbei eine Konfiguration verwendet, die aus I&Q-Werten mit 16 bit einen Absolutwert mit ebenfalls 16 bit bildet. Die Generierung der Sinus- und Kosinuswerte für die Korrelation wird mit dem in Abschnitt 5.3.4 vorgestellten mehrkanaligen numerisch kontrollierbarer Oszillator (NCO) realisiert. Die Berechnung der Korrelation wird innerhalb zweier DSP-Einheiten durchgeführt (vgl. Abbildung 3.7). Dabei wird der *Pre-Adder* verwendet um den Gleichanteil des Signals zu entfernen. Danach wird die Differenz mit dem Sinus- bzw. Kosinuswert multipliziert und auf den internen Akkumulator addiert. Die Akkumulator- und Offsetwerte befinden sich in einem Ringpuffer, der sich für jeden Kanal verschiebt. Start und Ende der Aufsummierung werden über einen Zustandsautomaten gesteuert. Ist die Korrelation abgeschlossen, werden die Akkumulatorwerte mit 48 bit aus dem Ringpuffer zu 16 bit skaliert. Die

⁵ Die kontinuierliche Verarbeitung der Eingangswerte, ohne dass der Eingangsdatenstrom angehalten werden muss.

Skalierung bildet den Betrag der Akkumulatorwerte und bestimmt aus diesen das höchstwertige Bit der Resultate beider Korrelationen. Entsprechend wählt die Skalierung das Bitintervall der Akkumulatorwerte, sodass sich der Quotient aus Korrelationswerten nicht ändert, der dynamische Bereich des CORDIC-IP-Cores jedoch vollständig ausgeschöpft werden kann. Danach werden die Werte in einem FIFO-Puffer zwischengespeichert und einem sequenziellen⁶ CORDIC IP-Core von Xilinx® zugeführt, der den Quotienten und Arcustanges, die Phase, berechnet. Sowohl die Skalierung als auch der CORDIC-IP-Core sind standardmäßig mit 16 bit Datenbreite konfiguriert. Dieser Wert kann auf bis zu 32 bit erhöht werden. Die Breite der Ausgangsdaten des CORDICs wird stets auf 32 bit erweitert. Da das Verfahren auf den linear aufsteigenden Teil der Flussrampe angewendet werden soll, bietet das Modul ein Signal zur Synchronisierung der Flussrampe an. Der Generator der Flussrampe kann so einen Synchronisationspuls an das Modul weitergeben, der den NCO und den Zustandsautomaten zur Akkumulation zurücksetzt.

Die Implementierung unterstützt bisher nur die Auswertung des Absolutwerts des komplexen Eingangssignals. Der Resonator verändert ebenfalls periodisch die Phase der komplexen Einhüllenden. Zur Auswertung der Phase der I&Q-Komponenten am Eingang muss das Modul durch eine Offsetkorrektur der I&Q-Komponenten vor dem CORDIC erweitert und der CORDIC für die Phasenberechnung konfiguriert werden [98].

Vor dem Betrieb der Demodulation muss diese kalibriert werden. Hierzu bietet das Modul eine Überbrückung der Logik an, sodass die Eingangsdaten zum Ausgang weitergeleitet werden. Zu Beginn der Kalibrierungsroutine wird die Überbrückung aktiviert, um die Amplitudenmodulation mit der Steuerungssoftware aufzuzeichnen. Zunächst kann mittels eines Least-Square-Fits oder einer Fouriertransformation die Frequenz der Modulation mit gewonnenen Daten bestimmt werden. Danach kann das Korrelationsfenster zur Kompensation der Laufzeitverzögerung gegenüber den Eingangsdaten verschoben werden. Eine den Daten hinzugefügte Markierung des Synchronisationspulses im LSB wird dafür mit der Software ausgewertet, sodass das Signal zur Synchronisation des Flussrampenbeginns über eine Verzögerungsstufe konfiguriert werden kann. Die Konfigurationswerte für Frequenz, Phase, Gleichanteil, Versatz der Synchronisation, Flussrampenlänge und Zuschnitte können über eine AXI4-Lite-Schnittstelle konfiguriert werden. Die benötigten FPGA-Ressourcen können Tabelle 5.6 entnommen werden.

⁶ Die Berechnung findet über mehrere Taktzyklen statt, dabei wird das Eingangssignal über den Zeitraum blockiert.

	CLB LUT	CLB Register	BRAM	DSP
Ohne Fensterung (Eingang komplex, 32 Kanäle)	4970	8142	8	4
Mit Fensterung (Eingang reell, 4 Kanäle)	2215	2941	9	3

Tabelle 5.6: Ressourcenbedarf der mehrkanaligen Flussrampen-Demodulation

5.5.2 Optimierung durch Fensterfunktionen

Die Flussrampen-Demodulation bildet die Fourierkoeffizienten des Eingangssignals über dem Zeitintervall der Flussrampe ab, um die Phase zu bestimmen. Ein intrinsisches Problem dieser Methode ist der auftretende Leckeffekt der Fouriertransformation [128, 129]. Dieser führt zu einem Amplitudenfehler bei Frequenzen, deren Periodendauern kein ganzzahliges Vielfaches des Intervalls sind. Des Weiteren kann der Effekt ein Übersprechen hervorrufen, falls mehrere SQUID-Signale oder andere Störsignale im Kanal vorhanden sind. Da der Proportionalitätsfaktor zwischen dem Flussrampengradienten und der Modulationsfrequenz durch die Kopplung zwischen Modulationsspule und SQUID definiert wird, unterliegt die Proportionalität gewissen Fertigungstoleranzen. Die Toleranzen können für einen Kanal mit einer Anpassung der Sägezahnsteigung kompensiert werden; für ein Array ist diese Anpassung allerdings nicht möglich, da das Flussrampensignal für alle verbundene Sensoren identisch ist. Dies ist insbesondere für den Frequenzmultiplex für dc-SQUIDs (vgl. Kapitel 8) von großer Bedeutung, da in einem Kanal mehrere SQUID-Signale auftreten, die in der Frequenz nicht präzise gestimmt werden können. Der Leckeffekt kann durch die Anwendung einer Fensterfunktion auf das Signal reduziert werden [129]. Dies verringert die Nebenmaxima im Frequenzspektrum und die Amplitudenvarianzen auf Kosten der Selektivität des Durchlassbands und einer leichten Erhöhung der Rauschbeiträge.

Zur Generierung der Fensterfunktion können zwei optionale Untermodule aktiviert werden. Für bereichsweise lineare Fenster, wie Dreiecksfenster bzw. Barlett-Fenster und Trapezfenster, kann eine integrierte Variante des in Abschnitt 5.2.2 vorgestellten Rampengenerators verwendet werden. Arbiträre, reellwertige Fenster können mittels eines integrierten Signalgenerators aus Abschnitt 5.2.1 generiert werden. Die Registerschnittstelle der optionalen Module ist dem Bereich des Flussrampen-Demodulationmoduls angehängt. Mit der Erweiterung wird synchron zur Demodulation das Fenster generiert und mit den Signalen nach der Berechnung des Absolutwerts multipliziert [130]. Mit dieser Methode kann das Übersprechen bei mehreren SQUID-Signalen verbessert werden (Beispiel in Abbildung 5.15).

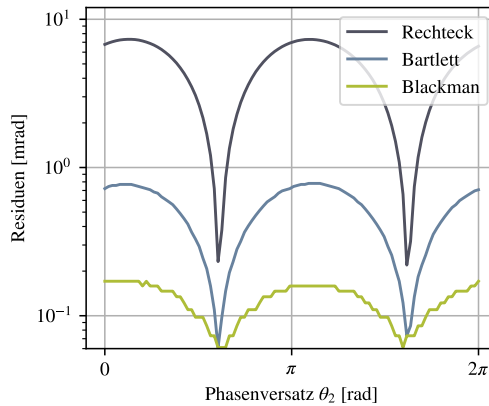


Abbildung 5.15: Simulation des Demodulationsmoduls mit zwei Sinusfunktionen als Flussrampe mit 40 und 44,4 Perioden und 1000 Abtastwerten. Die Abbildung zeigt den Demodulationsfehler der ersten Rampe für drei verschiedene Fensterfunktionen, wenn das zweite Signal um θ_2 phasenverschoben wird. Bereits mit dem effizienteren Bartlett-Fenster kann die Dämpfung der Residuen signifikant verbessert werden, in diesem Fall um eine Größenordnung [Kar21a].

5.6 Erkennung von Sensorereignissen

Die Phasendaten, die nach der Flussrampen-Demodulation vorliegen, enthalten zufällig verteilte Teilchenereignisse der Sensoren. Die charakteristischen Ereignisse sollen durch das Erfassungssystem zuverlässig erkannt werden, sodass irrelevante Informationen im Zeitsignal verworfen werden können. Hierfür ist ein Modul in der Signalverarbeitungskette erforderlich, welches die Ereignisse erkennt und sie im Anschluss als Datenpakete weitergeben kann.

5.6.1 Triggeralgorithmus

Ein Sensorereignis zeichnet sich durch einen schnellen exponentiellen Anstieg ($\tau_r < 100$ ns) und einen langsamen, exponentiellen Abfall ($\tau_f > 1$ ms) aus (vgl. Abschnitt 2.2.1). Aus dieser Signalform kann, beispielsweise mittels Optimalfilterung, die Energie des detektierten Teilchens berechnet werden [27]. Neben den Signalen des Sensors gibt es Störeinflüsse wie elektromagnetische Strahlung, beispielsweise durch Mobilfunk, und kosmische Strahlung, für die spezielle Filteralgorithmen durchgeführt werden müssen um sie von den echten Ereignissen zu unterscheiden [131]. Die Berechnungen der Energie und verschiedener Störsignalfilter können in der Software implementiert werden, die auf leistungsstarken Servercomputern ausgeführt wird. Für die softwareseitige Verarbeitung und für den Transport der Daten zwischen Erfassungssystem und Server ist es jedoch erforderlich die Datenrate zu reduzieren. Das Erfassungssystem kann mittels eines Triggers eine Vorauswahl der Sensordaten treffen und Signaldaten ohne Ereignisse verwerfen.

Aus der Signalform der Kalorimeter ergeben sich zumindest die folgenden drei Parameter, für die ein Schwellenwert-Trigger ausgelegt werden kann: der *Absolutwert* des Signals, wirksam auf den erreichten Signalpegel; der *Gradient* des Signals, wirksam auf die Steilheit des Anstiegs und die *Ähnlichkeit* des Signals zu einer Referenz bzw. charakteristischen Funktion (Korrelation mittels Optimalfilter, [27, 132]). Die in Sensorensignalen enthaltenen Rauschbeiträge und Störungen können den Trigger beeinflussen und müssen bei der Auswahl des Triggeralgorithmus berücksichtigt werden. Durch eine Änderung der Temperatur oder eines vorhergehendes Ereignisses, kann das Signal mit einem Offset behaftet sein. Dies schränkt vor allem die Verwendung des Absolutwerts ein: Ein Drift oder Offset des Absolutwerts verändert die Differenz zwischen der Ruheamplitude (Baseline) und der Signalamplitude. Dies kann bei der Überschreitung des gesetzten Pegels sogar zu einer Auslösung führen. Im Gegensatz dazu wird der Gradient des Signals durch den Offset nicht beeinflusst, allerdings wird die Amplitude anderer hochfrequenter Rauschbeiträge im Kanal durch die Differenzierung verstärkt. Das Verfahren stellt dadurch höhere Ansprüche an das Signal-zu-Rausch-Verhältnis. Die Optimalfiltervariante ist durch die lange Korrelationszeit in Bezug auf das Rauschen den beiden vorigen Varianten überlegen. Jedoch benötigt das Filter für jedes Sample des Signals ein Register und äquivalent viele Multiplikationen pro Taktzyklus. Da die Signaldauer $\tau_r + \tau_f$ verglichen mit der Abtastzeit groß ist, werden viele Multiplikationsblöcke, Register und Speicherblöcke im FPGA belegt. Dadurch ist dieses Verfahren nur begrenzt für kontinuierliche Berechnung auf dem FPGA geeignet.

Eine skalierbare Implementierung innerhalb des FPGAs setzt eine optimale Nutzung der Ressourcen pro Kanal voraus. Daher wird für die Vorauswahl der Ereignisse ein gradient-basiertes Verfahren aus der Klasse der Trapez- und Dreiecks-Filter gewählt [133, 134, 135]. Trapezfilter wandeln einen Eingangspuls in ein trapezförmiges Signal um, welches einen rampen-artigen Anstieg, ein Plateau und einen rampen-artigen Abfall aufweist (siehe Abbildung 5.16). Dabei werden zwei gleitende Mittelwertfilter verwendet, die durch Verzögerungsregister zeitlich zueinander versetzt und im Anschluss subtrahiert werden. Berühren sich die Integrationsintervalle der Filter, wird das Ausgangssignal dreieckig, bei einem größeren Abstand bildet sich eine Trapezform. Die Tiefpasscharakteristik der gleitenden Mittelwerte verbessert das erreichbare SNR [136].

Die Trapezfilter-Implementierungen aus Quelle [133, 134] sind dafür ausgelegt, die Signale zu erkennen und die Signalenergie im gleichen Schritt zu extrahieren. Daher sind diese Filter mit Rekursion dahingehend optimiert, nur die Resultate der Filterung zu erhalten. Die benötigte Funktionalität ist lediglich die Erkennung und anschließende Weiterleitung der Ereignisse. Eine optimierte, rekursive Variante bietet keine ressourcentechnischen Vorteile. Der Einsatzzweck als Ereignis-Vorauswahl stellt niedrigere Anforderungen an das Filter: Soll auf Basis des Ausgangswerts lediglich eine Triggerentscheidung getroffen werden, kann der

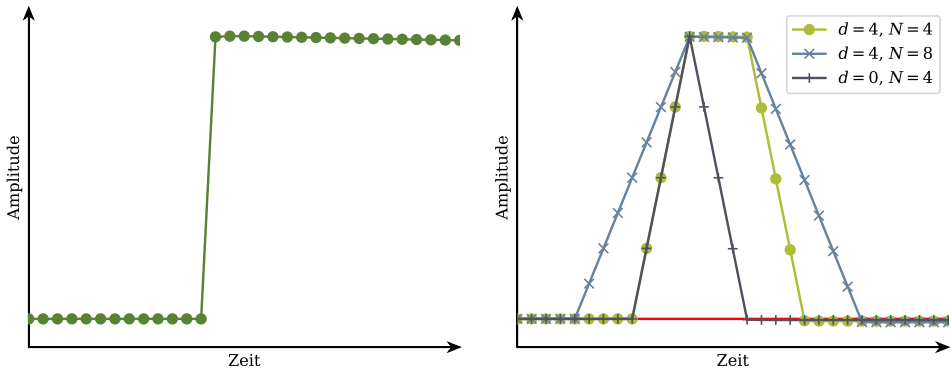


Abbildung 5.16: Die ansteigende Flanke eines Puls-Ereignisses als Eingangssignal am Trapezfilter (links) erzeugt je nach Verzögerung ein trapezförmiges oder dreieckiges Signal am Ausgang (rechts). Durch die fallende Flanke schlägt das Signal unter den Nullpunkt, der roten Gerade, aus.

Plateauzeitraum ($d = 0$) eingespart werden und der Integrationszeitraum der Mittelwert-Filter N deutlich reduziert werden. Daraus ergibt sich ein Filter der Form:

$$y(k) = \sum_{l=0}^N x(k-l-d) - x(k+l+1), \quad (5.44)$$

wobei $x(k)$ das Eingangssignal zum Samplezeitpunkt k , d der zeitliche Abstand zwischen den zwei Mittelwertfiltern und $y(k)$ der Differenzwert zur Triggerentscheidung ist. Der Wertebereich von $y(k)$ kann durch eine anschließende Normierung um $1/N$ vom Integrationszeitraum unabhängig gemacht werden. Der Funktionswert wird anhand eines Drei-Punkt-Triggers ausgewertet, welcher anhand dreier Punkte $\{k-1, k, k+1\}$ im Signal $y(k)$ das Maximum oder das Minimum der Kurve erkennt. Die Triggerentscheidung wird getroffen, wenn die folgenden Bedingungen wahr werden (nach [137]):

$$\text{Maximum: } y(k) - y(k-1) \geq 0 \wedge y(k+1) - y(k) < 0 \quad (5.45)$$

$$\text{Minimum: } y(k) - y(k-1) \leq 0 \wedge y(k+1) - y(k) > 0 \quad (5.46)$$

Die Ausdrücke müssen um die Bedingung

$$|y(k)| \geq S \quad (5.47)$$

erweitert werden, um den Trigger mit einem Schwellenwert S gegenüber dem Rauschniveau einstellen zu können. Die Bedingung muss sowohl beim Minimum als auch beim Maximum erfüllt sein. Es ist zu beachten, dass das Filter durch die Steigung der abfallenden Flanke des Ereignisses erneut ausschlägt (siehe Abbildung 5.16); dieser Ausschlag ist von geringer

Amplitude und muss durch die Schranke S ebenfalls ausgeschlossen werden. Dieser erneute Ausschlag kann bei bekannter Abfallszeit kompensiert werden [133]. Da die Abfallszeit jedoch individuell für jeden Sensor ist und auch von anderen Faktoren wie beispielsweise der Temperatur abhängt, wird die Kompensation nicht berücksichtigt. Das Trapezfilter mit Drei-Punkt-Trigger kann durch den geringen Kontrollflussanteil hervorragend auf FPGA-Strukturen abgebildet werden, ermöglicht Pipelining und somit eine hohe Taktrate. Eine ressourcensparende TDM-Implementierung wird in den folgenden beiden Abschnitten beschrieben.

5.6.2 Dimensionierung des Ereignispuffers

Die Sensorsignale liegen nach der Signalverarbeitungskette in einem TDM vor; es wird zu jedem Taktzyklus ein anderer Kanal verarbeitet. Nach einem ausgelösten Trigger muss das Ereignis eines Kanals aus dem TDM extrahiert und in einem zugewiesenen Speicherbereich zwischengespeichert werden. Die Daten liegen somit nicht mehr abwechselnd vor, sondern in einem Paket, welches durch einen Direct-Memory-Access (DMA) (siehe Abschnitt 6.3) in einen größeren DDR-Speicher kopiert werden kann.

Der TDM enthält maximal 32 Kanäle, in denen jeweils nur etwa 20 Ereignisse pro Sekunde auftreten. Die Anzahl an gleichzeitigen Ereignissen in mehreren Sensoren ist nicht deterministisch. Idealerweise muss daher für jeden Kanal ein Speicherplatz permanent zur Verfügung stehen, um alle Ereignisse erfassen zu können. Dies ist aufgrund der großen Kanalzahl und der langen Ereignisdauer nicht möglich. Falls weniger Speicherplätze als Kanäle bereitgestellt werden, führt dies potenziell zu einem Verlust an Daten. Der Puffer kann in Situationen mit vielen simultanen Ereignissen überlaufen. Da in einem FPGA nur eine begrenzte Menge an schnellem Speicher (BRAM) zur Verfügung steht, muss der vorgehaltene Puffer dimensioniert werden, sodass nur eine vertretbare Menge an Ereignissen verworfen werden muss.

Um den benötigten Pufferspeicherplatz für Ereignisse abzuschätzen, spielen die Rate Γ des Sensors, die Anzahl der Sensoren S , die Anzahl der Signalverarbeitungsketten C (= Anzahl ADCs), die Module M (= Ereignis-Erkennungen pro ADC), die Zeitdauer des Ereignisses T_e und natürlich die Daten pro Ereignis eine Rolle.

Die erste Annahme ist, dass die Zerfallsrate konstant ist und der stochastische Prozess der Poisson-Verteilung folgt:

$$P_\lambda(X = x) = \frac{\lambda^x}{x!} e^{-\lambda} \quad (5.48)$$

Die zweite Annahme ist, dass das System N Ereignisse der Länge T_e in einer bestimmten Zeitspanne T_c zwischenspeichern kann. In Zeitintervallen, in denen die Anzahl N überschritten wird, werden überschüssige Ereignisse verworfen. Die Gesamtspeicherzeit T_c setzt sich aus

der Ereignisdauer T_e und der Erfassungszeit T_{daq} zusammen. Die Erfassungszeit wird durch die Dauer des Abtransports gegeben und hängt dadurch von verschiedenen Systemparametern ab; als obere Abschätzung wird diese auf 10 % der Ereignisdauer gesetzt.

$$T_c = T_e + T_{\text{daq}} \lesssim 1.1 \cdot T_e \quad (5.49)$$

Nun kann die Rate λ berechnet werden, wobei das Produkt $C \cdot M$ die Anzahl der Module mit separaten Pufferspeichern ist, welche jeweils eine Speicherkapazität von N Ereignissen haben:

$$\lambda = \frac{\Gamma \cdot S}{C \cdot M} \quad (5.50)$$

Für die Wahrscheinlichkeit P_b , dass ein Ereignis verworfen werden muss, kann die *Erlang-B* Formel [138, 139] herangezogen werden:

$$P_b = B(E, N) = \frac{\frac{E^N}{N!}}{\sum_{i=0}^N \frac{E^i}{i!}} \quad (5.51)$$

Die Erlang-B Formel stammt aus der Warteschlangentheorie aus dem Bereich der Telekommunikation. Sie beschreibt die Wahrscheinlichkeit einer Blockierung eines Zugriffs bei poissonverteilten, zeitlich-beschränkten Zugriffen auf eine geteilte, endliche Ressourcenanzahl N [138]. Dabei wird der *Verkehrswert* E durch die Häufigkeit der Zugriffe und die Dauer der Zugriffe definiert. Mit der Ereignisrate und der Gesamtspeicherzeit kann der Verkehrswert $E = \lambda T_c$ berechnet werden. Der Wert wird in der dimensionslosen Einheit *Erlang* angegeben.

In Tabelle 5.7 wurde die Verwurfswahrscheinlichkeit für einen exemplarischen Parametersatz für ECHo berechnet. Wie zu erkennen ist, werden bereits für kleine Pufferanzahlen hohe Effizienzen erreicht. Die erforderliche Gesamtkapazität G des Puffers kann durch die Pufferanzahl N , die Abtastzeit T_s , die Ereignisdauer, die Gesamtanzahl der Module $C \cdot M$ und die Datenwortbreite D berechnet werden:

$$G = (C \cdot M) \cdot \left(N \cdot D \cdot \frac{T_e}{T_s} \right) \quad (5.52)$$

Für die Ereignisrate von 10 Bq mit einer Länge von 3 ms müssen lediglich fünf Speicherplätze angelegt werden, um über 99 % der Ereignisse zu erfassen – dies ist vergleichbar mit der Quanteneffizienz der Sensoren [36]. Sind 20 der 32 Kanäle aktiv, kann somit der Speicherbedarf um 75 % gegenüber einer Vollausrüstung reduziert werden. Die Speichermenge pro Speicherplatz wird durch die Abtastzeit T_s der Flussrampenmodulation vorgegeben. Im folgenden Abschnitt werden fünf Speicherplätze verwendet.

Parameter	Wert	N	$P_b = B(E, N)$
Γ	10 Bq	0	100 %
S	800	1	56,89 %
C	5	2	27,3 %
M	4	3	10,72 %
T_e	3 ms	4	3,42 %
$T_c = 1.1 \cdot T_e$	3,3 ms	5	0,89 %
$\Rightarrow E$	1,32 Erl	6	0,2 %

Tabelle 5.7: Für den vorgegebenen Parametersatz (links) lässt sich die Wahrscheinlichkeit P_b für ein verlorenes Ereignis bei verschiedenen Puffergrößen N berechnen (rechts).

5.6.3 Implementierung

Die Ereignis-Erkennung ist modular aufgebaut und trennt sich in verschiedene funktionale Einheiten nach der Übersicht auf Abbildung 5.17. Die Sensordaten am Eingang passieren zunächst das Trapezfilter und im Anschluss ein Schieberegister (Pretrigger-Puffer). Der Ausgang des Filters wird durch einen Dreipunkt-Trigger mit den Schwellenwerten verglichen und ggf. der zugehörige Datenstrom durch den Zustandsautomaten abgespeichert. Für die Abspeicherung der Ereignisse wird ein deskriptorbasierter Zwischenspeicher verwendet, der die Daten zwischen der Taktdomäne der Signalverarbeitung und der DMA-Logik übergibt. Auf der DMA-Seite werden durch einen Zustandsautomaten (Weiterleitung) die Daten aus dem Speicher geladen und an den DMA gegeben.

Das Trapezfilter wird mit zwei rekursiven gleitenden Mittelwert-Filtern implementiert, die je ein Schieberegister, einen Subtrahierer und einen Akkumulator besitzen. Die Ausgabe der Filter wird nach Gleichung 5.44 in einen weiteren Subtrahierer zusammengeführt. Aus dem Ausgangssignal des Trapezfilters bildet der Drei-Punkt-Trigger das Triggersignal für den nachfolgenden Zustandsautomaten. Abtastwerte vor dem Triggerzeitpunkt können durch einen Pretrigger-Puffer zwischengespeichert werden. Dieser wird mittels eines synchronen FIFO-Puffers mit variabler, zur Laufzeit konfigurierbaren Länge realisiert.

Der Speicher-Logik besitzt einen Ringpuffer mit Prozessdaten wie dem Zeitstempel und dem Triggerfilterwert für den aktuellen Eingangskanal. Es gibt einen Softwaretrigger für einzelne Kanäle, ein Register um Kanäle zu deaktivieren, und einen Timestamp-Counter, der mit jedem Abtastzeitpunkt erhöht wird. Sobald der Filterwert ein Triggersignal auslöst oder ein Software-Trigger vorliegt, wird der Zeitpunkt in den Kanaldaten hinterlegt und ein freier Deskriptor aus dem Zwischenspeicher abgeholt. Bis zur gesetzten Ereignislänge wird für den Kanal der im Deskriptor definierte Speicherbereich mit den Eingangsdaten gefüllt. Danach

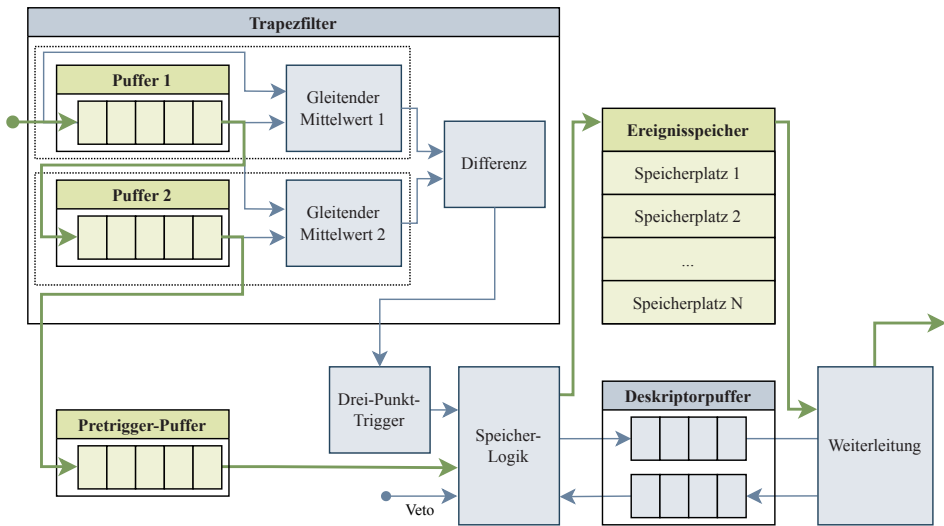


Abbildung 5.17: Übersicht der Ereignis-Erkennung

wird der Deskriptor für diesen Speicherbereich in den Zwischenspeicher zurückgegeben. Falls während der Abspeicherung der Daten der Trigger erneut ausgelöst wird, wird das Ereignis als *Pile-Up* markiert. Weiterhin besitzt der Zustandsautomat einen Veto-Eingang, welcher über ein externes Signal den Trigger entschärft.

Der Zwischenspeicher besteht aus einem asynchronen Zweiport-BRAM als Ereignisspeicher und zwei selbst-komprimierenden FIFO-Schieberegistern als Deskriptorpuffer. Die selbst-komprimierenden Schieberegister schieben jeden Taktzyklus gültige Deskriptoren eine Stelle weiter, vorausgesetzt diese beinhaltet keinen Deskriptor. Auf der Leseseite des Schieberegisters werden über einen kontrollierten Taktomänenübergang die Deskriptoren übergeben. Die Deskriptoren beinhalten die Speicheradresse, die Speicherlänge des Speicherplatzes und die Metadaten der Ereignisse. Das erste der Schieberegister transportiert Deskriptoren leerer Speicherbereiche von der DMA-Seite zur Trigger-Seite. Das zweite transportiert die Deskriptoren befüllter Bereiche in entgegengesetzter Richtung.

32-bit-Wort	0	1	2	3	4 ... N+3
Inhalt	[31:24] Gerät	[23:16] Kette	Zeitstempel	Filterwert	Pile-Up Daten
		[15:0] Kanal			

Tabelle 5.8: Daten und Metadaten eines Ereignisses. Gerät- und Kettennummer können dem Modul als VHDL-Generic übergeben werden; die Kanalnummer bezieht sich auf den TDM-Kanal.

Auf der Seite der DMA-Taktdomäne wird der Abtransport über einen Zustandsautomaten gesteuert. Dieser prüft jeden Taktzyklus auf einen neuen Deskriptor. Falls vorhanden, gibt der Automat zunächst die Metadaten an den Datenstrom weiter, danach werden die Daten an den AXI-Stream-Ausgang übergeben. In der aktuellen Anwendung sind der Signalverarbeitungstakt am Eingang des Moduls und die DMA-Taktdomäne am Ausgangsdatenstrom identisch. Der resultierenden Datenblock des Ereignisses wird in Tabelle 5.8 gezeigt. Nach Abschluss des Transfers wird der Deskriptor als leer markiert und in das entsprechende Schieberegister des Zwischenspeichers geladen.

Das Modul kann zum Synthesezeitpunkt mit einer Speicherplatzanzahl konfiguriert werden. Für Beispielwertekonfigurationen ist der Ressourcenbedarf in Tabelle 5.9 aufgezeigt. Bisher ist die Datenwortbreite des Zwischenspeicher mit 32 bit größer ausgelegt als die Breite der Abtastwerte, sodass größere Datenwortbreiten nach der Flussrampen-Demodulation möglich sind. Die Breite kann reduziert werden um den Speicherbedarf zu optimieren. Zur Kalibrierung der vorhergehenden Signalverarbeitungskette und des Trigger-Algorithmus kann das Modul überbrückt werden, sodass die Eingangsdaten direkt am Ausgang anliegen. Mit dem Abtransport aus dem Speicher verlässt das Sensorsignal die Signalverarbeitungskette.

CLB LUT	CLB Register	BRAM	DSP
2092	3594	14	3

Tabelle 5.9: Ressourcenbedarf der Ereignis-Erkennung, mit 256 Pretrigger-Abtastwerte, 1024 Ereignis-Abtastwerte und 5 (aufgerunden auf 8) Speicherplätzen.

5.7 Skalierbarkeit der Verarbeitungskette

Das angestrebte Auslesesystem für das ECHO-Experiment verteilt die Analogbandbreite des Mikrowellen-SQUID-Multiplexes auf fünf I&Q-Paare (vgl. Abschnitt 4.4). Der vorgestellte Firmwareprototyp erlaubt die Auslese mit einem I&Q-Paar bzw. je zwei AD- und DA-Wandlerkanälen und damit für 80 Multiplexer-Kanäle (vgl. Abbildung 5.2). Zum Erreichen einer größeren Kanalanzahl wird die Firmware im Folgenden schrittweise skaliert. Mit den zwei internen Signalverarbeitungsketten belegt der Prototyp 28,5 %⁷ des verwendeten Xilinx® Evaluationsmoduls mit XZCU9EG-FPGA (im Folgenden ohne XCZU-Prefix) der Geschwindigkeitsklasse *SpeedGrade-2*. Da die DA-Wandlerchips je zwei I&Q-Kanäle aufweisen, sind

⁷ Die Auslastung bezieht sich auf den Ressourcentyp, der durch die Firmware vorzugsweise belegt wird und der auf die Skalierung limitierend wirkt. Dies sind zumeist CLB LUTs.

in der aktuellen Implementierung bereits die JESD204B-Schnittstellen für das zweite I&Q-Paar für AD- und DA-Wandler integriert; die Aufschlüsselung nach den Ressourcen ist in Tabelle 5.10 gegeben, eine genauere Auflistung findet sich im Anhang (Tabelle A.2). Ausgehend von der Ressourcenauslastung würde sich die Firmware theoretisch zu vier der fünf I&Q-Paare auf dem aktuellen 9EG-FPGA skalieren lassen. Jedoch wird durch die hohe Taktfrequenz von 500 MHz der Signalverarbeitungskette die Platzierung und das Routing auf dem FPGA erschwert, sodass das Timing für Designs mit mehr als einem I&Q-Paar nicht erfüllt wird. Daher muss untersucht werden, ob die Firmware bezüglich Ressourcenbelegung, Grenzfrequenz der Komponenten und Taktfrequenz optimiert werden kann, damit im Anschluss die Wahl eines entsprechend dimensionierten FPGAs möglich ist.

		CLB LUT	CLB Register	BRAM	DSP
2 TX, 1 RX I&Q-Paare	Absolut	78146	117666	250	265
	Prozentual	28,5 %	21,5 %	27,4 %	10,5 %
2 TX, 2 RX I&Q-Paare	Absolut	121591	191012	366	527
	Prozentual	44,4 %	34,8 %	40,1 %	20,9 %
2 TX, 4 RX I&Q-Paare	Absolut	220001	352717	608	955
	Prozentual	80,3 %	64,3 %	66,7 %	37,9 %

Tabelle 5.10: Belegung des Prototyp FPGAs XCZU9EG [86] mit verschiedenen Kettenanzahlen; es wurden Firmwareimplementierungen mit jeweils zwei JESD204B-Schnittstellen verwendet. Die Implementierungen enthalten unterschiedlich viele Empfangspfade (RX) und Sendepfade (TX). Für ein vollständiges I&Q-Paar ist ein Send- und ein Empfangspfad notwendig. Die Aufschlüsselung nach Einzelkomponenten ist im Anhang in Tabelle A.2, Tabelle A.3 und Tabelle A.4 gegeben.

Im ersten Schritt wird die Anzahl von einem auf zwei I&Q-Paare erhöht. Zunächst werden dafür sogenannte Super-Long-Line-Register (SLL-Register) zwischen ausgewählten Modulen in den Signalverarbeitungsketten und um das AXIS-Switch-Modul, welches die Ketten zusammenführt, eingesetzt um die Platzierung auf der FPGA-Fläche zu vereinfachen. Die SLL-Register-Ressourcen verbinden Logik auf verschiedenen Super-Logic-Regionen (SLRs) des FPGAs mittels spezieller Logikblöcken und Routing-Ressourcen [140]. Weiterhin wird der DMA-FIFO-Puffer kleiner dimensioniert, sodass der Puffer kompakter platziert wird. Die beiden Optimierungen erlauben einen durchgängigen 500 MHz Takt mit maximal zwei I&Q-Paaren bzw. vier Signalverarbeitungsketten. In dieser Konfiguration werden lediglich 44,4 % der FPGA-Ressourcen, aber bereits weite Teile der FPGA-Fläche belegt. Im nächsten Schritt wird daher die Taktrate für den kritischen Teil der Verarbeitungskette reduziert. Der Tiefpassfilter der Mehrkanal-DDC aus Abschnitt 5.3.4 schneidet durch seinen Frequenzgang Signale über der halben Nyquistfrequenz ab, daher kann an dieser Stelle eine Dezimierung

der Abtastrate erfolgen. Das FIR-Filter wird auf die Dezimierung um Faktor-2 umgestellt und die Abtastwerte, welche durch das `valid`-Signal ausdünn sind, mit einem asynchronen FIFO-Puffer [141] zu einer abgeleiteten Taktdomäne mit 250 MHz übergeben. So kann der verbleibende Teil der Kette mit dieser reduzierten Taktfrequenz betrieben werden. Mit dieser Änderung wird eine Firmware mit vier I&Q-Paaren auf dem FPGA implementiert, wobei für zwei Paare keine Sendepfade integriert werden und die ihre Eingangsdaten für die Empfangspfade vom AD-Wandler des zweiten I&Q-Paares erhalten. Diese Firmware belegt bereits 80,3 % der FPGA-Ressourcen und erreicht das vorgesehene Timing (vgl. Tabelle A.4). Die verbleibenden 19,7 % reichen für ein weiteres I&Q-Paar nicht aus und es müssen zusätzlich etwa 5 % für die fehlende Sendeseite und die JESD204-Module eingeplant werden. Das Ziel-system benötigt daher eine größere FPGA-Fläche um die notwendige Anzahl an Ketten zu integrieren.

In der Xilinx® Zynq Ultrascale+ Serie stehen die Modelle 11-,15-,17- und 19EG [86] mit größerer FPGA-Fläche zur Verfügung. Diese FPGAs integrieren neben den regulären BRAM-Speichern auch URAM-Speicher [89]; dabei steht beim 11-,15- und 17EG-FPGA weniger BRAM zur Verfügung als beim 9EG-Chip. Die Firmware muss daher angepasst werden: Einige Module, wie der DMA-Controller, die Signalgenerierung und Teile der Ereignis-Erkennung können auf diesen Speichertyp umgestellt werden. Im Idealfall kann ein Verhältnis von 1:8 erzielt werden, wobei der reguläre Block-RAM 36 kbit und der Ultra-RAM 288 kbit Speicherplatz bietet. Ausgehend von den vorigen Untersuchungen kann davon ausgegangen werden, dass eine Auslastung von etwa 80 % möglich ist. In Tabelle 5.11 wird die Firmware inklusive der Ressourcen fehlender Module abgeschätzt und mit den verfügbaren Ressourcen auf den größeren FPGAs verglichen. Dazu werden die Block-RAMs für den DMA-Controller und für die Signalgenerierung mit Ultra-RAM ersetzt. In der Tabelle ist zu erkennen, dass der Ressourcenbedarf der Firmware die verfügbaren Ressourcen des 9EG- und 11EG-Bausteins deutlich überschreitet. Sie kann somit auf diesen Geräten nicht, oder lediglich mit weniger Kanälen und Anpassung der Signalverarbeitungsparameter, implementiert werden. Die Verwendung von 15-, 17- und 19EG-Bausteinen ist möglich, jedoch unterscheiden sich diese in ihrer Flexibilität bezüglich zukünftiger Anpassungen. Der 15EG-Baustein bietet eine große Anzahl an weiteren DSP-Blöcken an, sodass die Filter weiter verbessert und die I&Q-Imbalance-Korrektur integriert werden kann; gleichzeitig ist die knappe Zahl an überschüssigen LUTs ein Hindernis für diese Erweiterungen. Da es jedoch weder eine geeignete kommerzielle Platine noch nennenswerte universitäre Entwicklungen mit 15EG-Chip gibt, wäre eine Platinenentwicklung erforderlich. Aus wirtschaftlichen Gründen muss dieser Typ daher ausgeschlossen werden. Beim 17EG-Chip ist die Auslastung gleichmäßiger; durch die verbleibende Anzahl an DSP-Blöcken können Filter weiter verbessert werden, die empfangsseitige I&Q-Imbalance-Korrektur kann allerdings nicht mit abschließender Sicherheit platziert werden.

Der 19EG-Chip hält von allen Ressourcen ausreichende Mengen vor und ermöglicht die größte Flexibilität bei Änderungen. Als Zielplattform für die ECHO-Firmware sind daher der 17- und 19EG-Chip am besten geeignet.

	CLB LUT	CLB Register	BRAM	URAM	DSP	
2 TX, 4 RX aus Tab. A.4	220001	352717	512 (608)	12	955	
3 TX, 1 RX I&Q-Paare	46263	77703	121 (217)	12	248	
3 RX, 3 TX JESD204-IPs	20787	23123				
	Absolut	288635	455271	633 (825)	24	1203
	Prozentual 9EG	105,3 %	83,1 %	90,46 %	–	47,8 %
	Prozentual 11EG	96,7 %	76,2 %	105,50 %	30,0 %	41,1 %
Gesamt	Prozentual 15EG	84,6 %	66,7 %	85,08 %	21,4 %	34,1 %
	Prozentual 17EG	68,2 %	53,8 %	79,52 %	23,5 %	75,7 %
	Prozentual 19EG	55,2 %	43,6 %	64,33 %	18,8 %	61,1 %

Tabelle 5.11: Abschätzung der Gesamtressourcen der Firmware für fünf I&Q-Paare. Abhängig vom FPGA-Typ werden URAM-Blöcke und BRAM verwendet oder der eingeklammerte Wert für BRAM allein.

Abseits von der Skalierung der Signalverarbeitungsketten kann durch eine geringfügige Anpassung der Parameter des Mikrowellen-SQUID-Multiplexers ein höherer Multiplex-Faktor erreicht werden und somit die Kanalzahl skaliert werden. Die Einzelkanäle in der vorgestellten Kanalisierung (vgl. Abschnitt 5.3) beinhalten durch den gewählten Kanalabstand von 10 MHz nicht alle einen gültigen Auslesekanal. Das Raster der Kanalisierung liegt durch die Verwendung einer 32-Punkt-FFT bei 7,8125 MHz, daher bleiben manche der Kanäle frei. Bei entsprechender Platzierung der Ausleseresonatoren auf diesem Raster können bei einer Bandbreite von 800 MHz mit der gleichen Signalverarbeitungskette 102 statt 80 Kanäle ausgelesen werden. Diese Steigerung um 27,5 % würde bei vier Ausleseketten (für 9EG und 11EG) eine maximale Kanalzahl von 408 und bei fünf Ketten 510 Kanäle ermöglichen. Um weiterhin eine große Kanalisierung bei geringerem Frequenzabstand zu ermöglichen, könnten benachbarte Kanäle mit unterschiedlichen Flussrampenfrequenzen betrieben werden. Dadurch korrelieren die Signale benachbarter Kanäle in der Flussrampen-Demodulation weniger stark. Das System weist zwei unabhängige Ausgänge für die Flussrampen-Signale auf. Mit der Anpassung der Resonatorenabstände sind weitere Optimierungen möglich. Durch die Anpassung der Überlappung im Kanalisierer, der Dezimierung oder dem gänzlichen Verzicht auf die Abdeckung der blinden Intervalle (vgl. Abschnitt 5.3.3) können Ressourcen im zweistelligen Prozentbereich eingespart werden.

5.8 Zusammenfassung

Die Signale des Mikrowellen-SQUID-Multiplexers können mit der Firmware der programmierbaren Logik verarbeitet werden. Für die zwei Hardwareprototypen sind zur Auslese zwei individuelle Firmwarerealisierungen vorgestellt worden. Sendeseitig müssen in der programmierbaren Logik das Flussrampensignal und der Frequenzkamm für den Frequenzmultiplex generiert werden; hierfür wurden ein linearer Rampengenerator und ein speicherbasierter Wellenform-Generator implementiert. Der speicherbasierte Ansatz ermöglicht unterdessen die sendeseitige Korrektur der I&Q-Imbalance. Der Frequenzmultiplex wird auf Empfangsseite mit einer heterogenen Kaskade aus Filtern separiert. Diese besteht aus einer DDC im AD-Wandler, einem Polyphasen-Kanalisierer und einer zweiten DDC. Durch die mehrstufige Dezimierung können die Daten sequenziell und in einem Zeitmultiplexbetrieb verarbeitet und somit Ressourcen eingespart werden. Die individuelle Korrektur der I&Q-Imbalance auf der Empfangsseite muss in Echtzeit im Zeitbereich erfolgen und ist nur mit größerem Aufwand realisierbar. Zur Korrektur der Imbalance wurden zwei Methoden vorgestellt, die auf einer Matrix-Vektor-Multiplikation basieren, und eine Prototypimplementierung, die diese in Echtzeit mit FPGA-Logik berechnet. Im Anschluss an den Demultiplex wird die Flussrampenmodulation demoduliert und die Sensorsignale im Datenstrom mit einem Trapezfilter und Triggeralgorithmus erkannt und danach gespeichert, so dass die Ereignisse der Sensoren mit Metadaten in geordneter Form in einem Speicher liegen. Die Firmware wurde für eine größere Anzahl von Verarbeitungsketten skaliert und optimiert, daher konnte eine Abschätzung für die benötigten Ressourcen im FPGA gegeben werden. Dabei wurden die Kandidaten 17- und 19EG der Xilinx® Zynq Ultrascale+ Familie als geeignet ausgemacht. Die Sensordaten im Speicher des FPGAs werden im Anschluss von einem DMA und von der Anwendungssoftware entgegengenommen. Die Firmware und die Software zum Versand der Daten und zur Konfiguration des Systems werden im nächsten Kapitel behandelt.

6 Datenakquisition und Kontrollschnittstelle

Für die Kalibrierung und Datennahme im Experiment ist es erforderlich, die Datenströme aus der programmierbaren Logik zu erfassen, auszuwerten und weiterzuleiten. Dabei müssen die einzelnen Firmwaremodule zur Signalverarbeitung mittels der gewonnenen Messdaten und durch Software in mehreren Schritten kalibriert werden. Zur Verwendung des Messsystems sind somit Firmware- und Softwarekomponenten sowohl für die Kalibrierung vor Ort als auch für den Datentransport sowie für die Konfiguration und Fernsteuerung erforderlich. Alle Komponenten werden idealerweise versioniert und als installierbares Paket ausgeliefert, sodass die Messsysteme im Experiment einfach aktualisierbar sind.

6.1 Steuerungs- und Akquisitionsübersicht

Im ECHO-Experiment ist ein Serversystem geplant, welches den Messablauf kontrolliert und die Daten zusammenführt. Das Experiment benötigt zur Datenakquise mehrere parallel arbeitende Messsysteme. Diese werden von dem Serversystem gesteuert und liefern ihre Messdaten zurück. Das Serversystem kann mit den gewonnenen Daten weitere Berechnungen durchführen, wie die der Optimalfilter, der Kompensationsalgorithmen und der Störfilter. Danach kann die Spektrumsberechnung oder eine Archivierung der Daten erfolgen [131]. Die Software für die Datenverarbeitung, die auf dem Server ausgeführt wird, ist nicht näher spezifiziert und nicht Bestandteil dieser Arbeit. Sowohl die Programmiersprache als auch die Schnittstellen der Software sind nicht definiert. Jedoch ergibt sich die Anforderung, dass die Schnittstellen des Messsystems in die Software integriert werden müssen.

Daher wird eine Benutzerschnittstelle entwickelt, welche die Kalibrierung, Steuerung und Datenerfassung über netzwerkfähige Remote-Prozeduraufrufe (RPCs) ermöglicht (vgl. Abschnitt 6.4.3). Diese Benutzerschnittstelle namens ServiceHub (vgl. Abschnitt 6.4.4) ist das zentrale Element, welches die Firmware und die Hardware im Messsystem konfiguriert und bedient. In Abbildung 6.1 ist ein Überblick der Software-Architektur gegeben, welche um die darunterliegenden Hardware- und Firmwaremodule ergänzt ist. Zur Konfiguration des Systems kann die Benutzerschnittstelle über den Systembus die Module in der programmierbaren

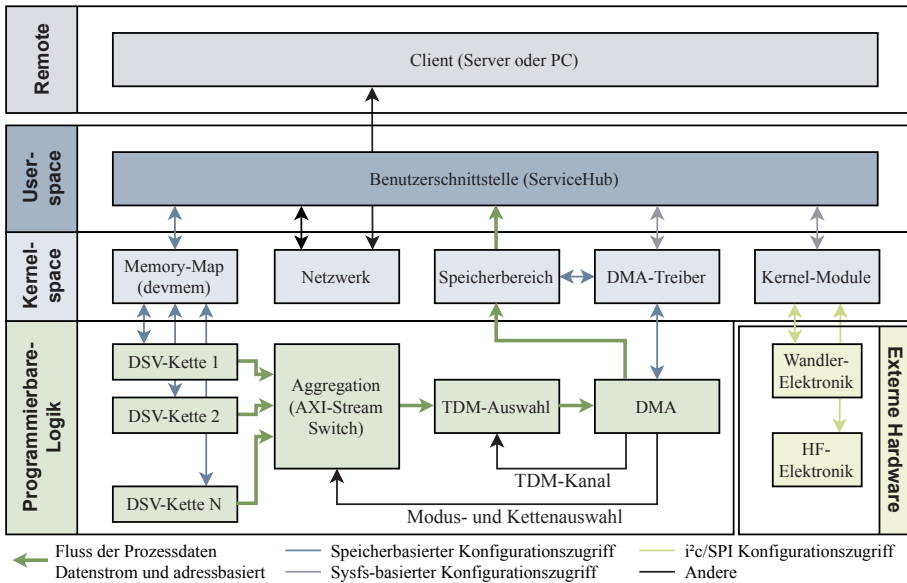


Abbildung 6.1: Übersicht der Datenerfassung, der Systemkonfiguration und der Software-Architektur

Logik steuern. Externe Hardwarebausteine werden mittels Kernelmodulen kontrolliert, die I²C- oder SPI-Busse anbinden.

Die Datenakquise findet über einen Direct-Memory-Access (DMA) statt (vgl. Abschnitt 6.3), welcher die Daten im Arbeitsspeicher ablegt, sodass sie vor Ort verarbeitet oder über Netzwerk weitergeleitet werden können. Die Messdaten in der programmierbaren Logik liegen als Datenströme der digitalen Signalverarbeitungsketten (DSV-Ketten) vor. Sie werden zunächst über einen AXI-Stream-Switch zusammengeführt und nach einer Kanalauswahl vom DMA abtransportiert.

6.2 Sensordatenaggregation

Die Aufzeichnung von Messdaten teilt sich in zwei Szenarien: die Kalibrierung und die Aufzeichnung der Sensorereignisse. Zur Kalibrierung des Systems müssen die Datenströme von unterschiedlichen Stellen der Verarbeitungsketten verfügbar sein. Bei den Kalibrierungsdaten handelt es sich um Rohdaten aus dem Kanalisierer für eine eventuelle I&Q-Korrektur, demodulierte Signale der digitalen Herabkonvertierung (DDC) für die Bestimmung des Flussrampenoffsets und der -frequenz und die demodulierte Flussrampe für die Einstellung der Triggerschwelle. Der Datenstrom während der Kalibrierung ist kontinuierlich, ungepuffert

und kann ohne einen Verlust von Daten nicht angehalten werden. Daher wird für dieses Szenario im Datenabtransport ein Puffer benötigt, welcher kurze Zeiträume überbrückt, in denen der Speicherbus zum PS nicht verfügbar ist. Dieser Aufzeichnungsmodus ist nur zum Zeitpunkt der Kalibrierung notwendig und wird im Folgenden *kontinuierlicher Modus* genannt. Während der Aufzeichnung von Messdaten hingegen werden die einzelnen Sensorereignisse in einem Speicher abgelegt; der Abtransport muss zeitnah, aber nicht sofort erfolgen (vgl. Abschnitt 5.6). Die Daten werden im *Paketmodus* als Pakete abtransportiert.

Im SDR-Auslesesystem werden die Sensorsignale in maximal zehn Ketten verarbeitet (vgl. Abschnitt 5.1 und Abschnitt 5.7). Aus den Ketten resultieren 20 Ausgangsdatenströme, welche während der Messung aufgezeichnet werden müssen. Daher wird zur Aggregation der Messdaten ein AXI-Stream-Switch eingesetzt. Diese kann mit einer unterschiedlichen Anzahl von eingehenden Ports konfiguriert werden und besitzt einen einzelnen Ausgangsport. Sowohl die Eingänge als auch die Ausgänge sind als AXI4-Stream-Ports ausgelegt. Zur Integration in das Firmwareprojekt ist der Switch für verschiedene Portkonfigurationen verfügbar. Diese haben jeweils ein eigenes VHDL-Übermodul, sodass der AXI-Stream-Eingangsport nicht vektorisiert ist und über den IP-Integrator mit den Ketten verbunden werden kann.

Im kontinuierlichen Modus bildet der Switch zwei Eingänge mit standardmäßig 32 bit auf einen 64 bit Ausgangsport ab, wobei die Zuordnung über einen Wahl-Eingang ausgewählt werden kann. Die Signalverarbeitungsmodule besitzen einen Bypass-Modus, der die Eingangsdaten auf den Ausgang weiterleitet. So kann die Stelle der Datenaufzeichnung in der Verarbeitungskette ausgewählt werden. Da die Kanalsortierung des TDM der Ketten synchron zueinander ist, ist ein Ausrichten des Datenstroms nach Kanälen nicht erforderlich. Die Verknüpfung der Daten zweier Ketten über die zwei Eingänge des Switchs ermöglicht eine I&Q-Kalibrierung, da die Signale von gegenüberliegenden Seitenbändern aufgezeichnet werden können. Im kontinuierlichen Modus wird an dem Switch die Zuordnung über ein Signal am Wahl-Eingang ausgewählt und bleibt dann über die Aufzeichnung hinweg konstant [142].

Der Paketmodus wird über einen Zustandsautomaten realisiert, die Busarbitrierung folgt dem *Round-Robin-Prinzip*. Der Zustandsautomat prüft auf den Eingängen zyklisch das `tvalid`-Signal, welches gültige Daten signalisiert. Ist eines der Signale aktiviert, wird der Kanal mit dem Ausgang verbunden und der Transfer startet mit der Durchschaltung des `tready`-Signals vom Ausgang auf den Eingangsport. Ist das Paket vollständig übertragen, fährt die Arbitrierung mit dem nächsten Kanal fort. Alle Kanäle werden somit mit der gleichen Priorität behandelt. In diesem Modus werden nur die 32 niederwertigen Bits des Ausgangs verwendet [142].

Die maximale Datenrate für den kontinuierlichen Modus können bis zu 4 GB s^{-1} (2 GB s^{-1} pro Kette) sein, werden aber durch eine anschließende Auswahl von bis zu vier Kanälen des TDMs auf 250 MB s^{-1} reduziert. Im Paketmodus ist die zu erwartende Rate von der Dezimierung der Flussrampen-Demodulation, der Breite der Phasendaten, der Ereignisdauer

und der Ereignisrate abhängig. Beispielsweise liegt die Datenrate für 8000 Zerfallereignissen pro Sekunde, einer Abtastrate von 250 kHz bei 32 bit Datenbreite und einer Ereignisdauer von 4 ms bei etwa 32 MB s^{-1} pro System.

6.3 Direct-Memory-Access

Die Datenakquise erfordert einen Direct-Memory-Access (DMA)¹ für die Abspeicherung der Prozess- und Kalibrierungsdaten im Arbeitsspeicher, sodass diese entweder direkt vor Ort weiterverarbeitet, oder über Netzwerk an ein Serversystem weitergeleitet werden können. Die Quelle ist ein Datenstrom aus der Signalverarbeitung, das Ziel ein adressbasierter Speicher. Der DMA ist an der Sensordatenaggregation angeschlossen und muss den in Abschnitt 6.2 beschriebenen kontinuierlichen Modus und Paketmodus unterstützen. Es soll ebenfalls eine Auswahl der Kanäle aus dem TDM-Datenstrom möglich sein. Für den Paketmodus muss der DMA einen AXI-Stream-Handshake implementieren. Für die kontinuierliche Datenerfassung muss der Handshake deaktivierbar sein und mittels eines integrierten Daten-FIFO-Puffers Pausen im Transfer überbrücken können.

Der DMA besteht aus einem Zustandsautomaten mit Deskriptorspeicher, welcher einen Xilinx® AXI-Datamover-IP-Core [143] (im folgenden Datamover genannt) kontrolliert. Eine Übersicht der Implementierung ist in Abbildung 6.2 dargestellt. Das Modul wird mit einem Linux-Kernel-Treiber über eine AXI4-Lite-Schnittstelle konfiguriert und gesteuert. Vor dem Start des Transfers erhält der DMA die Konfiguration für den Akquisitionsmodus, den ausgewählten Signalverarbeitungspfad und ggf. für die ausgewählten TDM-Kanäle. Im Anschluss erhält der DMA über den Treiber die Deskriptoren für Speicherbereiche. Diese können je nach angeschlossenem Speicher im DDR-Speicher des Processing-Systems oder der Programmable-Logic liegen. Eventuelle Lastspitzen im Linux-System können dazu führen, dass die Antwortzeit von Interrupts oder kritische Programmabschnitte zur Weitergabe von neuen Deskriptoren erhöht sind. Um im kontinuierlichen Modus ausreichend Deskriptoren verfügbar zu halten, ist der Deskriptorspeicher als FIFO-Puffer ausgelegt. Der Deskriptor-Puffer innerhalb des DMA sorgt dafür, dass der DMA weiterhin den Datenstrom abtransportieren kann und auch bei kleinerem Daten-FIFO-Puffer keine Daten verliert. Der Treiber übergibt mehrere Deskriptoren an den DMA, die über einen längeren Zeitraum abgearbeitet werden. Die Deskriptoren der gefüllten Speicherbereiche werden dann über den Treiber abgeholt und

¹ Bei einem Direct-Memory-Access (DMA) oder auch Speicherdirektzugriff handelt es sich um einen Funktionsblock in einem digitalen System, der mithilfe von Deskriptoren für Speicherbereich und -länge Daten über einen Bus zwischen einer Quelle und einem Ziel kopiert. Quelle und Ziel können dabei ein Datenstrom oder ein adressbasierter Speicher sein. Nach der Konfiguration und dem Start des Transfers agiert der Zustandsautomat im Funktionsblock vollkommen selbstständig und kann somit den Hauptprozessor des Systems entlasten [94].

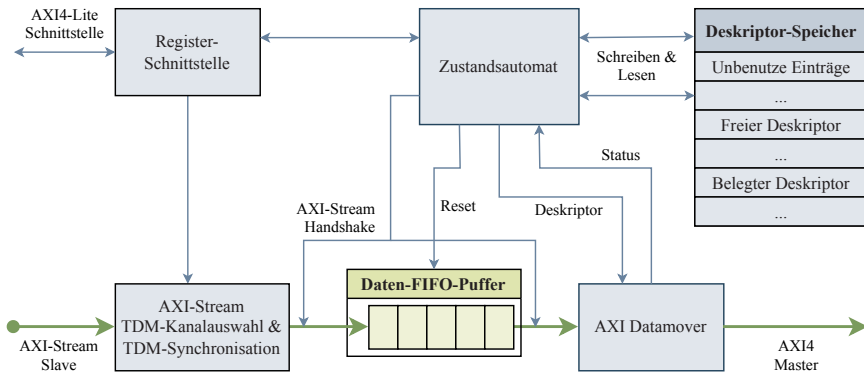


Abbildung 6.2: Übersicht des Direct-Memory-Access-Funktionsblocks

an eine Applikation im Userspace weitergegeben. Sind die Daten weiterverarbeitet, werden die Deskriptoren dem DMA wieder zugeführt.

Zur Auswahl der TDM-Kanäle in den Daten wird ein Modul implementiert, welches sich am `tlast` synchronisiert und nach einem vorgegebenen Bitset die ausgewählten Kanäle mittels `tvalid` als gültig markiert. Dieses Modul befindet sich vor dem Eingang des DMAs. Die Daten des Auswahlmoduls werden dann in einem FIFO-Puffer zwischengespeichert. Als Daten-FIFO-Speicher wird im DMA-Modul ein `XPM_FIFO_ASYNC`-Modul [141] auf Basis von BRAM oder eine Kombination aus BRAM und URAM eingesetzt. Der Speicher wird auf der Eingangsseite mit der Taktfrequenz der Signalverarbeitungskette von 500 MHz befüllt (wobei nur in zwei von 32 Takten Daten übertragen werden). Ausgangsseitig werden die Daten mit der Taktfrequenz des AXI4-Busses abgeholt, welche im Bereich von 200 MHz liegt. Die Länge des Speichers kann über die Parameter des Moduls festgelegt werden. Die Datenwortbreite kann in 2^n -Schritten konfiguriert werden. Dabei werden die Wortbreite des FIFO-Speichers und die des Datamover-IP-Cores getrennt definiert; der Zwischenspeicher übersetzt zwischen den zwei Wortbreiten. Die Eingangswortbreite wird auf 64 bit gewählt. Der Datamover transferiert die gepufferten Daten des Datenstroms in den adressbasierten AXI-Bus mit einer Datenbreite von 128 bit. Er besitzt zwei AXI-Stream-Ports für die Steuerung: Über den einen Port werden Kontrollwörter bzw. Deskriptoren eingegeben und der andere gibt Statuswörter für abgeschlossene oder fehlgeschlagene Transfers zurück. Während das Datenblatt des Datamovers [143] die maximale Taktfrequenz für die Xilinx® 7-Serie (Speedgrade -2) als 240 MHz angibt, erreicht er in dieser Konfiguration bei der Zynq Ultrascale+ Serie, Speedgrade -2, eine maximale Geschwindigkeit von über 300 MHz.

Die Steuerung des Moduls und die Verwaltung der Deskriptoren übernimmt ein Zustandsautomat. Der Zustandsautomat ist an einem Deskriptor-Speicher angeschlossen. Mittels Speicherzeigern wird ein zyklischer Puffer im Deskriptor-Speicher realisiert. Dabei gibt es einen

Zeiger für die leeren Deskriptor-Speicherplätze, einen Zeiger für den nächsten freien Deskriptor, einen Zeiger für die Deskriptoren, die sich gerade in Bearbeitung befinden, und einen, welcher auf den ersten abgearbeiteten Deskriptor zeigt. Der Zustandsautomat nimmt über die AXI4-Lite-Schnittstelle neue Deskriptoren entgegen und legt diese in freien Deskriptorplätzen im BRAM ab. Ist der DMA aktiv, überträgt der Automat neue Deskriptoren an die Kontrollschnittstelle des Datamovers, bis diese keine weiteren Deskriptoren annimmt. Die Deskriptoren verbleiben nach der Übertragung im Speicher. Wenn der Datamover einen Deskriptor abgearbeitet hat, nimmt der Automat das Statuswort entgegen und vervollständigt den gespeicherten Deskriptor mit der Status-Antwort. Danach steht der Deskriptor zur Abholung über die AXI4-Lite-Schnittstelle bereit [144].

Die Ressourcen des DMA-Controllers sind in Tabelle 6.1 angegeben. Der DMA kann die Daten entweder in den Speicher des PS oder der PL ablegen. Der PL-Speicher ist exklusiv für den DMA verfügbar; Transfers beeinträchtigen dadurch nicht das Linux Betriebssystem. Die maximal erreichbare Geschwindigkeit bei Transfers zum PL-Speicher des Xilinx® ZCU102-Boards liegt für eine Deskriptorgröße von 256 kB bei etwa $3,88 \text{ GB s}^{-1}$. Diese wird durch die 16-bit-Anbindung des Speichers limitiert. Der Transfer in den PS-Speicher erreicht etwa $4,79 \text{ GB s}^{-1}$. Die Geschwindigkeit beider Transferziele überschreitet die geforderte Geschwindigkeit von 250 MB s^{-1} deutlich [144]. Die im Speicher abgelegten Daten werden durch Software im PS entgegengenommen, auf die in den nächsten Abschnitten eingegangen wird.

	CLB LUT	CLB Register	BRAM	DSP
DMA, 32 kSample	1886	2725	38	–
DMA, 16 kSample	1857	2629	34,5	–

Tabelle 6.1: Ressourcenbedarf DMA-Controller für 64 bit Datenbreite des FIFO-Puffers

6.4 Kontrollsoftware

Für die zuvor vorgestellten Hardware- und Firmwarekomponenten werden Treiber benötigt um das Auslesesystem betreiben zu können. Gleichzeitig müssen die gegebenen Schnittstellen für den Anwender bedienbar sein. Dieser Abschnitt beschreibt die konzeptionellen Ansätze und die Implementierung der Kontrollsoftware und -schnittstelle. Sie übernehmen die Aufgabe der initialen Konfiguration des Erfassungssystems und stellen Zugriffspunkte für die Fernsteuerung bereit. Zunächst wird auf die Konfigurationsschnittstelle der Firmwaremodule eingegangen. Danach auf die Linux-Kernelmodule, welche externe Peripherie über SPI-Bus und I²C-Bus

ansteuern. Die für die Netzwerksteuerung verwendeten Mechanismen und Protokolle werden im Anschluss daran vorgestellt. Darauf aufbauend wird die Kontrollsoftware *ServiceHub* mit der Hardwareabstraktionsschicht vorgestellt, welche dem Benutzer als Schnittstelle dient. Die ServiceHub-Software ist im Rahmen von [Kar21b] veröffentlicht, der nachfolgende Text in diesem Abschnitt orientiert sich stellenweise daran.

6.4.1 Modul-Registerinterface

Zur Identifikation und Steuerung der Firmwaremodule in der PL sollte jedes Modul eine standardisierte Schnittstelle erhalten, um die Treiberstruktur in der Kontrollsoftware wiederverwendbar gestalten zu können. Konfigurierbare Firmwaremodule im FPGA des Auslesesystems werden dafür mit einer adress-basierten AXI4-Lite-Schnittstelle ausgestattet. Die Adressbreite liegt je nach Modul zwischen 5 bit und 6 bit, die Datenbreite bei 32 bit. Die Schnittstelle wird über Interconnects an das Processing-System angeschlossen. Jedes der Module erhält somit einen kleinen Speicherbereich im globalen Adressbereich [94], über den die internen Register verfügbar gemacht werden. An Adress-Offset Null liegen bei allen Modulen in den MSBs eine eindeutige 16 bit Chip-Identifikation beziehungsweise Modul-Identifikation und in den LSBs eine 16 bit Versionsnummer. Die Version kann zur Markierung von inkompatiblen Änderungen verwendet werden. Diese zwei Werte dienen zur Identifikation des Firmwaremoduls gegenüber der Treibersoftware. Das zweite Register enthält ein Reset-Signal beim LSB; die anderen Bits sowie höherwertige Register werden durch die Module verschieden implementiert. Die treiberseitige Ansteuerung wird mittels Memory-Map [94] realisiert. Das Memory-Map kann entweder aus dem Userspace gesteuert werden (vgl. Abschnitt 6.4.5) oder mit Treibermodulen im Linux Kernel.

6.4.2 Linux Kernel und Kerneltreiber

Der Linux Kernel bietet eine Vielzahl an Treibern und Subsystemen an, um verschiedene Gerätetypen zu kontrollieren. Diese Kernelquellen vereinfachen den Zugriff auf die Bussysteme und gestalten die Funktionsaufrufe größtenteils unabhängig vom Controllertyp. Außerdem werden für Bus-Brücken und -Multiplexer entsprechende Treiber angeboten, die Zugriffe über Zwischenbausteine ohne Anpassung des Endgerätetreibers ermöglichen. Das Processing-System (PS) des Zynq-Chips (siehe Kapitel Abschnitt 4.7) ist kompatibel mit dem Linux Kernel und bietet verschiedene Bus-Controller und GPIO-Pins für die Steuerung von externen Chips an. Somit können die Mikrochips in der Hochfrequenz-, Wandler- und Digitalelektronik über Busse wie Serial-Peripheral-Bus (SPI) und Inter-Integrated-Circuit-Bus (I²C) durch den SoC angesteuert und konfiguriert werden.

Gerätetreiber können in die Kerneldatei eingebaut werden (built-in). Voraussetzung dafür ist, dass der Treiber im Quellverzeichnis des Kernels liegt. Andernfalls können Treiber als ladbare Moduldateien kompiliert werden, welche entweder zum Bootzeitpunkt durch die Information des Device-Trees geladen werden oder zu einem späteren Zeitpunkt durch den Benutzer oder Hotplug-Mechanismen. Die Treiber für das Auslesesystem werden getrennt von den Kernelquellen als ladbare Module kompiliert, um eine nachträgliche Installation zu vereinfachen.

Abhängig von der Schnittstelle des Geräts können verschiedene Treiber-Basistypen wie das I²C- oder SPI-Subsystem^{2,3} ausgewählt werden. Zur Steuerung der Treiber von Anwendungen im Userspace kann das virtuelle Dateisystem *sysfs* [145] verwendet werden. Dieses wird zum Startzeitpunkt des Systems durch den Kernel angelegt und wird von den Gerätetreiber mit Ordnern und virtuellen Dateiknoten gefüllt. Die Knoten sind mit Funktionsaufrufen verknüpft und dienen dazu, Daten von der Länge einer Speicherseite (standardmäßig 4 kB) mit Anwendungen auszutauschen. Ausgehend vom Treiber-Basistyp kann eine weitere Spezialisierung erfolgen; hier wird unter anderem das Industrial-IO-Framework⁴ im Kernel angeboten. Dieses bietet eine Treiber-zu-Treiber-Kommunikation an und standardisierte *sysfs*-Einträge. So bieten langsame Digital-zu-Analog-Konverter beispielsweise einen Eintrag für die Ausgangsspannung und Taktsynthesizer eine Schnittstelle für die Ausgangsfrequenz an. Diese Treiberklassen werden von Herstellern wie Texas Instruments® oder Analog-Devices® für einige Bausteine angeboten und werden im Auslesesystem in Kombination mit der Steuerungssoftware (siehe Abschnitt 6.4.5) verwendet.

Zum Austausch von größeren Datenmengen kann die *mmap*-Funktion des *Character-Device* [146] verwendet werden. Diese ermöglicht es einen Speicherbereich des Kernels im Benutzerraum zu verwenden. So können die Messdaten aus dem Puffer des Direct-Memory-Access (siehe Abschnitt 6.3) für den Benutzerraum verfügbar gemacht werden. Der DMA-Treiber verwendet für die Steuerung und zum Austausch der Deskriptoren zusätzlich mehrere Dateiknoten im *sysfs*-Dateisystem.

Für die Verwendung mit dem System sind Treiber für die folgenden Bausteine und Firmwaremodule neu entwickelt oder modifiziert worden: Die Taktbausteine HMC7044, HMC7043 und LMX2592, die DA-Wandler MAX5898, AD9144 und AD5697R, der AD-Wandler AD9680 und das DMA-Modul. Außerdem wurde der Cadence SPI-Master Treiber angepasst, sodass weitere GPIO-Pins als Chip-Select-Leitungen verwendet werden können. Die *sysfs*-Schnittstelle der Treiber wird durch die Userspace-Software ServiceHub angesteuert, welche die Schnittstellen der Treiber über Remote-Prozeduraufrufe anbietet.

² Dokumentation (engl.): <https://www.kernel.org/doc/html/v4.19/driver-api/i2c.html>

³ Dokumentation (engl.): <https://www.kernel.org/doc/html/v4.19/driver-api/spi.html>

⁴ Dokumentation (engl.): <https://www.kernel.org/doc/html/v4.19/driver-api/iiio/index.html>

6.4.3 Remote-Prozeduraufruf und Ethernetprotokolle

Die Idee der Remote-Prozeduraufrufe ordnet sich der prozeduralen Programmierung unter. Diese kapselt einen bestimmten Teil der Funktionalität eines Programms in eine Funktion. Dabei wird diese mit Funktionsparametern parametrisiert und gibt schließlich ein Ergebnis an den aufrufenden Kontext zurück. Remote-Prozeduraufrufe (engl. remote procedure calls, RPC) trennen den aufrufenden Kontext und den ausführenden Kontext in verschiedene Prozesse oder sogar Computersysteme und implementieren so eine Interprozesskommunikation (IPC). Lokale Prozeduraufrufe sind günstig, entfernte Prozeduraufrufe dagegen nicht [147]. Argumente und Rückgabewerte für entfernte Prozeduraufrufe müssen serialisiert und mittels Marshalling in eine plattformunabhängige Form gebracht werden, um zwei unterschiedliche Hostsysteme zu verknüpfen. Jeder Netzwerkzugriff fügt einen Zeit- und Rechenoverhead und damit eine zusätzliche Aufruf Latenz hinzu. Ein wesentlicher Vorteil des RPC-Konzepts ist die Möglichkeit der nahtlosen Kopplung zweier entfernter Prozesse, was die Implementierung eines verteilten Systems erleichtert. *gRPC* [148, 149] ist eine RPC-Bibliothek⁵. Sie basiert auf der Bibliothek *protobuf* [150] und wurde ursprünglich von Google entwickelt. Beide Bibliotheken zusammen bieten Serialisierung, Codegenerierung und zusätzliche Sicherheitsschichten. *gRPC* bietet bidirektionales Streaming und ein binäres Datenformat. Der Transport verwendet HTTP/2.0 über TCP/IP und überträgt die Daten im Protobuf-Format. Bei Verbindung über TCP/IP wird ein verlorenes Paket erneut übertragen, dies kann zu einer undeterministischen Latenz führen [151]. Auch können netzwerk-basierte RPCs von diesen Latenzschwankungen betroffen sein; daher sollten Codesequenzen mit strengeren Latenzvorgaben direkt auf dem Gerät ausgeführt werden. Vor der Ausführung eines *gRPC*-Aufrufs kann eine Deadline definiert werden, um Timeouts zu erkennen.

Die beiden Grundprinzipien von *gRPC* zur Beschreibung der Schnittstellendefinition sind *RPC-Funktionen* und *Protobuf-Nachrichten*. Letztere definiert die Struktur von Aufrufargumenten und Rückgabewerten. Beide werden vom Entwickler innerhalb einer Protokolldefinitionsdatei definiert. Diese Definition wird verwendet, um beide Schnittstellenseiten zu generieren: die *stub*-Klassen für den Aufruf und die *base*-Klassen (oder *Service*) für den aufgerufenen Kontext. Dadurch ist der Compiler in der Lage, Dateien für verschiedene Programmiersprachen zu erstellen, was den Server agnostisch gegenüber der Client-Sprache macht. Ein Hauptvorteil von *gRPC* gegenüber anderen RPC-Lösungen sind die hervorragende Latenz und Geschwindigkeit und die breite Unterstützung von Zielsprachen, darunter Python, Go, C/C++, Rust, C# und JavaScript. Daher kann diese Schnittstelle einfacher in die Software des Serversystems eingebunden werden und erfüllt damit ein wesentliches Kriterium für das ECHO-Experiment.

⁵ *gRPC*, Quellcode: <https://github.com/grpc/grpc>

6.4.4 ServiceHub

Für die Ansteuerung des Auslesesystems wird die Kontrollsoftware *ServiceHub* [Kar21b] verwendet. Der ServiceHub ist eine in C++ geschriebene Userspace-Applikation, die auf dem SoC ausgeführt wird. Nach dem Bootvorgang des Linux-Betriebssystems wird das Programm gestartet und als Daemon im Hintergrund ausgeführt. Der ServiceHub implementiert eine modulare, plugin-basierte RPC-Schnittstelle für den Benutzer, über die eine Ansteuerung über Netzwerk möglich ist. Ein Plugin ist dabei eine Funktionseinheit zur Steuerung von FPGA-IP-Cores, von externen Geräten, die an das SoC angeschlossen sind, oder von anderen Software-Komponenten. Dazu gehören ebenfalls Teile anderer Plugins innerhalb des ServiceHub. Der ServiceHub bietet für die Plugins eine Infrastruktur an, bestehend aus einer standardisierte Schnittstelle für das Laden der Pluginbibliotheken (*.so), Logger, Zustandsüberwachung und Konfiguration.

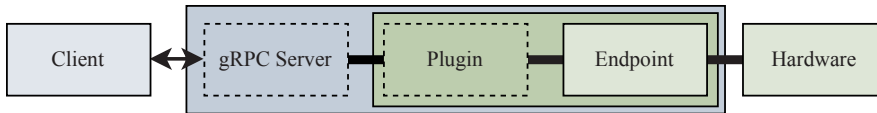


Abbildung 6.3: Aufrufhierarchie des ServiceHubs

Die Aufrufhierarchie vom Anwender bis zur Hardware ist in Abbildung 6.3 gezeigt. Die angebotenen Remote-Prozeduraufrufe des gRPC-Servers werden in den Plugins gekapselt. Ein Plugin ist eine C++-Klasse, deren RPC-Funktionen am gRPC-Server registriert werden. Die RPC-Schnittstelle wird in den gRPC-Protokolldateien definiert. Aus den Dateien werden durch den Proto-Compiler Stub-Klassen erzeugt, die auf der Client-Seite zur Fernsteuerung verwendet werden. Der Client kommuniziert dabei über ein Socket mit einem einzelnen gRPC-Server, der die Funktionen der Plugins bereitstellt. In einer json⁶ Konfigurationsdatei wird definiert, welche Plugins durch den ServiceHub beim Startvorgang geladen und ausgeführt werden. Dabei gibt der Entwickler vor, welche Aufgaben ein Plugin erfüllen soll. Plugins können, wie in der Grafik gezeigt, beispielsweise über einen Endpoint einen Hardwarebaustein ansprechen. Mittels Konfiguration, dem Device-Tree oder des Sysfs wird dem Plugin beim Laden für jeden Hardwarebaustein diesen Typs ein Endpoint hinzugefügt. Die Endpointtypen verwenden die gegebene Hardwareabstraktionsschicht, welche im folgenden Abschnitt 6.4.5 näher erläutert wird.

Das ServiceHub-Framework (vgl. Abbildung 6.4) bietet einen Satz an Basisklassen an, von denen Plugins erben können. Dabei erbt das Plugin zum einen die Stub-Basisklasse der gRPC-Funktionen und zum anderen die Klasse *IPlugin*, welche die Funktionen zur Integration in den

⁶ JSON for Modern C++, repository: <https://github.com/nlohmann/json>

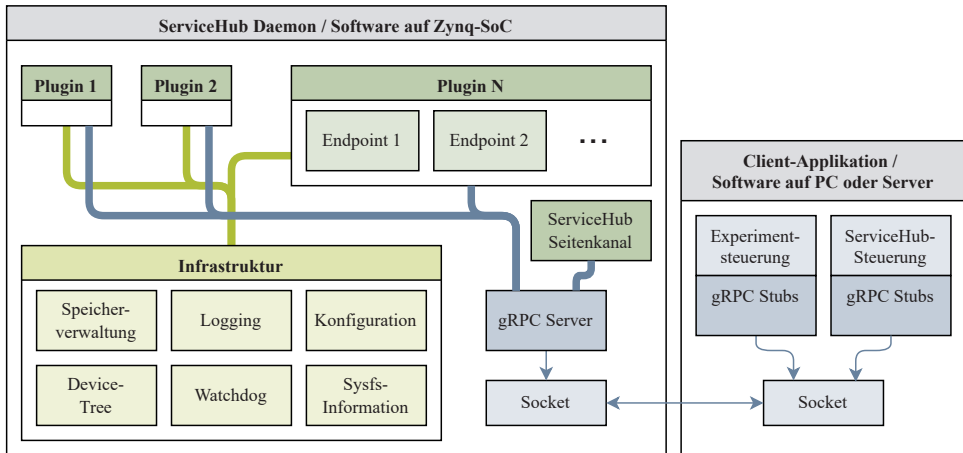


Abbildung 6.4: Softwarediagramm des ServiceHub Daemons. Die geladenen Plugins werden zu einer gRPC-Serverinstanz hinzugefügt, die nach dem Start die gesamte Netzwerkkommunikation übernimmt. Während der Ausführung nimmt der Server alle RPC-Anfragen für die geladenen Plugins an und leitet sie an den dynamisch geladenen Code weiter.

Servicehub implementiert. Die Basisklasse der gRPC-Funktionen wird durch einen zusätzlichen Compiler aus der Protokolldatei generiert. Weiterhin wird für die Entwicklung der Plugins eine spezielle Makrofunktion angeboten, welche Konstruktor und Destruktor des Plugins über externe Symbole als IPlugin-Basisklasse anbietet. Der ServiceHub verwendet die durch die GNU C Library gegebene dynamische Linker-Schnittstelle um die Plugins zu laden. Bei der Instanziierung der Pluginklasse werden dem Konstruktor die Ressourcenzeiger für die Infrastruktur mitgegeben. Dazu gehören ein dedizierter Logger auf Basis der spdlog-Bibliothek⁷, ein Konfigurationsobjekt, welches ein Teil der Hauptkonfiguration ist, und ein Schnittstellenzeiger, der einen eingeschränkten Zugriff auf ServiceHub-Ressourcen ermöglicht. Ein Plugin bildet mit den zugehörigen Endpoint-Instanzen zwei Schichten. Die Plugin-Schicht wird mit gRPC-Funktionen angesprochen, die Endpoint-Schicht mit C++-Aufrufen. Eine Aufteilung der Funktionalität zwischen den beiden Schichten ist nicht vorgegeben. Die Clientapplikation kann über eine zusätzliche Schnittstelle (Seitenkanal) darüber Informationen erhalten, welche Plugins geladen und welche Endpoint-Instanzen verfügbar sind. Diese ist ebenfalls über RPC angebunden.

Ein Plugin kann zur Steuerung von komplexeren Abläufen wie Kalibrierungen verschiedene Endpoint-Typen verwenden. Diese kann er über die Applikations-Programmierschnittstelle (API) des ServiceHubs von anderen Plugins erhalten. Dann kann der Plugin die entsprechende Funktionalität eines anderen Endpoints über die darin enthaltenen Funktionen aufrufen.

⁷ spdlog, repository: <https://github.com/gabime/spdlog>

Dieser Mechanismus erlaubt eine flexible Abstraktion, da Routinen, die verschiedene Hardwarebausteine steuern, von der Applikationssoftware des Clienten in einen eigenen Plugin des Servicehubs migriert werden können.

Für die Weiterleitung der Messdaten aus der Signalverarbeitung in der programmierbaren Logik (siehe Abschnitt 6.3) wird ebenfalls eine gRPC-Schnittstelle verwendet. Messdaten können als Paket über einen einzelnen gRPC-Aufruf oder mithilfe von Datenströmen, sogenannten *Streams*, übertragen werden. Zur Bewertung der Schnittstelle werden drei Übertragungsmethoden ausgewählt: die Übertragungsgeschwindigkeit über einen einzelnen Aufruf, einen Stream mit 32 bit Integer-Feldern und einen Stream mit einfachen Byte-Feldern. Zur Ratenmessung wurde die Komprimierung im gRPC-Kanal deaktiviert und die übertragenen Arrays wurden mit Zufallsdaten gefüllt. Dadurch werden mögliche Optimierungen bei der Serialisierung unterdrückt. Der gemessene Datendurchsatz bei den verschiedenen Methoden ist in Abbildung 6.5 dargestellt. Die Übertragung mit Byte-Arrays ergibt Geschwindigkeiten von $940 / 934 \text{ Mbit s}^{-1}$ (Lesen/Schreiben). Diese Geschwindigkeit ist durch die 1 Gbit s^{-1} Ethernet-Verbindung begrenzt [152] und deutlich schneller als ein Stream mit 32 bit-Arrays, die nur mit $456 / 479 \text{ Mbit s}^{-1}$ übertragen werden, und als die Übertragung von einzelnen Paketen, mit 314 Mbit s^{-1} gelesen werden. Während der Übertragung ist einer der Kerne des ARM-Prozessors voll ausgelastet; der Unterschied in den Stream-Übertragungsraten könnte durch das anspruchsvollere Marshalling von 4 B-Ganzzahlen verursacht werden. Diese Übertragungsgeschwindigkeiten reichen sowohl für die kontinuierliche Übertragung von Ereignissen oder Daten aus der Flussrampenmodulation als auch für die schnelle Übertragung kurzer Rohdatenintervalle aus dem Kanalisierer aus.

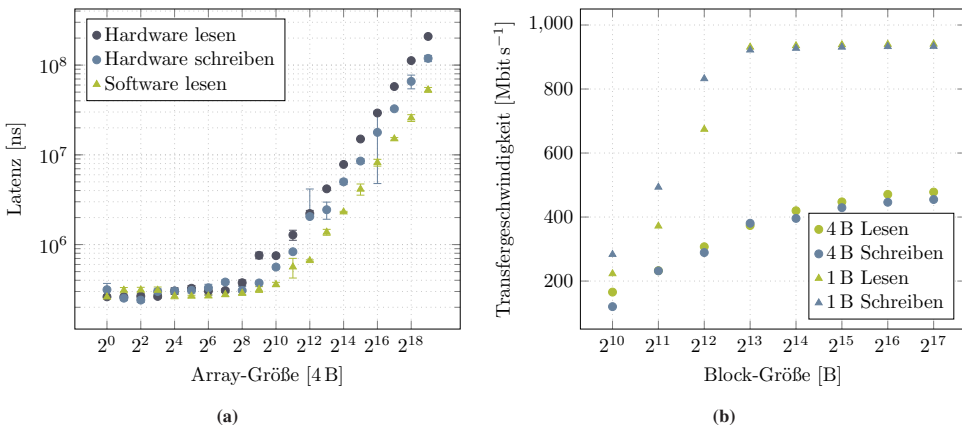


Abbildung 6.5: Datenübertragungslatenzen mit Varianzen für einzelne Aufrufe (a) mit 1000 Messungen je Datenpunkt. Übertragungsgeschwindigkeit für Datenströme (b), Durchschnitt aus 10 Messungen [Kar21b].

6.4.5 Hardwareabstraktionsschicht

Auch wenn die Funktion von Hardware- oder Firmwarebausteinen sehr unterschiedlich sein kann, sind die Zugriffsmethoden und Busse häufig ähnlich. Daher bietet der ServiceHub eine Hardwareabstraktionsschicht an, um diese Gemeinsamkeit abzubilden. Dies wird mit den Endpoint-Basisklassen bzw. Endpoint-Typen realisiert.

Ein Endpoint-Typ definiert die Art des Zugriffs: Bei AXI-Register-Schnittstellen wird der Endpunkt mit einer Memory-Map [94] für den entsprechenden Speicherbereich instantiiert (`PlatformEndpoint`); zur Steuerung von Kernel-Treibern über das Sysfs [145] werden Dateizugriffe im Endpunkt verwendet (`SysfsEndpoint`). Neue Endpunkte dieser Typen können durch Ableitung der Typen implementiert werden. Plugins, die Endpunkte enthalten, werden von der Template-Klasse `EndpointPlugin<T>` abgeleitet. Jeder Endpunktyp bietet hierfür eine statische Factory-Methode an, die im Konstruktor des `EndpointPlugins` aufgerufen wird. In welchem Fall und wie ein Endpoint instantiiert wird gibt diese Methode vor. Standardmäßig werden die Instanzen der Endpunkte über die Einträge im Device-Tree erstellt. Mithilfe des Device-Trees können entweder die Adressbereiche ausgelesen oder der Device-Tree-Knoten mit den sysfs-Pfaden verglichen werden, um den Pfad zum Linux-Gerätetreiber zu verbinden.

Die Zugriffsfunktionen sind als Template-Funktionen implementiert. Verschiedene Datentypen können mit `read<T>(address)`, `write<T>(address, value)` gelesen oder geschrieben werden. Weiterhin werden überladene Funktionen für den bitweisen Zugriff angeboten. Bei Linux-Gerätetreibern muss anstelle einer Offset-Adresse der Knoten- bzw. Dateiname im sysfs angegeben werden. Die Linux-Kernel-Treiber erlauben den Zugriff auf externe Geräte (i²c, SPI) oder Geräte, die Interrupt-Unterstützung benötigen.

Die Funktionen der Endpunkte können über die Remote-Prozeduraufrufe der Plugins verfügbar gemacht werden. Idealerweise kapselt das Plugin komplexere Abläufe und interagiert mit den Hardwareregistern mit geringer Latenz. Da die RPCs über das Netzwerk ausgeführt werden, ist eine deutlich höhere Latenz zu erwarten. Die Zugriffslatenzen der FPGA-Register sind abhängig von den verwendeten Datenbreiten und Taktfrequenzen. Die Latenz der Ethernet-Verbindung wird durch mehrere Software- und Hardware-Schichten definiert. Für eine Abschätzung der Latenz werden beide Fälle durch Messungen untersucht. Hierfür werden zunächst die Zugriffszeiten der Register auf Endpoint-Ebene überprüft, gefolgt von den Clientseitigen Netzwerkzugriffen (siehe Abbildung 6.6).

Die Netzwerkzugriffe haben eine mittlere Aufruf Latenz von 274 µs für einen lesenden 4-B-Zugriff, somit liegt diese knapp drei Größenordnungen über dem Zugriff von Endpunkt zu Register mit 482 ns. Verglichen zu Bare-Metal-Applikationen, die eine Latenz von 299 ns aufweisen, wird beim Zugriff im Endpoint ein leichter Overhead erzeugt; dies legt nahe,

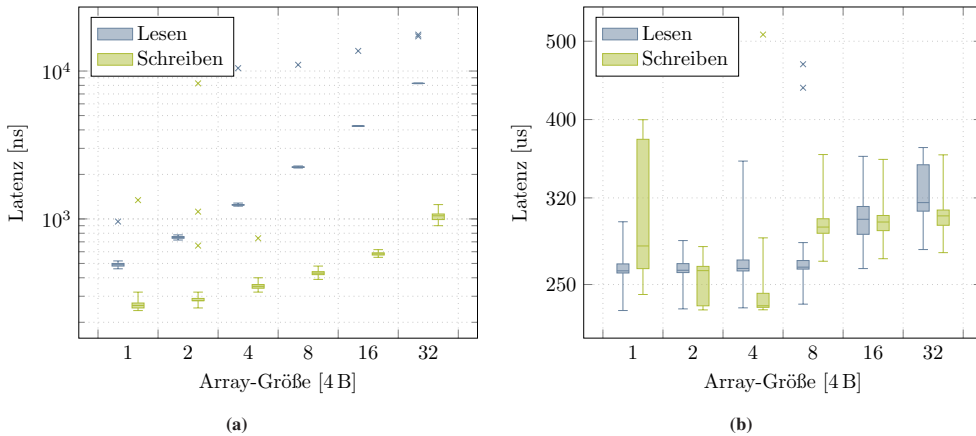


Abbildung 6.6: Aufruf Latenz der Endpunkte für ein AXI4-Modul mit 32 bit Anbindung und 125 MHz Taktfrequenz. Links sind die Latenzen auf dem Gerät gezeigt, rechts bei Zugriffen über gRPC (Die Boxen bilden die Quartile ab, die Whisker die 99 %-Quantile; jeder Abschnitt umfasst 1000 Messungen) [Kar21b].

dass die Latenz weiter reduziert werden kann. Außerdem treten vereinzelt Ausreißer im Bereich von $10 \mu\text{s}$ auf, die womöglich durch Einsatz eines Echtzeit-Patch-Sets für den Linux-Kernel reduziert werden könnten. Die erreichten Latenzen und Geschwindigkeiten sind für die Steuerung des Geräts völlig ausreichend. Die Zugriffe auf externe langsamere Busse wie I²C liegen im Bereich von 161 bis $257 \mu\text{s}$ auf Endpoint-Ebene.

6.5 Firmwareintegration

Die Firmware des DAQ-Systems umfasst die FPGA-Logik, Bootloader, das Linux-Betriebssystem und Softwarekomponenten im Userspace. Jeder Teilbereich wird mit unterschiedlichen Sprachen, Werkzeugen und für unterschiedliche Zielarchitekturen entwickelt. Die Firmwareintegration bringt diese heterogenen Bereiche zusammen und erstellt ein Firmware-Abbild, welches vom System geladen werden kann. Dabei unterscheidet sich die Prozessorarchitektur des SoC (*aarch64* und *arm*) vom Entwicklersystem (*x86_64*), Werkzeuge wie *Cross-Compiler* sind daher unabdingbar.

Die Integration kann mittels der Werkzeuge des *Yocto-Projekts*⁸ erfolgen. Die Linux-Referenzimplementierung *Poky* des Projekts ist eine Meta-Distribution und enthält somit lediglich die Bauanleitungen für weitere Werkzeuge und Software. Kernbestandteil des Yocto ist das Build-System von OpenEmbedded®, welches die Bauanleitungen beziehungsweise Rezepte (*recipes*)

⁸ Webseite: www.yoctoproject.org

von Software-Paketen und Firmwarebestandteilen bereitstellt. Diese sind in sogenannte *Meta-Layer* kategorisiert. Das Werkzeug *BitBake* von OpenEmbedded verarbeitet die Rezepte, löst Abhängigkeiten zwischen ihnen auf und führt sie aus. Es gibt dabei native Rezepte, die weitere Werkzeuge und Bibliotheken für das Host-System erstellen, und Rezepte, die Software für das Zielsystem bereitstellen. Ein Rezept kann Quellcode oder eine Referenz zu externen Quellen beinhalten, welche dann in mehreren Schritte erstellt wird. Dabei wird die Software heruntergeladen (*do_fetch*), für den Bauvorgang vorbereitet (*do_configure*), kompiliert (*do_compile*), verpackt (*do_package*) und installiert (*do_install*). Diese Funktionen sind für einige Entwicklungswerkzeuge, wie zum Beispiel *cmake*⁹, in Rezeptklassen vordefiniert. Neue Rezepte leiten von den Rezeptklassen ab und erben die für die Erstellung notwendigen Funktionen. Diese Rezeptklassen werden für die Integration der Softwarekomponenten wie die Kernelmodule und der ServiceHub eingesetzt. Xilinx® entwickelt für das Yocto-Projekt eigene Rezepte und Werkzeuge, die den Entwicklungsfluss von Zynq-SoCs unterstützen. Diese sind zum einen in die yocto-basierten Distribution *Petalinux* von Xilinx® integriert, werden zum anderen jedoch auch für die Verwendung mit der klassischen Yocto-Distribution angeboten. Die Erstellung der FPGA-Firmware ist nicht in Yocto integriert. Die Synthese und Implementierung findet außerhalb vom Yoctoablauf statt; vor dem Firmware-Bauvorgang muss die resultierende Hardware-Beschreibung (Hardware description file **.hdf* bzw. **.xsa*) einmalig übergeben werden.

Ein monolithischer Ablauf der Firmwareintegration mit Yocto kann mit dem im Rahmen dieser Arbeit entwickelten Werkzeug *Logicc* und dessen BitBake-Rezept realisiert werden. *Logicc* ist eine Sammlung aus Python und Tcl-Skripten, welche die Erstellung, Synthese und Implementierung von Xilinx® Vivado-Projekten ohne grafische Benutzerschnittstelle (GUI) ermöglicht. *Logicc* teilt die Entwicklung der FPGA-Firmware in drei Partitionen auf: *Plattform*, *Projekt* und *Bibliothek*. Die Plattform definiert das verwendete FPGA-Board und die Ein- und Ausgänge mit ihren *Constraints*¹⁰. Die Plattform definiert ebenfalls die Konfiguration der Hardwarebestandteile des Zynq-SoC. Ein Projekt baut auf einer Plattform auf und füllt den gegebenen Rahmen aus Anschlüssen mit vernetzten Logik-Modulen. Dabei wird auf die Blockdiagrammfunktion des IP-Integrator von Xilinx® zurückgegriffen. Die Bibliothek beinhaltet Plattformdefinitionen, die zwischen unterschiedlichen Plattformen geteilt werden, und weiterhin eine Sammlung an IP-Cores, die den Projekten hinzugefügt werden können. Die textbasierte Definition der Projekte und IP-Modulen ermöglicht die einfache Verwendung von Versionsverwaltungssystemen wie *git*¹¹.

⁹ Webseite: cmake.org

¹⁰ Pin-Zuweisungen und Verbindungsstandards, z.B. LVDS

¹¹ Webseite: git-scm.com

Der nahtlose Verbund mit Yocto ermöglicht eine Einbettung in ein System zur kontinuierlichen Integration und Auslieferung (CI/CD). Die automatische Auslieferung fasst die notwendigen Schritte zur Erstellung des Systemabbilds bis hin und zur Bereitstellung auf einer Onlineplattform zusammen. Die kontinuierliche Integration und Auslieferung wird von GitLab¹² koordiniert und von einem Gitlab-Runner auf einer Serverplattform ausgeführt. Somit kann mit wenig Vorwissen und ohne entsprechende Hardwareinstallation eine neue Firmwareversion erstellt werden. Da Yocto alle Komponenten zusammenführt, können die Versionsstände aller Pakete in der Yoctokonfiguration definiert und umgekehrt die Version des Firmwareimages den Paketversionen zugeordnet werden. Im CI/CD-Ablauf sind Modultests (engl. *unittest*) von Vorteil, da sie zu jedem Versionsstand Teile der Software oder Hardware verifizieren und in einem Entwicklungsteam Kreuzabhängigkeiten aufdecken können. In Softwareprojekten wird hierfür *gtest*¹³ eingesetzt, für FPGA-Firmware kann auf die Modultestfunktionen von Logicc zurückgegriffen werden.

6.6 Zusammenfassung

Die Auslese für das ECHO-Experiment wird mit mehreren verteilten Erfassungssystemen realisiert; die Systeme müssen daher aus der Ferne steuerbar sein. Im normalen Messbetrieb werden die Daten vom Messsystem über eine Netzwerkverbindung zu einem Server gesendet, welcher die Daten auswertet und archiviert. In der Digitalelektronik des Messsystems fallen Daten aus mehreren Signalverarbeitungsketten an, welche zur Kalibrierung genutzt oder an das Serversystem weitergeleitet werden. Hierfür wurde ein DMA mit Datenaggregation entwickelt, um die Messdaten in Echtzeit zu erfassen. Remote-Prozeduraufrufe ermöglichen eine flexible Abstraktion und erlauben die Software des Messsystems nahtlos in die vorhandene Verarbeitung- und Archivierungssoftware des Servers zu integrieren. Die Steuerung mit RPCs wird durch gRPC und den entwickelten Softwareframework ServiceHub implementiert. Der ServiceHub integriert Plugins, welche die Funktionen des Messsystems kapseln; dazu gehören beispielsweise die Steuerung von externen Hardwarebausteinen sowie der FPGA-Firmware und die Datenerfassung. Die Plugins können über Endpunkte und die Endpunkttypen der Hardwareabstraktionsschicht mit der Hardware kommunizieren. Die entwickelten Software- und Firmware-Komponenten werden mithilfe von Yocto und dem entwickelten Logicc-Skripten gemeinsam integriert und als Paket ausgeliefert.

¹² Webseite: gitlab.com

¹³ Repository: github.com/google/googletest

7 Messungenanwendungen mit den Prototyp-Systemen

In diesem Kapitel werden die vorgestellte Wandlerelektronik und FPGA-Firmware in Hinblick auf die Multiplexanwendung bewertet. Hierfür wird die Wandlerplatine mit einer FPGA-Evaluationsplatine im Basisband betrieben und mittels Messgeräten charakterisiert. Im Anschluss wird die Elektronik um den Hochfrequenzteil erweitert und mit einem Testaufbau evaluiert.

7.1 Charakterisierung der Basisbandelektronik

Zur Charakterisierung des Systems werden zunächst die elektronischen Parameter der Wandler überprüft; dazu gehört die Signalausgangsleistung mit der frequenzabhängigen linearen Verzerrung. Weiterhin werden nicht-lineare Verzerrungen bzw. Fehlerfrequenzen im Signal untersucht. Diese zwei Parameter sind im Kontext des Multiplexes interessant, da sie im Zusammenhang mit der maximal möglichen Bandbreite und mit auftretenden Störfrequenzen im Sendeband stehen. Im Anschluss daran wird die Qualität der Ausgangssignale der integrierten Taktquellen geprüft, da diese einen direkten Einfluss auf das maximal erreichbare Signal-zu-Rausch-Verhältnis der Wandler haben.

7.1.1 Wandlerelektronik

Die Messungen werden mit dem zweiten Prototyp aus Abschnitt 4.8 durchgeführt. Dieser Prototyp ermöglicht einen der drei vorgesehenen DA-Wandler und zwei der fünf AD-Wandler der vereinten Elektronik zu charakterisieren (vgl. Abschnitt 4.6).

In einer ersten Testmessung werden die Ausgangssignale der DA-Wandler mit einem R&S® FSWP-50 Spektrum-Analysator vermessen. Der betrachtete Frequenzbereich liegt zwischen 10 MHz und 400 MHz. Die Signale werden vor dem Messgerät durch die Balun-Platine von symmetrischer Signalübertragung zu unsymmetrischer transformiert. Zur Kompensation der frequenzabhängigen Verzerrung der Baluns ist die Balun-Platine vor der Testmessung mit

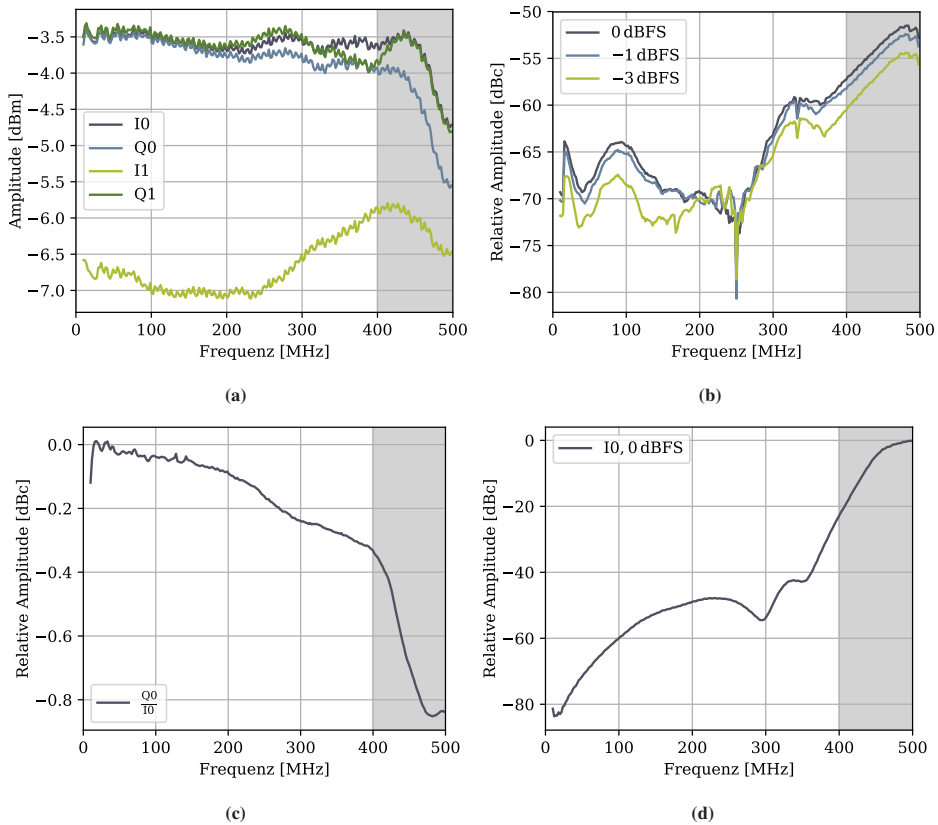


Abbildung 7.1: Frequenzgang des AD9144-Chips für die Ausgangskanäle I0, Q0, I1 und Q1 (a). Kanal I1 wurde zu Testzwecken ohne Rekonstruktionsfilter und mit alternativer Terminierung bestückt und weicht daher von den anderen Kanälen ab. In (c) ist der Unterschied zwischen den Amplituden im ersten I&Q-Paar gezeigt. Der Spurious-Free-Dynamic-Range für Kanal I0 des Wandlers bei verschiedenen Ausgabeamplituden in der ersten Nyquist-Zone (b) und in der zweiten Nyquist-Zone (d) für 0 dBFS.

einem R&S® ZVA26 charakterisiert worden. Der Frequenzgang des Wandlers mit Tiefpassfiltern und Baluns ist für die Kanäle I0, Q0, I1 und Q1 in Abbildung 7.1 gezeigt, wobei Kanal I1 zu Testzwecken abweichend bestückt ist.

Bei einer kontinuierlichen Erhöhung der Ausgangsfrequenz zeigt der Frequenzgang zu Beginn eine geringe Amplitudenvarianz zwischen den Kanälen, weist zum Ende des Durchlassbands (400 MHz) jedoch einen Unterschied von etwa 0,3 dB auf. Über das Durchlassband fällt der Signalpegel lediglich um maximal 0,5 dB ab. Die entstehenden Fehlerfrequenzen in der ersten Nyquistzone sind bei einer Ausgangsamplitude von 0 dBFS im schlechtesten Fall um -57 dBc bei 400 MHz unterdrückt. Dies übertrifft den Wert im Datenblatt, der mit etwa -45 dBc angegeben ist (vgl. [105, Fig. 7]). Diese Verbesserung kann im Zusammenhang mit der digitalen Dämpfung des aktivierten inversen Sinc-Filters im DA-Wandler-Chip stehen.

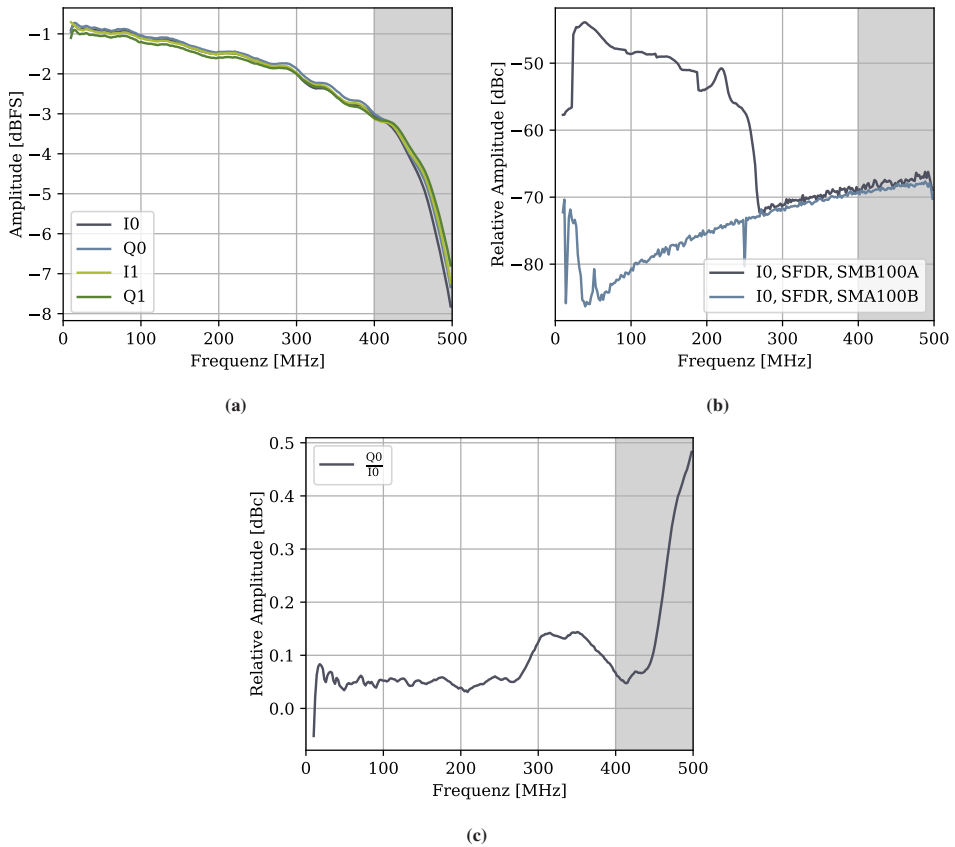


Abbildung 7.2: Frequenzgang des AD9680-Chips für die Ausgangskanäle I0, Q0, I1 und Q1 (a). In (c) ist der Unterschied zwischen den Amplituden im ersten I&Q-Paar gezeigt. Der Spurious-Free-Dynamic-Range für Kanal I0 des Wandlers ist in (b) abgebildet.

Bei einer Reduktion der Amplitude auf -3 dBFS wird die SFDR weiter verbessert und reduziert sich auf $-60,5$ dBc bei 400 MHz. Die Aliasfrequenz in der zweiten Nyquistzone ist bei 400 MHz Ausgangsfrequenz um 28 dBc unterdrückt und breitbandig um etwa 50 dBc. Diese Werte überraschen nicht, da der eingesetzte Rekonstruktionsfilter ein Durchlassband bis 400 MHz besitzt und somit bei einer Nyquistfrequenz von 500 MHz nicht stark genug abfällt. Diese Störprodukte können beim Zusammenfügen der Spektren in der super-heterodynen Elektronik (vgl. Abbildung 4.3b) in das benachbarte Band einstreuen und müssen daher vermieden werden. Zur Reduktion dieser Störprodukte wird entweder ein weiterer Filter mit niedrigerer Grenzfrequenz, wie das LFCN-320+, in der Hochfrequenzelektronik oder eine zweifache Interpolation innerhalb des DA-Wandlers eingesetzt.

Zur Vermessung der AD-Wandler werden ein R&S® SMB100A und ein SMA100B Signalgenerator verwendet. Diese werden auf eine 5 dBm Ausgangsamplitude eingestellt, um im

niederfrequenten Bereich des gewandelten Spektrums eine Amplitude von etwa -1 dBFS zu erhalten. Danach wird die Frequenz kontinuierlich erhöht und die Daten mit dem AD-Wandler aufgezeichnet. Das Durchlassband der vier AD-Wandlerkanäle, gezeigt in Abbildung 7.2, fällt bis 400 MHz um 2,2 dB ab. Dieser Abfall wird maßgeblich durch den verwendeten Alias-Filter LFCN-320+ verursacht, der bei 400 MHz bereits um 1,4 dB dämpft. Die Kanäle zeigen untereinander einen konsistenten Verlauf; die Amplitude des ersten I&Q-Paars unterscheidet sich maximal um 0,14 dB. Da der AD-Wandler eine exzellente SFDR besitzt, wird diese mit zwei unterschiedlichen Generatoren gemessen – gerade im niederfrequenten Bereich werden die Fehlerfrequenzen durch die zweite Harmonische des Signalgenerators dominiert. Die Signalqualität des SMA100B übersteigt die Fehlerfrequenzen des DA-Wandlers des Messsystems in diesem Bereich (vgl. Abbildung 7.1), daher wird keine weitere Filterung der Harmonischen mittels kontrollierbarer Bandpass- oder Tiefpass-Filter vorgenommen. Im Bereich zwischen 10 und 200 MHz liegt die SFDR bei <70 dBc. Im höheren Frequenzbereich steigt sie an und übersteigt mit -69 dBc den Wert des Datenblatts. Die entstehende Fehlerfrequenz kann auf eine Fehlerfrequenz im Wandlertakt zurückgeführt werden; diese liegt bei 500 MHz und führt zu einer Mischung der Eingangs- und Fehlerfrequenz. Die Fehlerfrequenz ist jedoch verglichen zur Imageunterdrückung und der SFDR des DA-Wandlers vernachlässigbar.

7.1.2 Taktgenerierung

Für die AD- und DA-Wandlung werden Taktsignale mit minimalem Jittern benötigt, sodass das Signal-zu-Rausch-Verhältnis der Wandler nicht negativ beeinflusst wird. Das Phasenrauschen wird mittels eines geeigneten Messplatzes bestimmt und mittels Integration (vgl. Abschnitt 3.1.2) der Jitter berechnet. Hierfür wird ein R&S® FSUP26 verwendet. Auf der Wandlerplatine gibt es drei zu untersuchende Taktquellen: der Analog Devices® HMC7044 Chip liefert einen Ausgangstakt; dieser wird entweder vom internen VCO oder von einem externen VCO abgeleitet (vgl. Abschnitt 4.6.5). Außerdem wird einer der Taktausgänge des HMC7044 durch den HMC7043 weiter aufgefächert. Die gemessenen Rauschspektren der drei Szenarien werden in Abbildung 7.3 dargestellt.

Die Spektren der verschiedenen VCO-Quellen weisen Ähnlichkeiten auf: Im trägernahen Frequenzbereich zwischen 100 Hz und 10 kHz wird ein vom Datenblatt abweichender Wert gemessen. Das Phasenrauschen in diesem Bereich wird maßgeblich durch die erste Phasenregelschleife im HMC7044 bestimmt. Mit einer Referenzfrequenz von 10 MHz berechnet der Kerneltreiber von Analog Devices® eine hohe Detektionsfrequenz von 10 MHz. Das Phasenrauschen in diesem Bereich kann durch Anpassung des Treibers (Senkung der Phasendetektorfrequenz) oder durch einen höheren Referenztakt als 10 MHz verbessert werden. Im Bereich zwischen 200 kHz und 3 MHz Träger-Abstand sind mehrere Fehlerfrequenzen und Harmonische der Fehlerfrequenzen zu erkennen. Die Frequenzen der Störsignale sind

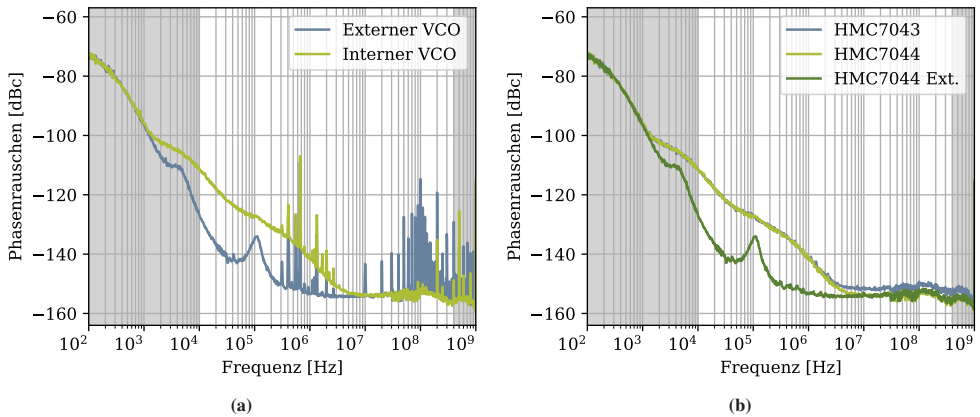


Abbildung 7.3: Phasenrauschen des Taktchips HMC7044 mit internen und externen VCOs (a) und Vergleich des Grundrauschens zwischen dem HMC7044 Chip mit interner und externer VCO und dem Takt-Puffer HMC7043 mit interner Taktquelle (b). Störungen durch die Schaltregler der Spannungsversorgung im Bereich 300 kHz – 3 MHz und andere Fehlerfrequenzen im höheren Frequenzbereich wie Übersprechen durch Quarze und Referenzfrequenzen sind in der Abbildung entfernt, sodass das Grundrauschen besser erkennbar wird.

identisch mit den Schaltfrequenzen der Spannungsversorgung. Die Störsignale können durch die Spannungsversorgungspins am HMC7044 aufgenommen werden und führen zu einer Amplitudenmodulation des Takts. Der Rauschgrund mit internen VCO liegt mit -139 dBc bei 800 kHz und im hohen Frequenzbereich >10 MHz mit -155 dBc nah am erwarteten Bereich des Datenblatts [153]. Gleiches gilt für das leicht erhöhte Grundrauschen des HMC7043-Verteilerchips [154]. Beim Betrieb mit externen VCO treten Fehlerfrequenzen durch die Eingangsfrequenz (10 MHz und Vielfache) und den Quarz der ersten PLL-Stufe (100 MHz und Vielfache) auf; diese beeinträchtigen das Phasenrauschen maßgeblich. Es ist allerdings zu erkennen, dass das Grundrauschen ab 1,5 kHz stärker abfällt. Für den mittleren Bereich zwischen 10 kHz und 1 MHz liegt der externe 8 dB bis 20 dB unter dem Rauschen des internen VCO. Im Grundrauschen bei >5 MHz Abstand unterscheiden sich die beiden Quellen nicht. Das Phasenrauschen kann insbesondere in Hinblick auf die Spannungsversorgung durch die Optimierung des Layouts verbessert werden, ist aber bereits auf einem Niveau, welches die hier nötigen Anforderungen erfüllt.

Zur Berechnung des Jitters wird die obere Integrationsgrenze auf die maximale Eingangsfrequenz von 400 MHz gesetzt. Da Sende- und Empfangsseite des Auslesesystems die gleiche Taktreferenz erhalten, wird als untere Grenze 10 kHz gewählt. Dieser Wert bezieht das Phasenrauschen innerhalb mehrerer Flussrampenperioden mit ein, welche in Zeitdauerbereich von <10 μ s pro Periode liegen. Der resultierende Jitter der Taktquellen ist in Tabelle 7.1 angegeben. Für eine Abschätzung der potenziellen Verbesserungen durch Schaltungs- und Layoutänderungen sind in der Tabelle auch die Jitterwerte des Grundrauschens ohne spezifische Störbeiträge

angegeben. Während der externe VCO potenziell einen Jitter von 94 fs erreichen könnte, ist die Verwendung durch die Fehlerfrequenzen mit der aktuellen Layoutvariante ausgeschlossen, denn diese erhöhen den Jitter auf 651 fs. Die Taktquellen mit internen VCOs erreichen einen Jitter von 168 fs – dieser Wert resultiert in einem maximalen Signal-zu-Rausch-Verhältnis von 67,5 dB. Das SNR übertrifft somit trotz der Rauschbeiträge der Spannungsversorgung die Anforderungen, die für das SNR der Wandler notwendig sind, um 2,3 dB.

Quelle	RMS Jitter	
	mit Fehlerfrequenzen	ohne Fehlerfrequenzen
HMC7044 ext. VCO	651 fs	94 fs
HMC7044 int. VCO	168 fs	114 fs
HMC7043 int. VCO	168 fs	143 fs

Tabelle 7.1: Resultierender Jitter der Takterzeugung für die Integrationsgrenzen 10 kHz bis 400 MHz.

7.2 Messungen mit Multiplexverfahren

Die zuvor charakterisierte Wandlerelektronik kann nun mit einem Testaufbau verifiziert werden. Dazu wird die angeschlossene Digitalelektronik mit der Firmware zur Auslese aus Abschnitt 5.1 ausgestattet. Der Testaufbau wird bei Raumtemperatur betrieben und setzt weder einen Mikrowellen-SQUID-Multiplexer noch metallische magnetische Kalorimeter ein. Das Verhalten dieser Bauteile wird anhand von Mess- und Laborelektronik nachgestellt, um unbekanntes Verhalten, Störungen und den komplexen Aufbau im Kryostaten zu vermeiden. Zunächst folgt eine Beschreibung des Testaufbaus, welcher dann mit variierender Kanalanzahl evaluiert wird. Die gewonnenen Ergebnisse werden danach in Varianz und Linearität untersucht und bewertet.

7.2.1 Versuchsaufbau und Ausleseprototyp

Eine Emulation des Mikrowellen-SQUID-Multiplexers mit Flussrampen-Modulation (vgl. Abschnitt 2.3.3 und Abschnitt 2.3.4) ermöglicht es, sowohl die Hardware als auch Firmwaremodule zu evaluieren. Der Aufbau des Emulators muss neben der Amplituden- oder Phasen-Modulation des Multiplexers und der Flussrampen-Modulation auch die Ereignisse des Detektors simulieren; nur so kann die vollständige Verarbeitungskette getestet werden. Dazu wird ein Emulator (*MUX-Emulator*) entwickelt, der in Abbildung 7.4 mit der Ausleseelektronik dargestellt ist.

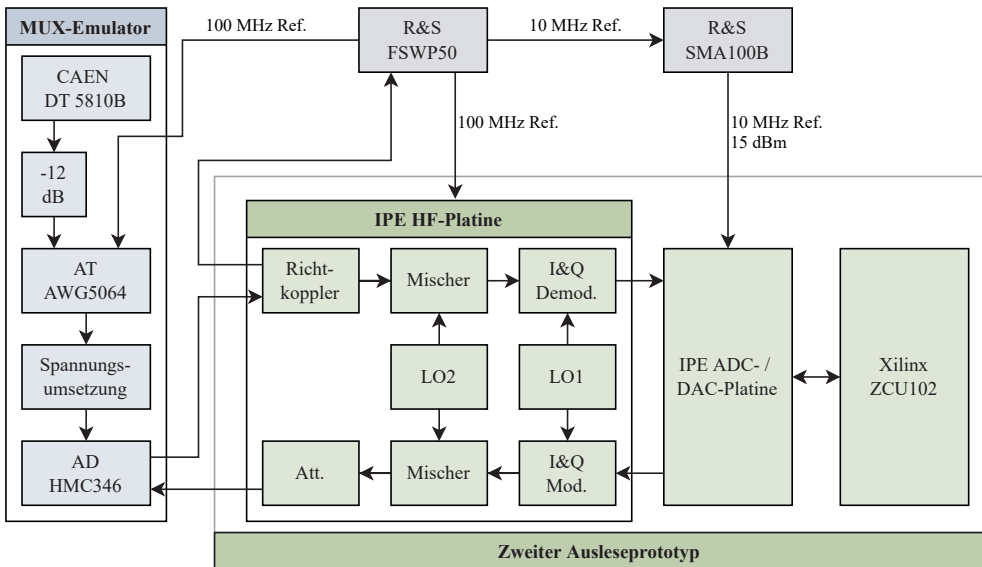


Abbildung 7.4: Versuchsaufbau des Detektorsimulators und des Messsystems. Die Signalkonditionierung durch die Balun-Platine kann als Teil der AD-/DA-Platine verstanden werden. Verstärker und Filter auf der HF- und DAQ-Platine sind aus Gründen der Übersichtlichkeit nicht dargestellt.

Die Amplitudenmodulation, die im realen Aufbau durch die Mikrowellen-SQUID-Multiplexer entsteht, wird im MUX-Emulator durch ein breitbandiges, spannungsgesteuertes Dämpfungsglied von Analog Devices® umgesetzt (HMC346ALC3B). Die Phasenmodulation der Resonatoren wird dadurch nicht abgebildet, in der Signalverarbeitungskette wird jedoch lediglich eine Amplitudenmodulation benötigt. Die Evaluationsplatine des Dämpfungsglieds besitzt zwei Spannungseingänge, die durch eine Operationsverstärkerschaltung in einem negativen Spannungsbereich betrieben werden (Spannungsumsetzung, Schaltplan in Abbildung A.4). Die Flussrampenmodulation stellt sich als eine zeit-periodische Amplitudenmodulation dar. Sie wird durch einen AWG5064 Arbiträr-Wellenform-Generator (AWG) von Active Technologies® realisiert. Zur Näherung der periodischen SQUID-Charakteristik wird eine Sinusausgangsspannung generiert ohne die SQUID-typischen harmonischen Verzerrungen und Phasensprünge zu Beginn und Ende der Flussrampe. Der Generator besitzt einen Kontrolleingang um eine Phasenmodulation der Wellenform zu ermöglichen. Die Kombination des AWGs und des Dämpfungsglieds ist der erste Teil des Emulators, welcher näherungsweise den Mikrowellen-SQUID-Multiplexer mit einer Flussrampenmodulation realisiert. Es ist anzumerken, dass anders als im realen Aufbau, das Flussrampensignal nicht durch den Wandler der DAQ-Platine, sondern durch die Frequenz des AWGs vorgeben wird.

An den Phasenmodulationseingang des AWGs kann nun als zweiter Teil des Emulators die Leitung der Signale zur Charakterisierung oder ein emuliertes Detektorsignal angeschlossen

werden. Dafür wird der Detektor-Emulator DT 5810B von CAEN® verwendet. Der maximale Ausgangsspannungsbereich des Detektor-Emulators wird mit drei Dämpfungsgliedern (-12 dB) von $2 V_{pp}$ auf $0,5 V_{pp}$ reduziert, bevor es an den Phasenmodulationseingang gegeben wird. Die Amplitude der Sinusspannung des AWG5064 wird auf $0,6 V_{pp}$ und mit einer Biasspannung von $-3,5$ V durch die Spannungsumsetzung verschoben. Die erreichte Modulationstiefe liegt bei 19 dB. Als Modulationsfrequenz der Amplitudenmodulation wird 488 281,25 Hz gewählt. Diese Frequenz bildet einen ganzzahligen Teiler von 2^{11} mit der Abtastfrequenz der DA- und AD-Wandler von 1 GHz. Dadurch wird eine wandernde Phase zwischen zwei Intervallen in der firmwareseitigen Flussrampen-Demodulation vermieden.

Für die Messung wird der zweite Prototyp aus Abschnitt 4.8, bestehend aus der nicht-modularen Wandlerplatine in Kombination mit der Balun-Platine, der super-heterodynen HF-Platine und einer Xilinx® ZCU102 FPGA-Platine, eingesetzt. Die Pegelinstellungen der Hochfrequenzelektronik (vgl. Abschnitt 4.5) werden in der Messung abhängig von der verwendeten Kanalanzahl variiert um die Verstärker im linearen Bereich zu betreiben und den Rauschabstand zu erhöhen. Dabei kann durch einen limitierten Ausgangspegel des Demodulators und der Dämpfung im Signalpfad der Eingangspegel von $1,7 V_{pp}$ des AD-Wandlers nicht voll ausgeschöpft werden. Es wird hier eine maximale Amplitude von etwa $-7,53$ dBFS verwendet; dies entspricht einem differenziellen Spitze-Spitze-Wert von $0,714 V_{pp}$ an den Eingängen des AD-Wandlers und etwa 1,25 bit weniger Dynamik. Als Trägerfrequenz des Frequenzkamms werden 5 GHz gewählt. Es werden vier verschiedene Kanalanzahlen (1, 4, 16 und 80) für die Auslese evaluiert – die Frequenzen sind in Tabelle A.6 im Anhang angegeben. Je nach Anzahl der Kanäle werden unterschiedliche Pegelanpassungen verwendet, um die Verstärkerkaskade und die Pegel des Basisbands im vorliegenden Prototyp optimal zu betreiben; die Werte finden sich in Tabelle 7.2. Die in der Messung verwendete FPGA-Firmware bietet die Verarbeitung eines I&Q-Paares der Wandlerplatine an und ermöglicht die Verwendung der ADC-internen digitale Herabkonvertierung (DDC). Die eingesetzte Firmware ist in Abbildung 5.1 dargestellt. Die Steuerung der FPGA-Plattform erfolgt über den in Abschnitt 6.4 vorgestellten ServiceHub.

Zur Analyse der Signale im HF-Bereich wird ein R&S® FSWP50-Spektrum-Analysator verwendet. Als Referenztakt werden in dem Aufbau zwei Frequenzen, 10 MHz und 100 MHz, eingesetzt. Die Referenz für die Wandler-Platine wird von einem R&S® SMA100B-Generator erzeugt, da diese in der vorliegenden Revision einen hohen Referenz-Pegel von 15 dBm voraussetzt. Der SMA100B-Generator, die HF-Platine und der AWG5064-Generator erhalten ihre Referenz vom FSWP50-Analysator.

Konfiguration	TX		RX		ADC-Pegel	
	Dämpfung	Verstärkung	Dämpfung	Ohne Mod.	Mod.	
1 Ton, Pegel A	18 dB	1 dB	3 dB	-12,94 dBFS	-7,53 dBFS	
4 Ton, Pegel A	12 dB	0 dB	5 dB	-12,85 dBFS	-7,56 dBFS	
4 Ton, Pegel B	12 dB	0 dB	17 dB	—	-18,96 dBFS	
4 Ton, Pegel C	22,6 dB	0 dB	5 dB	—	-18,85 dBFS	
16 Ton, Pegel A	8 dB	1 dB	6 dB	-13,06 dBFS	-7,68 dBFS	
80 Ton, Pegel A	6 dB	4 dB	3 dB	-12,77 dBFS	-7,76 dBFS	
80 Ton, Pegel B	0 dB	0 dB	9 dB	-9,82 dBFS	-7,57 dBFS	

Tabelle 7.2: Konfigurationsätze zur Pegelanpassung der HF-Platine und erreichter Eingangspegel am AD-Wandler (unter Verwendung des ADC-Signal-Monitors für den maximalen Spitze-Spitze-Wert [107]). Die Pegelkonfigurationen (A, B, C) der Bauteile auf der HF-Platine weisen einen nicht vollständig linearen Verlauf auf; diese werden daher auf den Eingangspegel des AD-Wandlers angepasst.

7.2.2 Frequenzmultiplex und Flussrampen-Modulation

Das Auslesesystem wird zunächst auf der Sendeseite evaluiert. Im Anschluss wird an mehreren Stellen das Signal der Empfangskette aufgezeichnet, um die Signalparameter zu untersuchen und die Signalverarbeitung zu kalibrieren.

In dem Aufbau wird das Messsystem schrittweise kalibriert. Zunächst wird die Ausgangsseite mithilfe eines Spektrum-Analysators gemessen. Dabei wird im Hochfrequenzbereich die Amplitude der Signale gemessen. Mit den gemessenen Spektren werden die einzelnen Signale im Frequenzkamm auf der Ausgangsseite I&Q-Parameter iterativ kalibriert. Dazu werden die Amplitude und die Phase der Ausgangssignale zwischen den Messungen stufenweise angepasst um eine geringe I&Q-Imbalance zu erreichen [74]. Im Anschluss werden die Trägeramplituden angeglichen, sodass ein glattes Ausgangsspektrum entsteht. Ist dies erfolgt, wird der Eingangspegel am AD-Wandler über die HF-Elektronik eingestellt. Der Demultiplex in der digitalen Signalverarbeitung muss nicht konfiguriert werden, es werden lediglich die Mischfrequenzen eingestellt. Danach kann die Konfiguration der Frequenz, der Phasen und des Offsets der Flussrampen-Demodulation durchgeführt werden. Diese Werte können anhand von Messdaten aus der Kanalisierung gewonnen werden. Mit den demodulierten Phasendaten kann dann die Einstellung der Triggerschwelle für die Ereignis-Erkennung erfolgen. Dies ist der letzte Schritt in der Kalibrierung.

Für die ausgangsseitige Kalibrierung der Elektronik wird der Aufbau aus Abbildung 7.4 modifiziert – der Ausgang der HF-Platine wird direkt an den Spektrum-Analysator angeschlossen. Dann wird die iterative Optimierung nach [74] durchgeführt, welche die Funktionen

zur Phasen- und Amplitudenkorrektur aus Abschnitt 5.2.1 verwendet. Die Spektren vor und nach der Korrektur sind für 16 und 80 Kanäle in Abbildung 7.5 gezeigt. Die Seitenband-Unterdrückung erreicht in diesem Aufbau Werte zwischen -84 und -67 dBc und durchschnittlich -74 dBc bei 16 Kanälen und zwischen -74 und -56 dBc und durchschnittlich -68 dBc bei 80 Kanälen. Die Phasen- und Amplituden-Korrekturparameter des 80-Ton-Frequenzkamms sind über der Frequenz in Abbildung 7.6 dargestellt. Die Phase verläuft größtenteils linear über dem Spektrum mit einem Offset von etwa $-0,9^\circ$. Der lineare Verlauf deutet auf eine konstante Verzögerung von 26 ps und damit auf einen Längenunterschied der Signalwege hin. Nach Gleichung 5.13 kann dieser auf etwa 5,3 mm abgeschätzt werden. Davon entfällt vermutlich ein großer Teil auf die Kabel¹, deren Toleranz sich im Bereich von $\pm 2,54$ mm bewegt. Der nicht-lineare Bereich im Phasengang kann durch leicht unterschiedliche Grenzfrequenzen der Filter im I- und Q-Pfad entstehen [155], diese liegen bei etwa 560 MHz. Die Abweichung in der Amplitude von maximal $-0,37$ dB bei höheren Frequenzen bestätigt die prognostizierten Werte der vorangehenden Messung aus Abbildung 7.1c. Für hohe Eingangsamplituden, wie im 1- bis 16-Ton Kamm, liegt der Pegel des LO-Trägers unter den Ausleseträgern – bei 80 Kanälen liegt die LO-Leistung deutlich darüber. Dies reduziert die Flexibilität der Pegelanpassung, da mit der Erhöhung des TX-Pegels die hohe Signalamplitude der Mischfrequenz zu Intermodulationen in der Eingangsverstärkungskette führt.

Nach der Kalibrierung des Ausgangskamms wird der Versuchsaufbau nach Abbildung 7.4 verwendet. Die DDC in der Kanalisierung wird für alle Kanäle entsprechend eingestellt, um die Amplitude der Träger zu demodulieren. Im nächsten Schritt wird die Amplitudenmodulation am AWG eingeschaltet und die Demodulation konfiguriert. In diesem Schritt wird keine zusätzliche Phasenmodulation durch den Detektor-Emulator erzeugt. Zur Kalibrierung ist dies nicht zwingend erforderlich, jedoch kann das Rauschniveau ohne Ereignisse bzw. zusätzliche Phasenmodulation genauer abgeschätzt werden. Die Daten werden kanalweise aufgezeichnet und abgespeichert; die Amplitudenmodulation ist für einen Kanal der 16-Kanal-Einstellung in Abbildung 7.7a abgebildet. Nach der Aufzeichnung kann die Modulationsfrequenz entweder mittels Sinus-Fit nach [74] abgeschätzt werden, oder in diesem Fall auf die bekannte Frequenz von 488 281,25 Hz konfiguriert werden. Die Flussrampenlänge wird auf zwei Perioden gewählt; es resultiert daher eine Abtastfrequenz von 244 140,625 Hz und somit eine Abtastzeit von etwa 4 μ s.

Mit dem Flussrampen-Demodulationsmodul wird das Signal auf den Wertebereich $[-\pi, \pi)$ abgebildet. Da im Kontext der SQUID-Charakteristik eine Periode des SQUIDs über $1 \Phi_0$ gemessen wird, werden im Folgenden die Messwerte normiert auf:

$$\Phi_\pi \equiv 2\pi \tag{7.1}$$

¹ Mini Circuits® FL141-12SM+

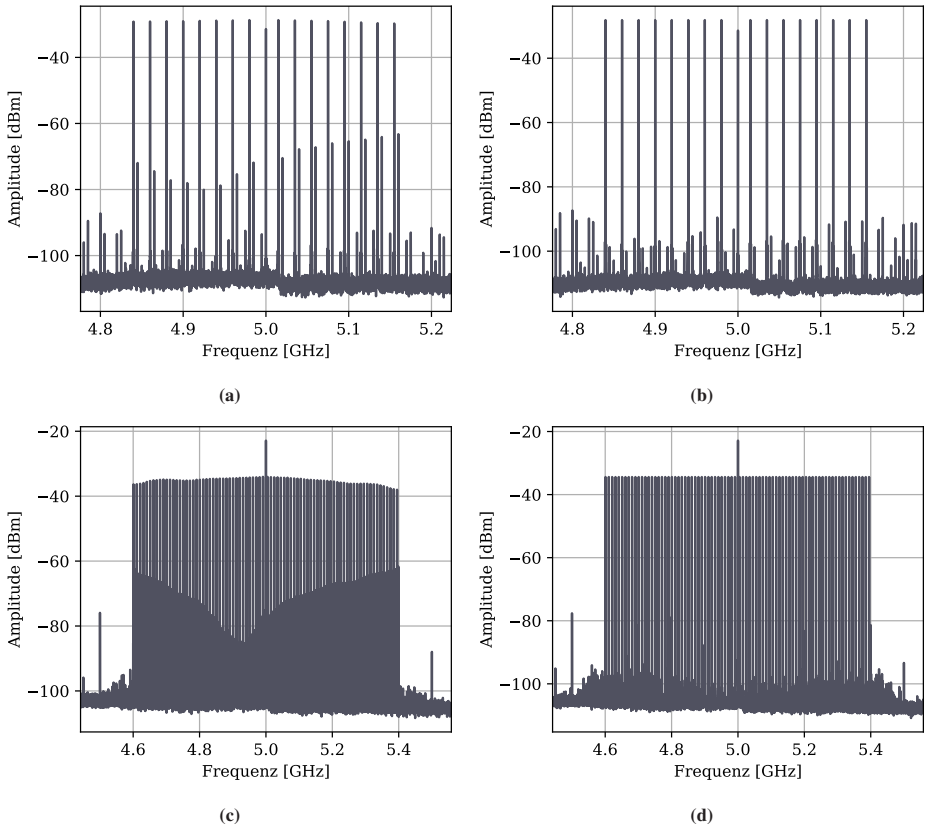


Abbildung 7.5: Sendespektrum des Aufbaus mit 16 Kanälen; I&Q-Imbalance unkorrigiert (a), korrigiert (b) und mit 80 Kanälen unkorrigiert (c) und korrigiert (d).

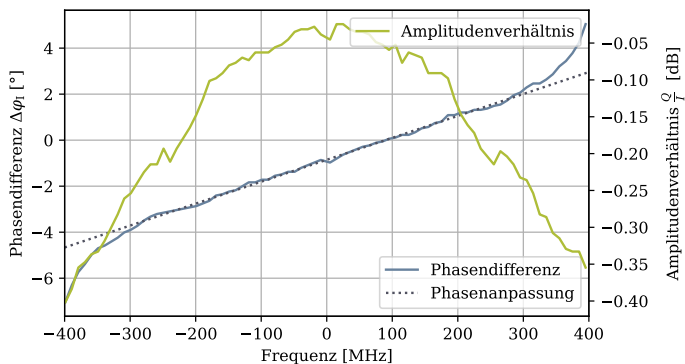


Abbildung 7.6: I&Q-Imbalance Parameter des 80-Kanal-Kamms; die Phasen Anpassung wird aus den 60 zentralen Kanälen berechnet, welche einen linearen Phasenverlauf aufweisen. Das Phasenverhältnis ist die Differenz zur idealen Phase der I-Komponente und das Amplitudenverhältnis ist die Ausgangsamplitude der Q-Komponente relativ zur I-Komponente.

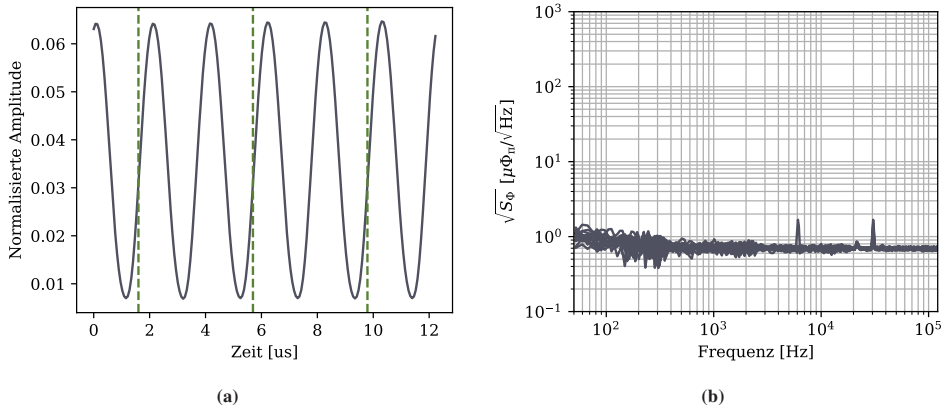


Abbildung 7.7: Phasenmodulation (a) mit Synchronisierungspulsen zur Kalibration der Flussrampendemodulation und die resultierende Rauschamplitudendichte (b) nach der Demodulation für 16 Kanäle.

Zunächst wird ein kleiner Datensatz nach erfolgter Demodulation aufgezeichnet um den Phasenoffset zu bestimmen. Mit dem Offset kann das Demodulationsmodul auf die Anfangsphase von etwa $0 \Phi_{\pi}$ eingestellt werden und ein Überlauf der Arcustangenzfunktion im Flussrampendemodulationsmodul ausgeschlossen werden. Danach wird die Rauschamplitudendichte der Kanäle mit verschiedenen Kanalanzahlen und Pegeleinstellungen der Hochfrequenzelektronik untersucht. Die Rauschamplitudendichte $\sqrt{S_{\Phi}}$ resultiert aus der 2π -normierten Rauschleistungsdichte, welche im Kontext der SQUID-Auslese der Flussrauschdichte entspricht. Das Spektrum der Rauschamplitudendichte ist für die 16-Kanaleinstellung für alle Kanäle in Abbildung 7.7b gezeigt. Das Rauschniveau bewegt sich für alle Kanäle auf einem Pegel von $0,70 \mu\Phi_{\pi}\text{Hz}^{-\frac{1}{2}}$; es zeigen sich kleinere Störträger für einige der Kanäle, mit einer Amplitude von maximal $1,5 \mu\Phi_{\pi}\text{Hz}^{-\frac{1}{2}}$. In Abbildung 7.8 sind die Kanalanzahlen gegen den Mittelwert der Rauschamplitudendichte aufgezeigt. Die Rauschamplitudendichte erreicht mit einem Kanal und vier Kanälen ihr Minimum von $0,55 \mu\Phi_{\pi}\text{Hz}^{-\frac{1}{2}}$ und liegt bei 80 Kanälen im Bereich von $2 \mu\Phi_{\pi}\text{Hz}^{-\frac{1}{2}}$. Die Einstellung für vier Kanäle wird zusätzlich mit zwei gedämpften Eingangspegeln gemessen (Pegel B & C). Die Pegeleinstellungen sind so gewählt, dass die gleiche Eingangsamplitude am AD-Wandler anliegt, jedoch wird bei Pegel C die Dämpfung im Hochfrequenzpfad ausgangsseitig vorgenommen und Pegeleinstellung B dämpft eingangsseitig nach dem Demodulator. Auffällig ist, dass das Rauschniveau mit Pegel C stärker erhöht ist gegenüber Pegel B. Daher kann angenommen werden, dass das hochfrequenzseitige Signal-zu-Rausch-Verhältnis unter dem des Basisbands liegt.

Weiterhin wurden Maximalwerte der Rauschenamplituden aus den Spektren extrahiert, um ein Maß der Störträger bei verschiedenen Kanalkonfigurationen zu erhalten. Während in Messungen mit 1 - 16 Kanälen nur in einzelnen Kanälen Störträger mit kleiner Amplitude enthalten sind, ist aufgrund des hohen Ausgangspegels bei der 80-Kanal-Messung und den

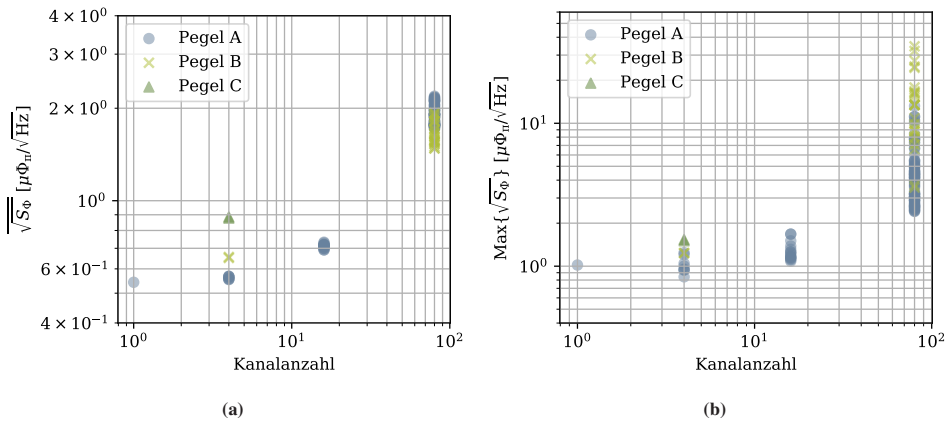


Abbildung 7.8: Konstellation der Rauschamplitudendichte für gemessene Kanäle mit verschiedenen Multiplexfaktoren

damit verbundenen Intermodulationen eine Erhöhung der Pegel bis zu einer Größenordnung zu erkennen (vgl. Abbildung 7.8b). Für die Pegelinstellung A und B für 80 Kanäle kann durch die Anhebung des TX-Pegels zwar die Rauschamplitude geringfügig abgesenkt werden, dies ist allerdings mit einer deutlichen Zunahme der Störträgerpegel verbunden (vgl. Abbildung 7.8a und Abbildung 7.8b).

In der nächsten Messung wird zur Bestimmung der Linearität des Systems der zweite AWG-Ausgang an den Modulationseingang für den ersten Kanal angeschlossen. Der Kanal wird mit einer Dreiecksfunktion konfiguriert, die eine niedrige Frequenz von 10 Hz und eine Amplitude von $0,9 V_{pp}$ aufweist. Die Phasen sollten entsprechend um $0,9 \Phi_{\pi}$ moduliert werden. Das Ausgangssignal der Demodulation wird aufgezeichnet, zugeschnitten und über 20 Rampen gemittelt. Die so gewonnene Rampe wird mit einem linearen Fit verglichen und in Abbildung 7.9 gezeigt. Die Modulationsamplitude liegt mit -468 bis $455 \text{ m}\Phi_{\pi}$ etwa 1 % über dem erwarteten Wert. Dies ist vermutlich durch Toleranzen am Modulationseingang gegeben. Die relativen, nicht-linearen Anteile der gesamten Signalkette belaufen sich auf 0,38 % bezogen auf den Spitze-Spitze-Wert ($\pm 3,51 \text{ m}\Phi_{\pi}$). Der Ausgang des verwendeten AWGs ist auf einen Linearitäts-Wert von 0,1 % bei $1 V_{pp}$ spezifiziert, die Linearität der Modulation ist im Datenblatt nicht spezifiziert [156]. Auffällig ist die Periodizität über Φ_0 : Dies weist darauf hin, dass der Effekt durch die Modulation des AWGs oder durch die Demodulation im System verursacht wird. Wird dieser Effekt durch Kompensation der niederfrequenten Anteile entfernt, betragen die lokalen, nicht-linearen Anteile weniger als 0,09 %. Dies entspricht der im Datenblatt des AWGs beschriebenen Ausgangscharakteristik.

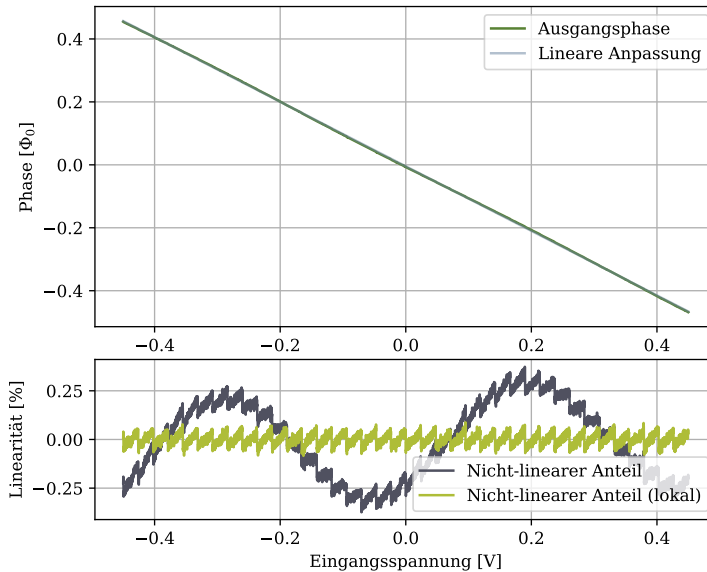


Abbildung 7.9: Ende-zu-Ende-Linearität des Aufbaus: Eine generierte, linear-aufsteigende Eingangsspannung des AWGs bewirkt linear-absteigenden Phasenversatz. Der nicht-lineare Anteil beläuft sich auf $<0,38\%$, wobei die lokale Nicht-Linearität bei $<0,09\%$ liegt.

7.2.3 Akquisition der emulierten Detektorereignisse

Mit der aktivierten Flussrampendemodulation kann nun die Akquise der emulierten Sensorereignisse erfolgen. Dafür wird der Aufbau aus Abbildung 7.4 verwendet, wobei der CAEN® Detektor-Emulator am Modulationseingang des AWGs angeschlossen wird. Der Detektoremulator DT 5810B generiert schnell ansteigende und nach einer Exponentialfunktion abfallende Ereignisse, welche als Näherung der Mikrokalorimetersignale eingesetzt werden (vgl. Abbildung 2.5). Der dynamische Bereich des DA-Wandlers im DT 5810B liegt bei 2^{14} , wobei dieser Bereich auf bis zu $2 V_{pp}$ abgebildet wird. Die Dämpfung des emulierten Sensorsignals von 12 dB passt dabei den Modulationsbereich auf die von magnetischen Mikrokalorimetern typischerweise erreichbare Signalamplitude an, ohne dabei den dynamischen Bereich des Emulators signifikant zu verschlechtern. Es werden im Emulator zwei verschiedene künstliche Spektren hinterlegt, die lediglich bei vier² bzw. acht³ DA-Wandlerzählern einen singulären Ausschlag aufweisen. Nach der Dämpfung kann eine Amplitude von etwa 180 mV_{pp} für reguläre Ereignisse gemessen⁴ werden, sodass ein Maximalwert von 360 mV_{pp} für zwei überlagerte

² DA-Wandlerwerte: 2000, 4000, 6000 und 8000

³ DA-Wandlerwerte: 1000, 2000, 3000, 4000, 5000, 6000, 7000 und 8000

⁴ Die gemessene Amplitude weicht von der konfigurierten ab (vgl. Abbildung A.1).

Pile-Up-Ereignisse auftreten kann. Pile-Ups mit mehr als drei Ereignissen können nicht mehr korrekt abgebildet werden. Diese Konfiguration wird mit variierender Auslesekanalanzahl N und mit zwei verschiedenen Abfallszeiten ($\tau_f = 1,5$ ms und 2 ms) verwendet. Die Rate wird auf eine poisson-verteilte Statistik mit einer durchschnittlichen Ereignisrate von 10 Hz konfiguriert. Dieser Wert entspricht der Zerfallsrate eines Detektors im ECHO-Experiment.

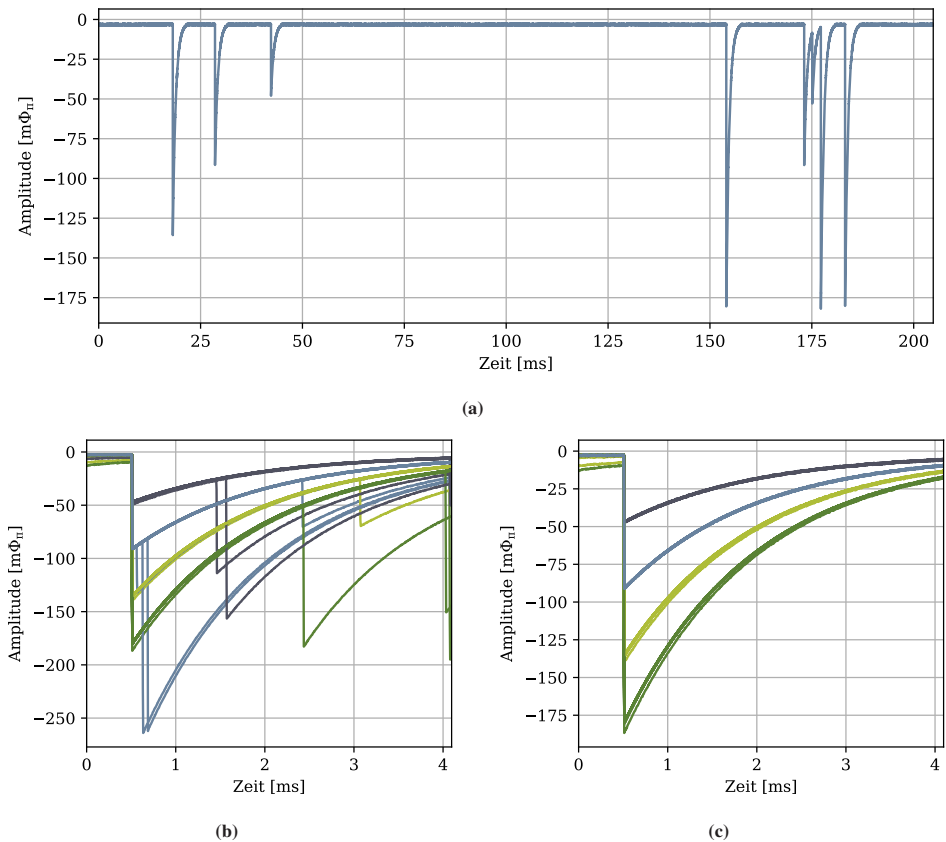


Abbildung 7.10: Die Phasendaten nach der Flussrampendemodulation (a) werden durch die Ereigniserkennung durch die steigenden Flanke erkannt und aufgezeichnet. In (b) ist das Zeitfenster von 500 Pulsen gezeigt; der Ausgangswert des Trapezfilters im Header der Ereignisdaten wird verwendet um die Kurven einzufärben. Das Modul erkennt Pile-Up-Ereignisse zuverlässig, solange sie innerhalb des Zeitintervalls liegen. In Abbildung (c) sind die Daten nach der Pile-Up-Markierung gefiltert.

Die Kanäle werden durch das breitbandige Dämpfungsglied gemeinsam und gleichermaßen moduliert. Daher sind die Ereignisse aller Kanäle koinzident und das System kann aufgrund der statistischen Optimierung, beschrieben in Abschnitt 5.6, Ereignisse nur für eine eingeschränkte Anzahl von Kanälen aufzeichnen. Für größere Kanalanzahlen werden dadurch Ereignisse aus 15 der 16 und aus 20 der 80 Kanälen aufgezeichnet. Es werden die Kanal- und

Pegelparameter aus der vorherigen Sektion verwendet (vgl. Tabelle 7.2, Tabelle A.6). Zunächst werden mit einer Abfallszeit von $\tau_f = 1,5$ ms vier Signalamplituden und die Konfiguration mit vier Kanälen gemessen. Die aufgezeichneten Phasendaten für einen der Auslesekanäle bei 4,96 GHz sind in Abbildung 7.10a gezeigt.

In den Daten nach der Flussrampen-Demodulation ist zu erkennen, dass aus den vier vorgegebenen Niveaus die Maximal-Amplituden von etwa -178 , -132 , -88 und -45 $m\Phi_\pi$ resultieren. Diese liegt im Bereich der eingestellten Signalamplitude des Emulators. Nun wird die Ereignis-Erkennung konfiguriert: Der Trapezfilter wird mit einer Mittelwertbildung über vier Abtastwerte, mit einer Triggerschwelle von 2000 Zählern ($\approx \pm 10,3$ $m\Phi_\pi$), 128 Abtastwerte vor dem Trigger und 1000 Abtastwerte in Summe konfiguriert (vgl. Abschnitt 5.6). Nach der Konfiguration wird die parallele Datenakquise aller Messkanäle aktiviert. In Abbildung 7.10b sind die ersten 500 Ereignisse des Kanals bei 4,96 GHz übereinander gezeichnet. Es ist zu erkennen, dass durch die hohe Rate und lange Abfallszeit Pile-Up-Situationen mit anderen Ereignissen sowohl vor als auch hinter der Flanke der erkannten Ereignisse auftreten. Pile-Up-Ereignisse vor der Ereignisflanke können mit der aktuellen Implementierungsvariante noch nicht erkannt werden. Wird jedoch die Pile-Up-Markierung der Ereignis-Erkennung zur Filterung verwendet, können die Pile-Ups nach der Triggerflanke zuverlässig entfernt werden (siehe Abbildung 7.10c).

7.2.4 Auswertung und Energieauflösung

Um einen ersten Ausblick auf die mögliche Amplituden- bzw. Energieauflösung geben zu können, wird ein vereinfachter Algorithmus zur Energiebestimmung implementiert (beschrieben im Anhang A.2). Dieser extrahiert auf Basis einer Optimalfilterung mit einer synthetischen Exponentialfunktion die Signalamplitude. Optimierungen wie spektrale Rauschoptimierung [27, 132] oder Überabtastung der steigenden Flanke [27] werden in der Methode nicht berücksichtigt. Weiterhin ist zu beachten, dass die Pulsform des Detektor-Emulators von einer idealen Exponentialfunktion abweicht (vgl. Abbildung A.2). Die Abfallszeit der generierten Signale fällt geringer aus und ist zudem abhängig zur generierten Amplitude. Dies führt zu nicht-linearen Verzerrungen des Absolutwerts. Für die Auswertung mit Optimalfilter wird daher zumindest die reduzierte Abfallszeit berücksichtigt. Das Augenmerk bei den folgenden Messungen liegt auf der Varianz der gemessenen Verteilungen, welche ein Maß für die Amplitudenauflösung bei den gemessenen Niveaus darstellt.

Von den zuvor gemessenen Daten wird nach der Berechnung des Optimalfilters ein Spektrum für den Kanal im Bereich von -200 und 0 $m\Phi_\pi$ und einer Bingeröße von 20 $\mu\Phi_\pi$ angelegt. Das Spektrum beinhaltet 3868 Ereignisse verteilt auf die vier Niveaus und ist in Abbildung 7.11 dargestellt. Neben den Korrelationswerten sind die Resultate des Trapezfilters dargestellt und

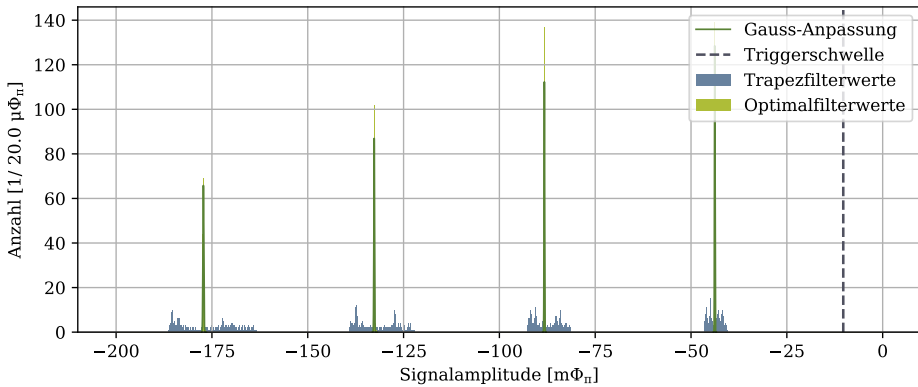


Abbildung 7.11: Spektrum der Signalamplitude aus der Optimalfilter-Auswertung und die normalisierten Amplituden des Triggersfilters. Die Gesamtzahl der Ereignisse beträgt 3868.

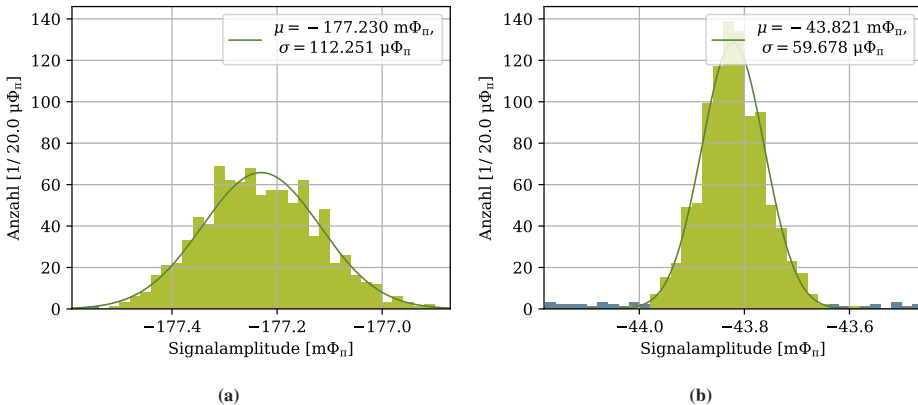


Abbildung 7.12: Gauß-Fits mit Varianz und Erwartungswert für maximale (a) und minimale (b) Energie des Spektrums aus Abbildung 7.11.

die untere Schranke durch den Schwellenwert der Ereignis-Erkennung. Die Amplituden der Filterresultate werden anhand der Erwartungswerte der Verteilungen normiert, sodass die Verteilungen von Korrelationswerten und Trapezfilterwerten übereinander liegen. An den Energieniveaus der Korrelationswerte und Filterresultate werden Normalverteilungen angepasst, sodass der Erwartungswert und die Varianz bestimmt werden können. Die Verteilungen für höchste und niedrigste Amplitude sind in Abbildung 7.12 vergrößert abgebildet.

Das mittels Korrelation gewonnene Spektrum kann anhand realer Messwerte skaliert werden, um die Signalamplitude auf den Wertebereich des Energie-Spektrums von MMCs abzubilden. Als Referenzwert wird aus [74] eine Signalamplitude von $159,5 \text{ m}\Phi_\pi$ für eine detektierte Photon-Energie von $5,9 \text{ keV}$ angenommen. Die darauf normierten Werte des Halbwertsbreite,

Amplitude (Phase)	$-177,2 \text{ m}\Phi_\pi$	$-132,7 \text{ m}\Phi_\pi$	$-88,3 \text{ m}\Phi_\pi$	$-43,8 \text{ m}\Phi_\pi$
Amplitude (Energie)	6,56 keV	4,91 keV	3,26 keV	1,62 keV
FWHM (Energie)	9,77 eV	7,65 eV	6,36 eV	5,19 eV
FWHM Trigger (Energie)	620 eV	442 eV	295 eV	146 eV

Tabelle 7.3: Anpassung der Amplitudenwerte und Varianzen des Spektrums aus Abbildung 7.11 auf Referenzamplitudenwert aus [74].

Full-Width-Half-Maximum (FWHM) sind in Tabelle 7.3 aufgeführt. Die abgeleitete Energieauflösung liegt im Bereich zwischen 5,16 und 9,61 eV und weist zu höheren Amplituden eine größere Varianz auf. Diese kann in Zusammenhang mit der steigenden Ereignisflanke stehen: Die Flanke kann zwischen zwei Abtastwerten liegen; somit wird in die Korrelation ein kleiner, aber stark gewichteter Teil der Signalenergie nicht einbezogen. Dies ist eine Limitierung, die durch die verwendete Auswertungsmethode und Abtastrate gegeben wird.

Die ebenfalls dargestellten Trapezfilterresultate aus der Ereignis-Erkennung liegen bereits vor der Berechnung der Korrelation vor und bieten sich daher als Kriterium für eine potenzielle Vorauswahl an. Wird die Verteilung der Korrelationswerte des Optimalfilters mit der Verteilung der Trapezfilterwerte verglichen, wird deutlich, dass die Werte zur Einordnung der Ereignisenergie dienen können. Die Auflösung des Triggers liegt etwa zwei Größenordnungen über der Varianz der Optimalfilterung.

Im nächsten Schritt werden mehrere Messungen mit variierten Ausleseparameter durchgeführt. Dazu wird das Erfassungssystem mit verschiedenen Kanalanzahlen eingestellt und die Parameter der Abfallszeit der Ereignisflanke werden im Detektor-Emulator verändert. Die erreichten Auflösungen sind in Abbildung 7.13 zu sehen. Die Erhöhung der Abfallszeit bewirkt, dass der Anteil der steigenden Flanke weniger ins Gewicht fällt – dies spiegelt sich in den Messungen mit vier Kanälen und $\tau_f = 2 \text{ ms}$ wider, in denen die Energieauflösung für höhere Signalenergien gesteigert werden kann. Bei Messungen mit 16 Kanälen zeigt sich keine signifikante Degradierung der Auflösung gegenüber den Messungen mit vier Kanälen. Es ist jedoch zu erkennen, dass für die zwei kleinsten Niveaus die Auflösung leicht vermindert ist. Dies kann im Zusammenhang mit der Qualität der erzeugten Exponentialfunktionen bei kleinen Amplituden stehen (vgl. Abbildung A.2). Für 80 Auslesekanäle sinkt die Energieauflösung auf 9,5 eV im besten und auf 13,1 eV im schlechtesten Fall ab. Da sich die Auflösung zwischen den verschiedenen Energieniveaus weniger signifikant unterscheidet, kann davon ausgegangen werden, dass der systematische Fehler der Datenauswertung durch weißes Rauschen überlagert wird. Die These wird durch die in dieser Konfiguration erhöhte Amplitudenrauschdichte nach der Flussrampen-Demodulation unterstützt (vgl. Abbildung 7.8).

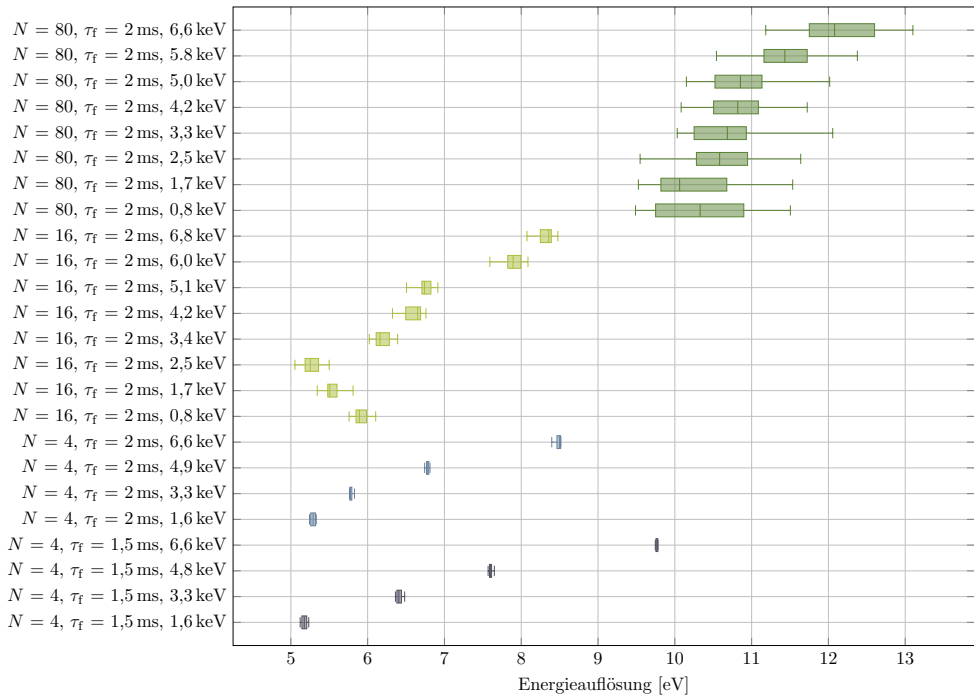


Abbildung 7.13: Konstellation der Auflösungen (FWHM) für vier Messungen mit 4, 16 und 80 Kanälen (N). Die Whisker der Boxen bilden die Auflösungen aller gemessenen Kanäle ab; die Boxen das untere und obere Quartil inklusive dem Median.

7.3 Messungen mit Tieftemperaturaufbau

Neben den Raumtemperaturmessungen konnten mit einem Prototypen des Auslesesystems (vgl. Abbildung 7.15) bereits mehrfach Messungen mit einem Tieftemperaturaufbau durchgeführt werden. Die Messungen wurden am Kirchhoff-Institut für Physik der Universität Heidelberg durch Daniel Richter durchgeführt (vgl. Dissertation [74]). Dabei wurde ein Multiplexer-Chip mit 16 Kanälen verwendet, der mit einem MMC-Sensorchip verbunden ist (vgl. Abbildung 7.14). Acht der 16 Kanäle sind an je zwei Detektoren verbunden. Auf den Kanälen sind daher Ereignisse beider Polaritäten messbar. Die weiteren acht Kanäle bleiben unverbunden. Für die Auslese wurde der erste Hardware-Prototyp (vgl. Abschnitt 4.8) eingesetzt. Die Messungen wurden parallel zur Entwicklung durchgeführt und verwendeten Zwischenstände der entwickelten Firmware (vgl. Abschnitt 5.1 und [74]). Mittels des darin enthaltenen Polyphasen-Kanaliersers und der Flussrampen-Demodulation konnte eine Auslese von mehreren Kanälen durchgeführt werden. Die große Datenreduktion bei der Berechnung der Phasendaten ermöglichte es, über längere Zeiträume zu messen und Daten mehrerer Kanäle aufzuzeichnen.

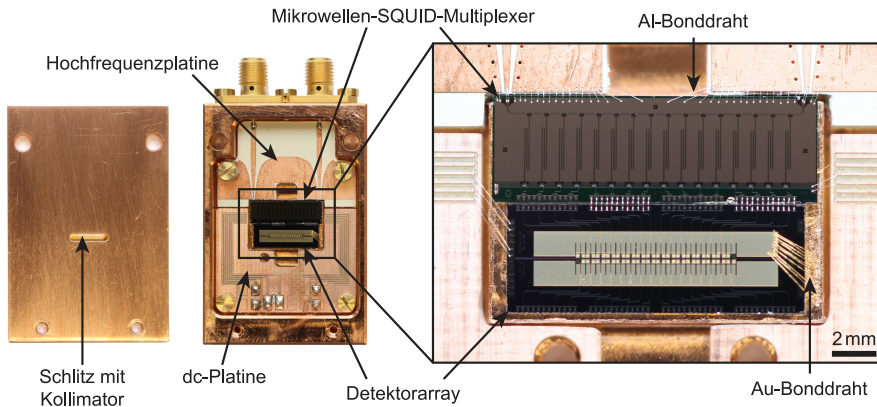


Abbildung 7.14: Aufbau im Kryostat mit Mikrowellen-SQUID-Multiplexer und MMC-Array im Experimenthalter. Durch den Schlitz mit Kollimator werden wird die Röntgenstrahlung auf die MMCs fokussiert (Grafik aus [74]).

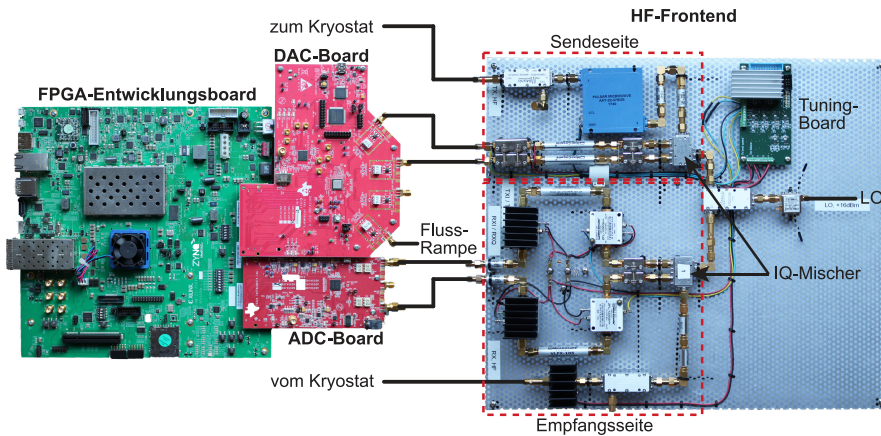


Abbildung 7.15: Der zur Auslese verwendete erste Prototyp mit SoC-FGPA, Wandler- und Hochfrequenzelektronik (Grafik aus [74]).

In den Messungen wurden vier und acht Resonatorkanäle parallel ausgelesen. Aus den gewonnenen Daten einer Langzeitmessung mit einer Eisen-55-Quelle wurden Spektren generiert. Es wurde bei den Messungen eine maximale Auflösung von etwa 8,8 eV bei 5,9 keV erreicht. Der Rauschgrund betrug minimal $2,5 \Phi_0 \text{Hz}^{-\frac{1}{2}}$. Eine Zusammenfassung der Ergebnisse ist in Abbildung 7.16 gezeigt.

Im Anschluss wurde die Firmware um die Ereignis-Erkennung erweitert. Mit dem Modul konnten Ereignisse zur Messzeit erkannt und separat abgespeichert werden. Der daraus resultierende Datenstrom ist ausgedünnt und enthält lediglich die Ereignisse der verschiedenen Kanäle. Mit dieser Firmware konnte erstmals die vollständige Signalverarbeitungskette in einem Experiment erfolgreich getestet werden (vgl. Abbildung 7.17).

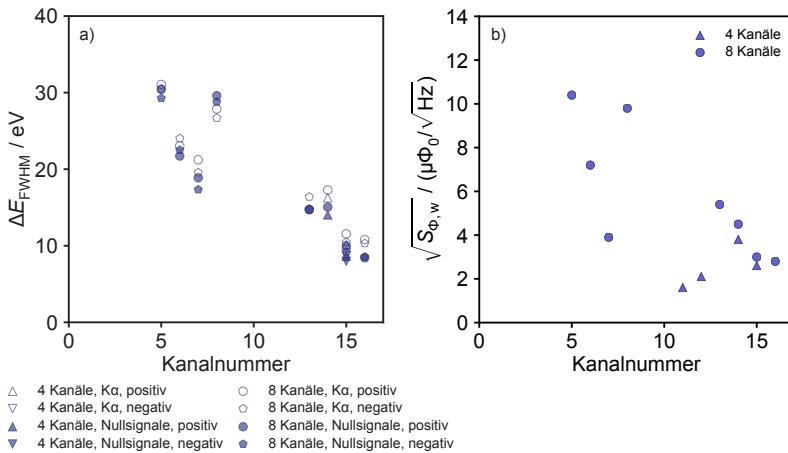


Abbildung 7.16: Energieauflösungen (links) und Rauschgrund (rechts) bei vier- und acht-kanaliger Auslese. Es werden die Auflösungen für die verschiedenen Kanalnummern dargestellt. Die Energie wurde aus der $K\alpha$ -Linie des ^{55}Fe -Spektrums gewonnen. Die gezeigten Nullsignalaufösungen sind die Korrelationsvarianzen des Optimalfilters mit der Grundlinie ohne Ereignis (Grafik aus [74]).

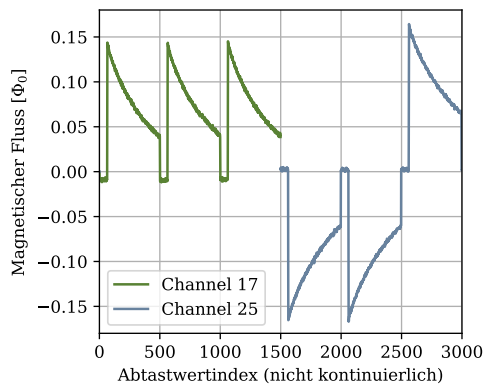


Abbildung 7.17: Photonenaufereignisse einer ^{55}Fe -Quelle. Datenstrom zweier Multiplexer-Kanäle nach Kanalisierung, Flussrampen-Demodulation und Ereignis-Erkennung. Die horizontale Koordinatenachse stellt die zusammengesetzten Zeitintervalle um die Triggerzeiten dar mit einer Abtastzeit von $8 \mu\text{s}$ [Kar21a]. In dieser Firmwareversion ist die Kanalnummer nicht synchronisiert mit dem Kanalisierer, daher unterscheiden sich die Kanalanzahlen zu [74].

7.4 Bewertung des Systems

In den Charakterisierungsmessungen des zweiten Prototyps wurde die verwendete Wandler-elektronik bezüglich ihren Spurious-Free-Dynamic-Range (SFDR) untersucht, um eventuelle Einstreuungen durch Fehlerfrequenzen aufzuspüren. Beim DA-Wandler stimmen die Werte mit dem Datenblatt überein. Beim AD-Wandler wurde eine Abweichung zwischen 10 bis 20 dB festgestellt. Der SFDR des AD-Wandlers ist dennoch weit über dem Wert des DA-Wandlers

und der maximalen I&Q-Unterdrückung des Mischers. Für eine wirkungsvolle Unterdrückung des zweiten Nyquistbands ist für beide Wandler eine weitere Filterstufe notwendig; diese ist bereits auf der nächsten Revision der Hochfrequenzplatine realisiert. In den Phasenrauschmessungen zeigen sich kleine Schwächen der Takterzeugung bezogen auf die Regelschleife der ersten PLL-Stufe und die Unterdrückung von Störungen durch die Spannungsversorgung. Die Schwächen im niederfrequenten Bereich können treiberseitig gelöst werden. Die auftretenden Oberwellen durch die Schaltregler wurden bereits in der nächsten Layout-Revision der Platine berücksichtigt. Es wurde dabei die kapazitive Kopplung der Spannungsversorgungsebenen reduziert und ein anderer Linearreglertyp mit höherer Unterdrückung des Versorgungsspannungsdurchgriffs eingesetzt. Das auftretende Phasenrauschen in den Wandlertakten ermöglicht in der aktuellen Revision ein maximales SNR von 67,5 dB und reicht daher für die Wandler bereits aus. Mit dem entwickelten Prototyp der Wandlerelektronik in Kombination mit einem ZCU102 als Digitalelektronik steht nun eine Basisbandschnittstelle für 1,6 GHz Bandbreite zur Verfügung.

Für einen gemeinsamen Test der Hochfrequenzelektronik, der Wandlerelektronik und der Firmware wurde mit dem MUX-Emulator eine Möglichkeit geschaffen, um In-Vitro-Tests des Auslesesystems durchzuführen. Zwar sind die realen Charakteristiken durch ideale Sinus- und Exponentialkurven ersetzt, es können allerdings im Gegensatz zu Messungen mit einem kryogenen Aufbau mit SQUID und Sensoren die Thermalisierungszeiten vermieden und somit der Parameterraum schneller exploriert werden. Darüber hinaus können weitere Sensor-Parameter wie Anstiegs- und Abfallszeiten, Signalpegel und Rauschniveaus variiert und bezogen auf die erreichbare Auflösung evaluiert werden. Dies ist mit einem realen Aufbau nur sehr eingeschränkt möglich und mit großem Aufwand verbunden.

Während die Inbetriebnahme der Firmware und der Elektronik mit dem Aufbau erfolgreich abgeschlossen werden konnte, so konnten bei den Messungen mit MUX-Emulator Probleme mit der System-Linearität aufgedeckt werden. Es tritt eine Abweichung von $< \pm 0,38\%$ bezogen auf den Dynamikbereich auf. In einer weiteren Simulation des Flussrampen-Demodulations-Moduls und mittels einer zweiten Messung mit synthetischer Phasen-Modulation des Ausgangskamms wurde die Abweichung nachträglich näher untersucht. Die Ergebnisse deuten darauf hin, dass die Flussrampe nicht exakt auf eine ganzzahlige Anzahl von Modulationsperioden zugeschnitten wird. Während das Rauschen dadurch nicht maßgeblich verändert wird, so bestimmt dies die Linearität der Flussrampenmodulationsmethode. Dies ist insbesondere in realen Aufbauten problematisch, da beim Mikrowellen-SQUID-Multiplexer die Frequenz der Modulation durch die Modulationsspule am SQUID definiert ist. Die Modulationsfrequenz fällt durch Fertigungstoleranzen dieser Spule nicht für alle Kanäle identisch aus. Der Zugschnitt auf eine ganzzahlige Anzahl von Modulationsperioden kann somit in einer praktischen Anwendung nur schwer erreicht werden. Daher sollte der Zusammenhang zwischen der

Nicht-Linearität und der Methode der Flussrampenmodulation genauer überprüft und Möglichkeiten zur Kompensation gesucht werden. Ähnliche periodische Abweichungen wurden in anderen Aufbauten beobachtet und beschrieben [48, 157, 74].

Neben der Abweichung bei der Phasenmodulation begrenzt die vom Generator gegebene Abhängigkeit zwischen der Abfallszeit τ_f und der Amplitude der erzeugten Exponentialfunktionen die Linearität. Um eine Aussage über die absolute Energieauflösung des Systems treffen zu können, sollten die durch den Generator gegebene Nicht-Linearitäten in zukünftigen Messungen reduziert werden. Dabei kann beispielsweise der Detektor-Emulator durch ein anderes Gerät ersetzt werden oder die Ereignis-zu-Phasenmodulation digital erfolgen.

Die gemessene Signalqualität nach der Flussrampen-Demodulation ist für 1, 4 und 16-Kanalmessungen im Aufbau konsistent. Es wird nach der Phasendemodulation ein niedriges Amplitudenrauschen $< 0,8 \mu\Phi_\pi$ gemessen. Dieses liegt unter dem Rauschniveau, welches durch einen kryogenen Aufbau vorgegeben wird und bei $0,9 \mu\Phi_0$ liegt [74, 26]. Für große Kanalanzahlen, wie in der Messung mit 80 Kanälen, wirken die Schnittstelle zwischen Hochfrequenz- und Wandlerelektronik und das Rauschen im Hochfrequenzpfad limitierend. Da im aktuellen Aufbau lediglich der halbe Dynamikbereich des AD-Wandlers ausgenutzt wird und die Steuerung des Modulators ebenfalls etwa 6 dB unter dem Optimum liegt, ist nach Anpassung der Pegel mit einer Verbesserung dieser Werte zu rechnen.

Mit dem gemessenen Rauschniveau wird für 16 Kanäle mit einer Abfallszeitcharakteristik von 2 ms eine maximale, lokale Auflösung von 7,6 eV bei 6 keV erzielt (vgl. Abbildung 7.13). Diese liegt 1 eV unter dem Wert aus Quelle [74] (vgl. Abbildung 7.16), in der magnetische Mikrok calorimeter mittels 8-Kanalauslese gemessen wurden. Es sollten zukünftig jedoch weitere Optimierungen der Auswertungsmethode mit Optimalfiltern vorgenommen werden um systematisches Rauschen zu unterdrücken und den Auslösezeitpunkt genau zu bestimmen [27], da sonst die maximale Energieauflösung durch die Auswertungsmethode limitiert sein könnte.

Für das ECHo-Experiment ist der Energiebereich des Holmium-Zerfalls bis zur maximalen $Q_{EC} \approx 2,833$ keV von besonderer Bedeutung. Unter der Annahme, dass das Rauschen durch die Anpassung der Schnittstelle zwischen HF-Platine und Basisbandelektronik auf das Niveau der 16-Tonkonfiguration verbessert werden kann, ist mit dem Aufbau im Bereich bis etwa 3,3 keV eine lokale Energieauflösung von 5,1 bis 6,4 eV möglich.

7.5 Zusammenfassung

Durch die erfolgreiche Inbetriebnahme der Basisbandelektronik mit den AD- und DA-Wandlern konnte das zweite Prototyp-System mit zwei I&Q-Paaren charakterisiert und bereits für Messungen verwendet werden. Zur Evaluierung des vorgestellten Systems wurde ein Raumtemperatur-Aufbau mit einem MUX-Emulator entwickelt. Neben Messungen mit Basisbandelektronik und der Hochfrequenzumsetzung ermöglicht der Aufbau es, die Firmware zu evaluieren. So wurden die digitale Signalverarbeitungskette bestehend aus Frequenzdemultiplex, Flussrampen-Demodulation, Ereignis-Erkennung und Datenakquise getestet. Mit der entwickelten Optimalfilterung konnten die aufgezeichneten Ereignisse in ein Spektrum überführt und die Amplitudenaufösung bestimmt werden. Damit ist das System einsatzbereit für Messungen mit einem Tieftemperaturaufbau, wie sie bereits mit dem ersten Prototyp der Messelektronik durchgeführt wurden.

8 Frequenzmultiplex mit dc-SQUIDs

Ausgehend von der beim Mikrowellen-SQUID-Multiplexer eingesetzten Flussrampenmodulation wurde in [15] ein neuartiger Multiplexer basierend auf dc-SQUIDs vorgestellt. In diesem Kapitel wird untersucht, in welchem Umfang die gewonnenen Erkenntnisse und Implementierungen für den Mikrowellen-SQUID-Multiplexer auf die neue Methode angewendet werden können. Dafür wird zunächst die zugrundeliegende Theorie erläutert. Für dieses Verfahren wird in dieser Arbeit ein Ausleseprototyp entwickelt, mit dem erste Multiplexmessungen durchgeführt werden. In Hinblick auf die Erhöhung der Kanalanzahl werden im Anschluss mögliche Skalierungsoptionen der Auslese bewertet.

8.1 Theorie zum Multiplexverfahren

Der dc-SQUID-Multiplexer mit Flussrampenmodulation implementiert ein Frequenzmultiplexverfahren. Im Gegensatz zum in Abschnitt 2.3.3 vorgestellten Mikrowellen-SQUID-Multiplexer werden hierbei dc-SQUIDs zur Messung des magnetischen Flusses eingesetzt (vgl. Theorie in Abschnitt 2.1.3). Werden die zwei parallelen Josephsonkontakte eines dc-SQUIDs von einem Bias-Strom durchflossen, wird sich die Spannung über dem SQUID in Abhängigkeit vom eingetragenen magnetischen Fluss Φ_{ext} ändern:

$$U_n(\Phi_{\text{ext}}) = I_c R \sqrt{\left(\frac{I}{2I_c}\right)^2 - \left(\cos\left(\frac{\pi\Phi_{\text{ext}}}{\Phi_0}\right)\right)^2}, \quad \text{wobei } \Phi_{\text{ext}} = \Phi_{\text{sens}} + \Phi_{\text{FR},n}. \quad (8.1)$$

Über induktiv angekoppelte Spulen kann ein externer Fluss in die Leiterschleife des SQUIDs eingebracht werden. Dieser setzt sich aus dem Sensorsignal Φ_{sens} und dem Flussrampensignal $\Phi_{\text{FR},n}$ zusammen. Abbildung 8.1a zeigt den Aufbau des Multiplexers: Eine Kette von dc-SQUIDs wird an eine gemeinsame Bias-Stromquelle angeschlossen. Über jedem SQUID bildet sich eine individuelle Spannungsdifferenz $U_n(\Phi)$ aus und zwischen Anfang und Ende der Kette kann somit die Summe der Einzelspannungen gemessen werden. Hier wird mit einer Koppelkapazität die Messleitung zum Raumtemperatur-Auslesesystem verbunden. Die SQUIDs in der Kette sind gleich aufgebaut und werden jeweils mit einem Flusstransformer an das individuelle Sensorsignal verbunden. Über eine weitere Spule mit der Gegeninduktivität

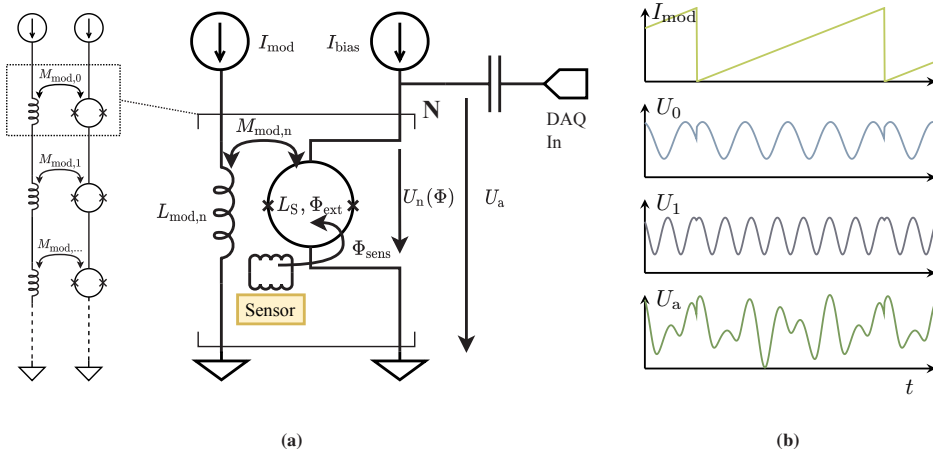


Abbildung 8.1: Aufbau des dc-SQUID-Multiplexers (a) und Beispielverläufe der Einzel- und Summen-Ausgangsspannungen für zwei Kanäle über eine Flussrampenperiode (b).

$M_{mod,n}$ ist jedes SQUID an das gemeinsame Flussrampensignal gekoppelt [15, Ric21b]. Das Flussrampensignal bewirkt somit einen Fluss nach $\Phi_{FR,n} = I_{mod} \cdot M_{mod,n}$. Hierbei unterscheiden sich die Spulen für die Flussmodulation in ihrer Induktivität bzw. in ihrem Kopplungsfaktor und führen somit zu unterschiedlichem magnetischen Fluss in den verschiedenen Kanälen bei gleichem Modulationsstrom. An der Modulationsspule wird ein sägezahnförmiges Signal mit einer solchen Amplitude eingekoppelt, sodass die Spannung nach Gleichung 8.1 über 25-50 Perioden des Kosinus gesteuert wird. Es entsteht somit eine sinus-ähnliche, periodische Ausgangsspannung im Zeitfenster einer Flussrampe (vgl. Abbildung 8.1b). Das Sägezahnsignal wird typischerweise mit bis zu 1 MHz Repetitionsrate betrieben, sodass mit der entsprechenden Amplitude über dem SQUID ein modulierte Spannungssignal im Bereich zwischen 25 und 50 MHz erzeugt wird. Jeder zusätzliche magnetische Fluss, der zum Beispiel durch ein Sensorsignal Φ_{sens} ausgelöst und am SQUID eingekoppelt wird, entspricht einem Offset des Sägezahn-Signals. Da das Sensorsignal langsam gegenüber der Sägezahnfrequenz ist, ist der Offset einer Sägezahnperiode etwa konstant. Der Offset kann demnach als Phasenversatz des Spannungsverlaufs genähert werden. Der Phasenversatz einer Rampe ist somit linear-abhängig zur Amplitude des Sensorsignals. Das Sensorsignal kann durch eine Demodulation des Phasenversatzes zurückgewonnen werden (vgl. Abbildung 2.11 und Abschnitt 5.5).

Da die Gegeninduktivitäten $M_{mod,n}$ für die Kanäle unterschiedlich sind, ist die Frequenz der Ausgangsspannung für jeden Kanal individuell. So können die Sensorsignale der Kanäle im MHz-Bereich mittels Frequenzdemultiplex und Phasendemodulation rekonstruiert werden.

Dieses Verfahren stellt somit eine Möglichkeit dar, ohne Hochfrequenzelektronik mehrere Sensoren über ein Koaxialkabel auszulesen. Außerdem kann, verglichen mit dem Mikrowellen-SQUID-Multiplex, durch die Wahl höherer Repetitionsraten der Flussrampe eine höhere zeitliche Auflösung erreicht werden. Verglichen mit einer konventionellen Einkanal-Auslese (siehe Abbildung 2.8) bietet das Verfahren eine höhere Auslesedynamik [15]. Dadurch ist der dc-SQUID-basierte Multiplex ein vielversprechender Ansatz, falls eine effiziente Auslese möglich ist.

8.2 Auslesehardware und Messprototyp

Zur Auslese der dc-SQUID-Kette wird ein Messsystem mit SoC-FPGA verwendet, welches ADCs und DACs aufweist, sodass Signale generiert und aufgezeichnet werden können. Das Prototyp-System baut auf dem ersten Prototyp für den Mikrowellen-SQUID-Multiplexer auf (vgl. Abschnitt 4.8). Es wird zur Signalverarbeitung eine Xilinx® ZCU102 Evaluationsplatine [110] verwendet, die mit zwei Wandler-Evaluationsplatinen über FMC verbunden ist.

Da das Sägezahnsignal im Bereich von 100 kHz und 1 MHz liegt, sollte die Signalgenerierung auch für niedrige Frequenzbereiche geeignet sein. Weiterhin muss der Digital-zu-Analog-Konverter eine ausreichend hohe Abtastrate aufweisen und die Bandbreite der Ankopplung entsprechend hoch sein, um die Rückstellpunkte des Sägezahns abbilden zu können. Die vier Ausgangskanäle der Digital-Analog-Wandlung werden in der Firmware mit 500 MHz Abtastrate betrieben. Zur Generierung des Rampensignals ist lediglich einer der Kanäle notwendig. Idealerweise wird bei der Ankopplung des DA-Wandlerkanals eine Gleichstromkopplung eingesetzt, um die niedrigen Frequenzen des Flussrampen-Signals abbilden zu können. Da dies auf der Evaluationsplatine nicht ohne Einschränkung umsetzbar ist, wird die Wechselstromkopplung an den erforderlichen Frequenzbereich angepasst. Dazu werden die zwei Transformatoren des Kanals mit einem MiniCircuits® *ADTT1-6+* ersetzt, sodass eine untere Frequenzschranke von 15 kHz ermöglicht wird anstelle der Schranke von 50 MHz der Standardkonfiguration. Durch den Tausch der Transformatoren wird das Impedanzverhältnis von 2:1 auf 1:1 reduziert, wodurch sich der Signalpegel und die Ausgangsimpedanz verändern. Da im Aufbau ein Dämpfungsglied verwendet wird, welches reflektierte Wellen bereits dämpft, ist die veränderte Ausgangsimpedanz nicht von großer Bedeutung (vgl. Abschnitt 8.4.1).

Abhängig von der Strom-Amplitude der Flussrampe wird das Flussrampensignal in eine sinusähnliche Schwingung mit vielfacher Frequenz der Flussrampen-Frequenz umgesetzt. Die mittelwertfreien Ausgangssignale des Multiplexers liegen im Bereich zwischen 2,5 und 50 MHz, können allerdings bei einem höheren Multiplexfaktor über diesem Bereich liegen. Es wird daher auf der Analog-zu-Digital-Konverter-Seite ein Wandler mit über 100 MHz Abtastrate

benötigt. Dieser kann nach einer Pegelanpassung mittels Vorverstärkern wechselstromgekoppelt werden. Die Signalverarbeitung findet nach der Aufzeichnung der Daten im FPGA-Teil des System-on-Chip statt. Hierauf wird im folgenden Abschnitt 8.3 näher eingegangen. Die Analog-Digital-Wandlung besitzt zwei Kanäle mit 500 MHz Abtastrate und einem passendem Frequenzbereich von 0,4 MHz bis 250 MHz (Nyquistfrequenz).

8.3 Signalverarbeitungskette

Die Signalverarbeitung zur Trennung der überlagerten SQUID-Signale wird innerhalb der programmierbaren Logik berechnet. Hierfür wird eine neue Firmware entwickelt, die sich von derjenigen zur Auslese des Mikrowellen-SQUID-Multiplexers unterscheidet.

8.3.1 Firmwarekonzept und Überblick

Kernbestandteil der digitalen Signalverarbeitung ist das in Abschnitt 5.5 vorgestellte Modul zur Flussrampen-Demodulation. Dieses Modul ist in der Lage mehrere Kanäle in einem Time-Division-Multiplex (TDM) zu verarbeiten. Der Ausleseprototyp wird für vier Kanäle ausgelegt, die in einem TDM verarbeitet werden. Die Firmware implementiert dazu eine einzelne Signalverarbeitungskette, welche in Abbildung 8.2 dargestellt ist. Nach der Abtastung des Signals durch den ADC werden die Daten mittels eines JESD204B-Protokolls zum FPGA übertragen. Die Daten werden vom Xilinx® JESD204-IP-Core als vier parallele Abtastwerte mit 125 MHz Taktfrequenz ausgegeben. Im FPGA wird zunächst von zwei Tiefpassfiltern eine Unterabtastung um Faktor vier durchgeführt, sodass eine Signalbandbreite von etwa 60 MHz möglich ist. Danach wird das flussrampen-modulierte Signal demoduliert und die resultierenden Phasendaten über den DMA zum Arbeitsspeicher übertragen. Das Flussrampen-Demodulationsmodul wird mit 500 MHz getaktet und kann so eine Abtastrate von 125 MHz bei vier TDM-Kanälen verarbeiten. Im Gegensatz zur Firmware der vorigen Kapitel (vgl. Abschnitt 5.1) wird keine Kanalisierung vor der Flussrampen-Demodulation eingesetzt.

8.3.2 Dezimationsfilter

Für die Reduktion der Abtastrate auf 125 MHz wird ein Tiefpass-Filter entworfen. Das zwei-stufige FIR-Filter zur Dezimierung erhält vier Abtastwerte parallel am Eingang und setzt diese auf einen einzelnen Abtastwert herab. Dadurch benötigt die Verarbeitungskette keinen Interleaver, welcher die Abtastwerte serialisiert. Die Filtercharakteristik ist als Halbband-Filter ausgelegt; es können somit in beide Stufen die gleichen Koeffizienten eingesetzt werden. Die

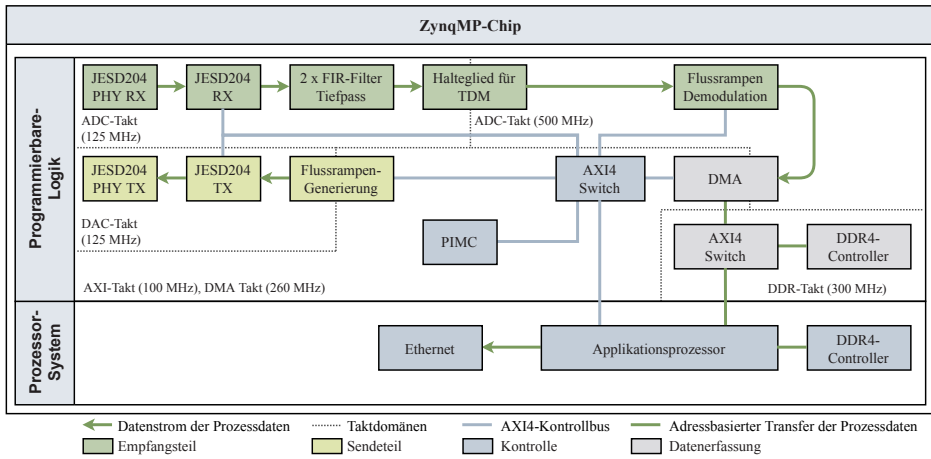


Abbildung 8.2: Übersicht der Auslesefirmware für den dc-SQUID-Flussrampen-Multiplexer

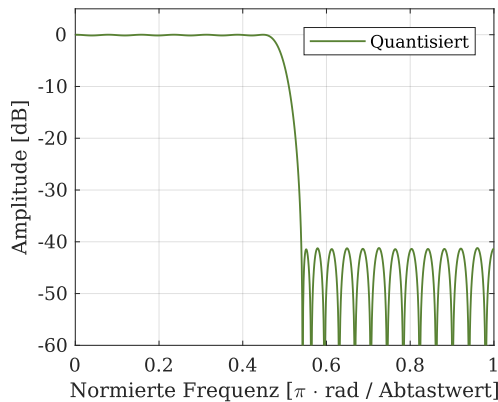


Abbildung 8.3: Halbbandfilterantwort des Dezimationsfilters für Frequenzmultiplex mit dc-SQUIDs. Die horizontale Koordinatenachse ist normiert auf die Nyquistfrequenz.

Filter werden mit IP-Cores aus dem Xilinx® FIR-Compiler [78] implementiert, wobei sich die Anzahl an parallel-verarbeiten Abtastwerten unterscheidet. Die erste Stufe setzt von vier auf zwei, die zweite Stufe von zwei auf einen Abtastwert herab. In Abbildung 8.3 ist der Frequenzgang der Filterkoeffizienten normiert auf die Abtastrate dargestellt, der zugehörigen Ressourcenbedarf in Tabelle 8.1. Das Filter wird mit 40 dB Sperrbanddämpfung ausgelegt und besitzt eine normierte Abknickfrequenz bei 49 %, die nutzbare Bandbreite liegt bei 46 % der Nyquistbandbreite. Durch die Dezimierung und die niedrige Sperrbandunterdrückung werden Aliassignale nicht vollständig unterdrückt, jedoch eine niedrigere Anzahl an Koeffizienten und somit ein niedrigerer Ressourcenbedarf erreicht [130].

	CLB LUT	CLB Register	BRAM	DSP
Stufe 1 (4 zu 2)	434	2669	–	104
Stufe 2 (2 zu 1)	418	973	–	52
Gesamt	852	3642	–	156

Tabelle 8.1: Ressourcenbedarf der FIR-Filter

8.3.3 Flussrampengenerierung und -demodulation

Das benötigte sägezahnförmige Flussrampensignal kann durch das Modul zur Rampengenerierung aus Abschnitt 5.2.2 oder das Modul zur Speicher-Wiedergabe (Kammgenerierung) aus Abschnitt 5.2.1 erzeugt werden. Da die eingesetzte Wechselstrom-Kopplung des DA-Wandlers ein leichtes Hochpassverhalten aufweist, wird das Rampensignal leicht verzerrt. Bei 100 kHz wird eine Abweichung von $\pm 2,5\%$ beobachtet. Diese Verzerrung kann durch die konventionelle Rampengenerierung nicht kompensiert werden, daher wird für dieses Projekt das speicherbasierte Modul verwendet. Im Speicher kann eine vorverzerrte Sägezahnfunktion abgelegt werden, aus dem nach dem Passieren der Kopplung ein linearisiertes Signal resultiert [130]. Eine weitere Anpassung ist die Korrektur der Fallzeit des Sägezahnsignals. Durch das instantane Rücksetzen der Rampe entstehen Resonanzen auf dem Signalpfad, die sich in Störfrequenzen im modulierten SQUID-Signal manifestieren. Durch eine längere Abfallszeit des Signals kann dieser Effekt reduziert werden. Die Abfallszeit wird daher mit 70 ns gewählt. Für den Einsatz in der Messung muss das Modul zur Speicher-Wiedergabe um ein Synchronisationssignal erweitert werden, welches an die Flussrampen-Demodulation weitergegeben werden kann [130].

Zur Demodulation der SQUID-Charakteristik wird das in Abschnitt 5.5 vorgestellte Flussrampen-Demodulationsmodul verwendet. Das Demodulationsmodul wird für die Verwendung von reellen Eingangsdaten und einem TDM-Faktor für vier Kanäle konfiguriert. Weiterhin wird die Funktionalität zur Generierung und Anwendung von arbiträren und linearen Fensterfunktionen auf das Eingangssignal aktiviert. Die Länge des Speichers für die Fensterfunktion wird auf 1000 Abtastwerte gesetzt. Bei einer Abtastperiode von 8 ns wird dadurch die Fensterung einer maximale Flussrampenlänge von 8 μ s ermöglicht, was einer minimalen Flussrampen-Frequenz von 125 kHz entspricht.

8.3.4 Datenerfassung und Konfiguration

Auch bei der dc-SQUID basierten Auslesevariante wird zur Datenerfassung der DMA aus Abschnitt 6.3 verwendet. Da die Eingangsdaten und Daten nach der Verarbeitung reell-wertig sind, kann die Eingangsbitbreite des DMAs auf 16 bit reduziert werden. Die Firmware ist an den ServiceHub angebunden. Die Konfiguration und Datenerfassung kann somit über die gRPC-Schnittstelle erfolgen (Abschnitt 6.4.4).

Die Plugins zur Konfiguration der Firmwaremodule werden geringfügig angepasst. So wird der Treiber des Wiedergabemoduls (vgl. Abschnitt 5.2.1) um eine Funktion für das Schreiben von Rohdatenabstastwerten und einer flexiblen Einstellung der Wiedergabelänge erweitert. Die vorverzerrten Abstastwerte für die Rampe können dadurch client-seitig erzeugt und in das Wiedergabemodul geschrieben werden. Das Plugin für die Flussrampen-Demodulation wird um eine ähnliche Funktion erweitert, über die die Fensterfunktion im Speicher abgelegt werden kann. Außerdem wird die Erzeugung linearer Fensterfunktionen wie das Bartlett-Fenster treiberseitig verfügbar gemacht [130].

Die Messung wird mit einem Python-Skript gesteuert, über welches auch die Daten erfasst werden. Das Skript wird auf einem separaten Computer ausgeführt, welcher über Netzwerk mit dem Messsystem verbunden ist.

8.4 Messung mit Frequenzmultiplex

Die nachfolgenden Messungen wurden in Kooperation mit dem Kirchhoff-Institut für Physik in Heidelberg durchgeführt; Teile der Ergebnisse und Messungen sind in der Veröffentlichung von Daniel Richter et. al. [Ric21b] zu finden. Der Versuchsaufbau für die Machbarkeitsstudie ist nach [Ric21b] realisiert. Der verwendete Chip weist vier SQUID-Kanäle auf, welche mittels Testsignalen betrieben werden können.

8.4.1 Versuchsaufbau

In einer Heliumkammer befindet sich ein Multiplexer-Chip (*HDSQ13w4 1X5*, Kirchhoff-Institut für Physik der Universität Heidelberg) bei 4,2 K. Der Chip ist nicht mit Mikrokalorimetern ausgestattet. Die Einkoppelspulen auf der SQUID-Seite der Fluss-Transformatoren sind jeweils an eine Signalleitung angebunden, sodass ein externes Signal eingegeben werden kann. Im Versuchsaufbau (vgl. Abbildung 8.4) wird der Bias-Strom für die SQUIDs mit einer XXF SQUID-Elektronik erzeugt und mittels des Gleichstrom-Ports eines Bias-Tees ferngespeist. Eine zweite SQUID-Elektronik erzeugt die Test-Signale für drei der SQUID-Kanäle. Dabei

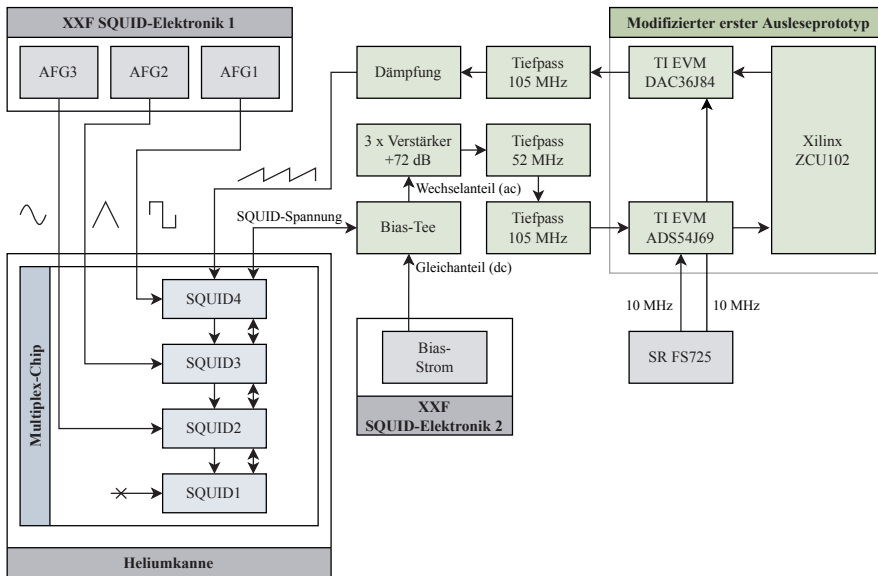


Abbildung 8.4: Versuchsaufbau für den dc-SQUID-Multiplexer

werden ein Rechteck-, ein Dreieck- und ein Sinus-Signal verwendet, der erste Kanal bleibt unverbunden. Die Flussrampe für den SQUID-Aufbau wird vom Xilinx® ZCU102 digital generiert und über einen der modifizierten DA-Wandlerkanäle des TI-Evaluationsmoduls ausgegeben. Hinter dem DA-Wandler befinden sich ein Rekonstruktionsfilter (VLFX-105+) und Dämpfungsglieder. Durch deren geeignete Wahl kann die Amplitude der Flussrampe und somit die Anzahl der gemessenen Perioden im Zeitfenster einer Flussrampe eingestellt werden. Der Pegel wird für die verschiedenen Messungen variiert. Die SQUIDs weisen aufsteigend höhere Gegeninduktivitäten auf; daher erzeugt der erste SQUID-Kanal die niedrigste Trägerfrequenz. Die entstehende SQUID-Spannung wird über das Bias-Tee der Ferneinspeisung mit einer Verstärkerkaskade wechselstromgekoppelt. Diese verstärkt das Signal um insgesamt 72 dB. In der ersten Stufe wird ein rauscharmer Verstärker (ZFL-500LN+) eingesetzt, mit einer Verstärkung von 24 dB und einer Rauschzahl von 2,9 dB bei 50 MHz. In zweiter und dritter Stufe werden die Verstärker ZFL-500+ und ZX60-43-S+ eingesetzt, um die Linearität bei der benötigten Ausgangsleistung zu gewährleisten. Danach wird mittels zweier Tiefpassfilter (VLF-52+, VLFX-105+) das Signal von höheren Harmonischen und Signalen im zweiten Nyquistband gereinigt. Das Signal wird im Anschluss mit 500 MHz abgetastet und im FPGA weiterverarbeitet.

8.4.2 Datenakquisition und Auswertung

Ziel der Messungen ist neben der Demonstration der Mehrkanal-Auslese, die spektralen Eigenschaften des SQUID-Signals und die Eigenschaften des Versuchsaufbaus zu explorieren und daraus Anforderungen an den Analogteil und an die Firmware des Messsystems abzuleiten.

An den Induktivitäten der SQUID-Kanäle wird zur Messung das Flussrampen-Signal angelegt. Hierfür wird mit dem Digital-zu-Analog-Konverter des Auslesesystems ein Sägezahnsignal erzeugt, welcher zu den Modulationsspulen der SQUIDs geleitet wird. Um die maximale Dynamik der Wandler zu nutzen, werden 95 % der maximalen Amplitude von $500 \text{ mV}_{\text{pp}}$ gewählt und mit den Dämpfungsgliedern zwischen DA-Wandler und SQUID wird die Amplitude bzw. Steigung des Signals angepasst. Dadurch kann die Modulationsfrequenz in größeren Schritten adaptiert werden. Die Ausgangsspannung nach der Verstärkungskette wird durch den AD-Wandler abgetastet und in der Digitalelektronik ohne Demodulation als Rohdaten aufgezeichnet. Dadurch können die Trägerfrequenzen der SQUID-Signale aus dem Frequenzspektrum der Rohdaten bestimmt werden. Danach wird das Modul zur Demodulation der Flussrampe konfiguriert und aktiviert, sodass demodulierte Signale mit einer reduzierten Datenrate aufgezeichnet werden können.

Zu Beginn der Messungen wird eine Rohdatenaufzeichnung der Trägerfrequenzen 9,82 MHz, 11,42 MHz, 13,42 MHz und 16,82 MHz ohne Testsignale durchgeführt. Die Dämpfung am Modulationseingang der Heliumkanne beträgt 3 dB, die Flussrampenfrequenz 200,32 kHz. In Abbildung 8.5a ist das resultierende Spektrum des Leistungspegels dargestellt, in dem die vier Leistungsspitzen der SQUID-Signale zu erkennen sind. Weiterhin fallen im Spektrum sowie im Zeitbereich signifikante Störanteile auf, welche durch die fallenden Flanken des Sägezahnsignals verursacht werden. Die Resonanzen können vermutlich auf den rein-induktiven Leitungsabschluss der Modulationsleitung zurückgeführt werden.

Durch eine Erhöhung der Abfallszeit der fallenden Flanke des Sägezahnsignals auf 70 ns können die hohen Frequenzanteile des Modulationssignals reduziert und die Störanteile unterdrückt werden. Weiterhin sind im Spektrum die harmonischen Oberwellen des SQUID-Signals zu erkennen, welche bei der doppelten Trägerfrequenz liegen und um etwa 20 dB unterdrückt sind. Die Störanteile durch das Rücksetzen der Flussrampe treten maßgeblich zu Beginn einer Flussrampe im SQUID-Signal auf und klingen bereits nach weniger als 1 μs ab. Durch die Wahl einer geeigneten Fensterfunktion kann dieser Effekt ebenfalls nahezu vollständig unterdrückt werden, wie in Abbildung 8.5c dargestellt ist. Weiterhin wird durch den kleineren Abtastfehler der Blackman- und Bartlett-Funktion-Spitzenwert genauer aufgelöst. Im Firmwaremodul zur Flussrampen-Demodulation wird in den folgenden Messungen das Blackman-Fenster verwendet.

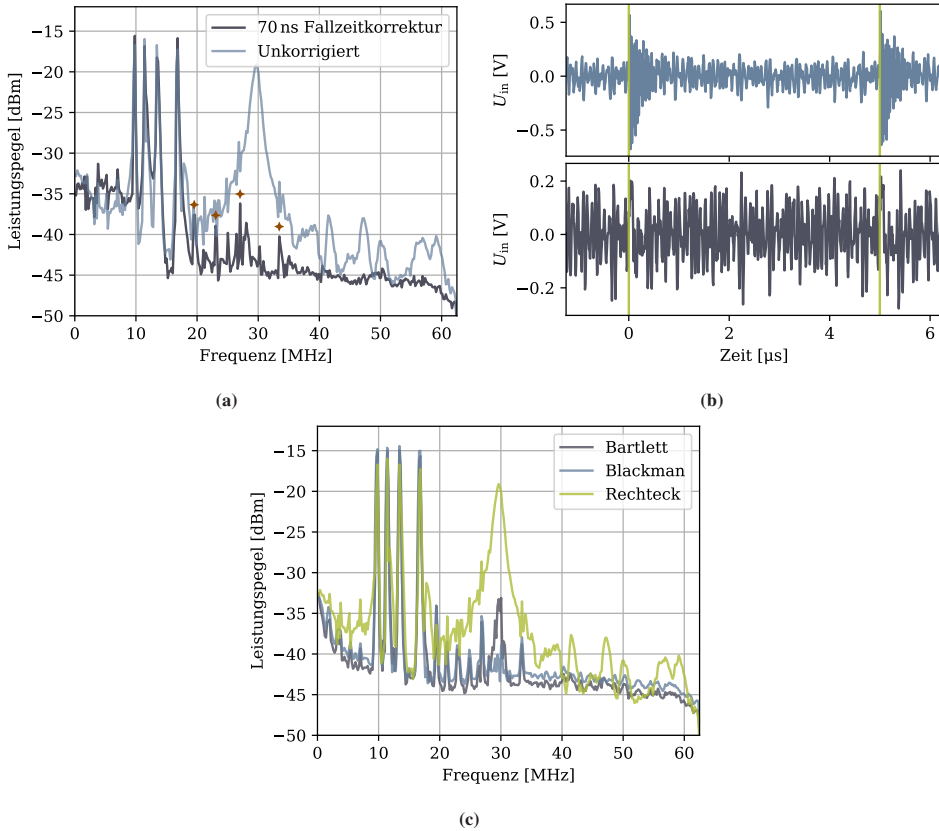


Abbildung 8.5: Das Amplitudenspektrum des Rohdatensignals ist mit und ohne Fallzeitkorrektur in (a) gezeigt, erkennbar sind die vier Trägerfrequenzen mit den harmonischen Oberwellen (rote Markierung). Das zugehörige Zeitsignal der SQUIDs findet sich in (b). In (c) ist das Spektrum ohne Fallzeitkorrektur nach der Anwendung unterschiedlicher Fensterfunktionen aufgetragen.

Nach der Einstellung der Frequenzen zur Demodulation werden die resultierenden Phasendaten der vier SQUID-Signalkanäle aufgezeichnet und ein Phasenrauschspektrum berechnet. Das Spektrum ist in Abbildung 8.6a dargestellt. Der Rauschgrund der Kanäle liegt bei $21,2$ bis $25,2 \mu\Phi_0 \text{Hz}^{-\frac{1}{2}}$, weiterhin ist im Signal ein signifikanter Störfrequenzbeitrag im niederen Frequenzbereich zu erkennen. Die Frequenzen bilden ganzzahlige Teiler und Vielfache der 50 Hz Netzfrequenz und treten im Frequenzbereich unterhalb der Wechselstromkopplung des DA-Wandlers auf. Der Innenleiter des Signals ist im verwendeten Transformer über eine Induktivität, welche für niedrige Frequenzen transparent ist, mit Masse verbunden. Daher kann sich über die Koaxialleiter eine Erdungsschleife mit niedriger Impedanz ausbilden, über die Störsignale einkoppeln können. Durch den Einsatz eines Hochpassfilters mit $3,3 \text{ kHz}$ Grenzfrequenz kann die Schleife unterbrochen werden. So kann mit ähnlichen Träger-Frequenzen,

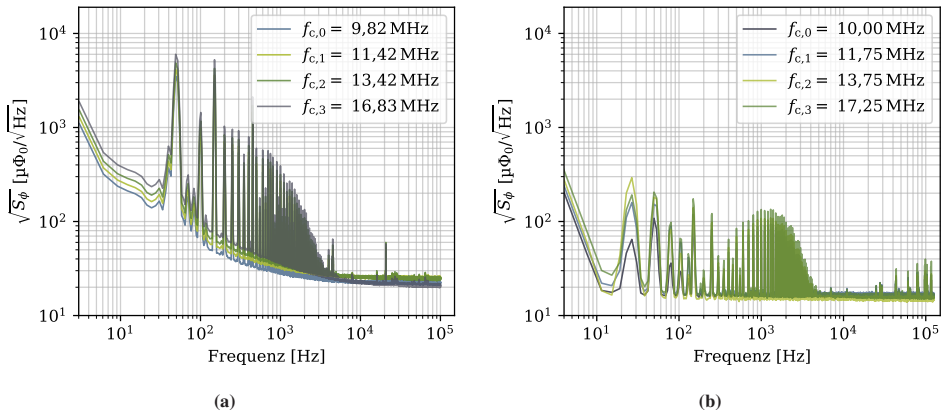


Abbildung 8.6: Nach der Flussrampen-DEMODULATION können aus den Kanälen aus Abbildung 8.5 die Rauschamplitudenspektren berechnet werden. Der Rauschgrund liegt bei etwa $25 \mu\Phi_0\text{Hz}^{-\frac{1}{2}}$ (a). Zur Optimierung wurde die Erdungsschleife mithilfe eines Hochpassfilters ($f_c = 3,3 \text{ kHz}$) unterbrochen und die Einwirkung von externen Feldern durch eine Verringerung der Schleifenfläche geschwächt. Dadurch konnten die niederfrequenten Störungen reduziert werden (b).

einer Sägezahnfrequenz von 250 kHz, einer höheren Eingangsdämpfung von 10 dB und den Optimierungen im Aufbau der Rauschgrund auf 15,16 bis 16,71 $\mu\Phi_0\text{Hz}^{-\frac{1}{2}}$ Rampe gesenkt und die Störsignale um eine Größenordnung unterdrückt werden (vgl. Abbildung 8.6b).

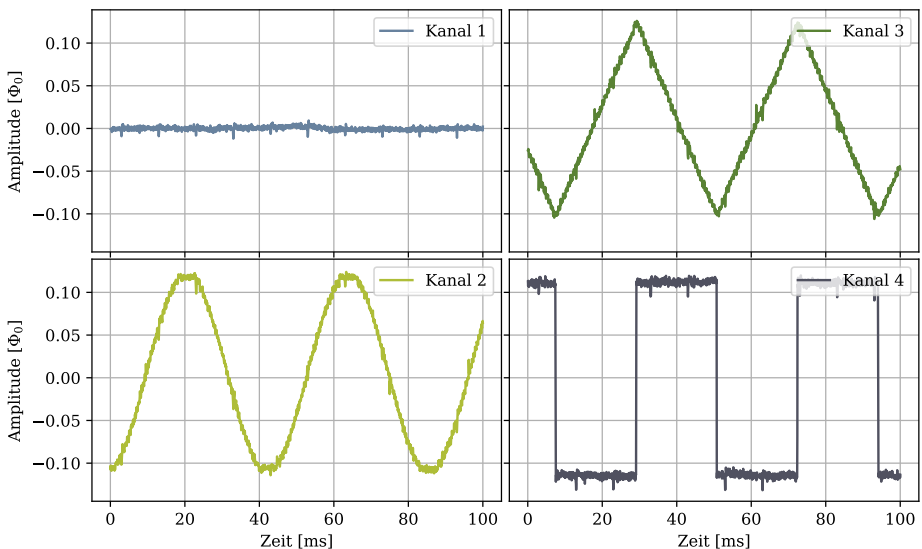


Abbildung 8.7: Demodulierte Phasendaten der vier SQUID-Kanäle. Dargestellt ist der Mittelwert über zehn benachbarte Datenpunkte.

Nach der Untersuchung der Signalspektren werden die SQUID-Kanäle über die Eingangsspulen zusätzlich zur Flussrampe moduliert. Dazu werden zunächst ein Rechteck-, ein Sinus- und ein Dreieckssignal mit 22 Hz verwendet, um den Kanalmultiplex zu demonstrieren. In dieser Messung sind die Trägerfrequenzen mit 22 bis 38 MHz etwas höher gewählt und es wird der Hochpassfilter im Signalpfad verwendet. Die demodulierten Phasensignale der vier SQUIDs sind in Abbildung 8.7 gezeigt. In einer weiteren Messung wird die Kanalisolation untersucht. Dazu wird ein 7 kHz Träger auf eines der SQUIDs moduliert und die Trägerleistung zwischen dem aktiven SQUID (Aggressor) und den anderen SQUIDs (Opfer) gemessen; hier beträgt die Unterdrückung 40 dB [Ric21b, 130].

8.5 Bewertung des Systems

Mit dem entwickelten Prototyp konnte die Auslese des Vierkanal-Chips auf Basis des dc-SQUID-basierten Frequenzmultiplex demonstriert werden. Die Auftrennung des Multiplexes erfolgte dabei zur Messzeit. Die gemessenen Daten weisen einen vergleichsweise hohen Anteil von weißem Rauschen auf. Dieses liegt deutlich über dem typischen Bereich (vgl. Kapitel 7). Vor dem Hintergrund, dass im Aufbau einige Vereinfachungen getroffen wurden um die Systemkomplexität zu reduzieren, ist dies zu erwarten. So wurden beispielsweise ausschließlich Raumtemperaturverstärker für die Pegelanpassung verwendet, die durch ihre Rauschzahl bei kleinen Ausgangsspannungen die Signalqualität durch ihr Eigenrauschen beeinträchtigen. Für gewöhnlich wird in dc-SQUID-basierten Auslesen ein zweistufiger Aufbau verwendet, um die Signalamplitude anzuheben. Diese Form der Verstärkung erhöht den Pegel am Anfang der Signalkette, ohne signifikant Rauschen hinzuzufügen [25]. Eine weitere Maßnahme zur Verbesserung der Signalqualität ist der Einsatz eines rauscharmen Verstärkers. Kryogene HEMT-Verstärker (High-Electron-Mobility-Transistor) sind im Frequenzbereichen ab 200 MHz verfügbar¹. Eine zusätzliche Rauschquelle stellt das digitale Tiefpassfilter zur Reduktion der Abtastrate dar. Es wurde ein Tiefpassfilter mit niedriger Sperrbandunterdrückung gewählt, wodurch Rauschen durch Aliasing eingeführt wird. Dieses kann durch ein optimiertes Tiefpassfilter mit höherer Sperrbandunterdrückung reduziert werden.

Im Experiment wurden Störquellen im Anregungs- bzw. Flussrampen-Signal ausgemacht. Die Störanteile durch die Erdungsschleife im Flussrampensignal und die Nicht-Linearität des Sägezahnsignals können durch eine aktive Gleichstromkopplung der Wandler verbessert werden, wie sie beim ECHO-Board (Abschnitt 4.6) verwendet wird. Außerdem kann die Heliumkannenschnittstelle angepasst werden, indem beispielsweise eine differenzielle Übertragungstechnik genutzt wird, um die Erdungsschleife zu unterbrechen oder deren Signale zu unterdrücken. Die

¹ z.B. Low-Noise-Factory® LNF-LNC0.2_3A

Resonanzen auf der Flussrampensignalleitung wurden bereits im Experiment durch die erhöhte Abfallszeit korrigiert; eine geeignete Abschlussimpedanzanpassung der Flussrampenleitung ist dieser Lösung jedoch zu bevorzugen.

Eine Problematik des Multiplexverfahrens sind die harmonischen Oberwellen, die durch die periodische, jedoch nicht sinus-förmige SQUID-Charakteristik auftreten. Um Übersprechen zwischen den Kanälen zu vermeiden kann die Auslese nur mit maximal der Hälfte der Bandbreite erfolgen. Es muss die obere Hälfte des ersten Nyquistbands verwendet werden, da sich sonst Nutzsignale und Harmonische überlagern. Der Einsatz der zumeist hochpreisigen Hochfrequenz-AD-Wandler ist somit wenig effizient, da lediglich die obere Hälfte der Bandbreite genutzt werden kann. Dieses Problem kann durch die Verwendung höherer Frequenzen bei den SQUID-Ausgangssignalen gelöst werden, da so die Harmonischen weit über dem Nutzband liegen. Mittels analoger Frequenzumsetzung und Filterung können die Nutzsignale in die Bandbreite des Wandlers verschoben und Harmonische gefiltert werden. Die Frequenzumsetzung kann entweder durch Abtastung der zweiten Nyquistzone erfolgen, soweit dies vom Wandler unterstützt wird, oder alternativ durch eine zusätzliche Mischer-Elektronik, welche die Signale mit einer Trägerfrequenz heterodyn herabsetzt (vgl. Abschnitt 3.2.1). Für dieses Szenario muss die maximale Bandbreite der Flussrampenmodulation untersucht werden und ggf. impedanzkontrollierte Leitungen im SQUID-Design verwendet werden. Es wurde bereits in [158, 159] der Einsatz von SQUIDs bei Frequenzen von 200 bis 350 MHz gezeigt.

Die Firmware wurde speziell für den Vierkanal-Multiplexer-Chip entwickelt und lässt sich mit dem gewählten Dezimierungsfaktor von vier nur begrenzt skalieren. Die aktuelle Firmware belegt etwa 16 % (vgl. Anhang Tabelle A.5) des FPGAs. Bei Verwendung des zweiten Kanal des AD-Wandlers kann das System ohne größere Modifikation auf acht Kanäle erweitert werden. Für größere Multiplexfaktoren kann die Firmware beispielsweise um eine grobe Vor-Kanalisation mithilfe eines Polyphasen-Kanaliersers (vgl. Abschnitt 5.3.3) erweitert werden. Durch die resultierenden, höheren Dezimierungsfaktoren kann die Flussrampen-Demodulation mit einem ähnlichen TDM-Faktor wie beim Mikrowellen-Multiplex betrieben und Ressourcen können eingespart werden. Dabei spielt auch die Verwendung eines Polyphasen-Filters eine große Rolle, da dieser weniger DSP-Einheiten benötigt. Zusätzlich können mehrere Module zur Flussrampen-Demodulation pro Unterspektrum des Kanaliersers eingesetzt werden um weitere Auslesekanäle zu ermöglichen. Mit dem Kanalabstand von etwa 5 MHz wird eine Isolation von etwa 40 dB erreicht [Ric21b]. Wird die zweite Nyquist-Zone verwendet und dieser Abstand als Basis für eine Skalierung angenommen, können in einer Bandbreite von 210 MHz^2 35 Kanäle pro AD-Wandlerkanal und 70 Kanäle mit der Prototyphardware ermöglicht werden.

² Abschätzung: Nyquistbandbreite abzüglich 20 % für die Bandpassfilterung

8.6 Zusammenfassung

In den vorangehenden Messungen konnte gezeigt werden, dass mit geringen Modifikationen die Ausleseelektronik und die FPGA-Firmware des Mikrowellen-SQUID-Multiplexes auf die dc-SQUID-basierte Auslese übertragen werden konnte. Im Testaufbau wurden alle vorhandenen Kanäle erfolgreich ausgelesen und separiert. Für eine skalierte Variante mit einigen Dutzend Kanälen sind jedoch weitere Optimierungen im Multiplexer-Chip und in der Ausleseelektronik notwendig. Durch die im Vergleich zum Mikrowellen-SQUID-Multiplexer reduzierte Anzahl von Analog-Komponenten und die Kompatibilität der Basisband-Elektronik und der Firmware ist der neue Multiplexer-Ansatz attraktiv. Insbesondere für kleinere Experimente mit geringem Multiplex-Faktor ist diese Lösung von Vorteil und sollte als komplementäre Technologie zum Mikrowellen-SQUID-Multiplexer weiter untersucht werden.

9 Fazit und Ausblick

Tiefemperatur-Mikrokalorimeter erreichen höchste Energieauflösungen für Elementarteilchen, Nukleonen und Moleküle. Damit sind sie wegbereitend für neue, technisch bisher nicht realisierbare Experimente und Instrumente [1, 2]. Bisher ist die Auslese von magnetischen Mikrokalorimetern für eine kleine Anzahl von Kanälen ohne Nachteile möglich, benötigt werden jedoch Sensorarrays mit einigen hundert bis tausenden Sensoren. Für kryogene Sensoren kann dies mittels eines Frequenzmultiplexes über wenige Leitungen erreicht werden. Zwei Verfahren dieser Art sind der Mikrowellen-SQUID-Multiplex und der Frequenzmultiplex mit dc-SQUIDs. Die Sensorsignale belegen dabei große Bereiche des Frequenzspektrums und stellen dadurch hohe Anforderungen an die Ausleseelektroniken einschließlich der Signalverarbeitung. Für moderne Experimente, wie z.B. das ECHO-Experiment, werden durch die große Sensoranzahl Multiplexer-Bandbreiten von bis zu 4 GHz benötigt um insgesamt 12 000 Sensoren zu realisieren.

Für eine Multiplexer-Bandbreite in dieser Dimension existieren bis dato keine Auslesesysteme. In dieser Arbeit wurde zum Erreichen der Bandbreite ein Auslesesystem mit der benötigten Hochfrequenzelektronik, Datenwandlung, Digitalelektronik und Signalverarbeitung konzipiert und vorgestellt. Auf dessen Basis sind zwei Prototypen einer AD-/DA-Wandlerelektronik entwickelt [San19], in Betrieb genommen und mit externer Messelektronik charakterisiert worden. Die Elektroniken decken mittels fünf I&Q-Paaren mit je 800 MHz die Anforderungen ab und können mit einer Digitalelektronik (FPGA) verbunden werden.

Für das FPGA wurde eine skalierbare Firmware zur Sensorsignalverarbeitung entwickelt und realisiert. Diese besteht aus Modulen zur Generierung eines Frequenzkamms und eines Flussrampensignals auf der Sendeseite sowie Module zum Frequenzdemultiplex [Kar20], zur Amplituden- und Flussrampendemodulation auf der Empfangsseite. Weiterhin bietet sie Funktionen zur Erkennung von Ereignissen [Kar21a] und zum anschließenden Datenabtransport über einen Direct-Memory-Access. Die Module wurden in Ketten parallelisiert und für den finalen Datenstrom von 20 GB s^{-1} der Wandler ausgelegt. Die Firmware wurde für einen geringen Ressourcenbedarf und eine hohe Taktrate optimiert. Zur optimalen Ausnutzung der Wandlerbandbreite wurden Methoden und Möglichkeiten zur I&Q-Balancierung der Mischer entwickelt. Zum Fernzugriff, zur Konfiguration des Systems und zur Datenübertragung wurde ein modulares Softwareframework namens *ServiceHub* geschaffen [Kar21b]. Das entwickelte

Softwareframework verwendet Remote-Prozeduraufrufe und wird projektübergreifend erfolgreich in der Auslese von Quantum-Bits eingesetzt [Geb21a, Geb21b]. Die Integration der Firmwarebestandteile des Systems wurde mit Yocto und einem daran angegliederten, selbstentwickelten Buildsystem für die FPGA-Firmware verwirklicht.

Mit der entwickelten Firmware wurde zum ersten Mal ein Mikrowellen-SQUID-Multiplexer mit acht MMCs und flussrampenmodulierten SQUIDs kontinuierlich ausgelesen [74]. Darauf aufbauend konnten erstmals die Signale von kryogenen Kalorimetern vollständig in Echtzeit getrennt, demoduliert und getriggert werden [Kar21a]. Die Firmware extrahiert aus dem Frequenzmultiplex die Ereignisse der Detektoren und ermöglicht abhängig von der Flussrampenfrequenz und der Ereignisrate eine Datenreduktion um mehr als drei Größenordnungen.

Zur weiteren Charakterisierung des Systems wurde ein MUX-Emulator entwickelt. Dieser ermöglicht In-Vitro-Tests des System bei Raumtemperatur, um die Ausleseparameter zu variieren und analysieren zu können. Die Wandlerelektronik wurde mit einer FPGA-Platine innerhalb des Raumtemperaturaufbaus eingesetzt um eine Prognose der Energieauflösung des Systems geben zu können. Das FPGA wurde mit einer Firmware zur Auslese eines I&Q-Paars mit maximal 80 Resonatorkanälen ausgestattet. Mit einem Rauschen von $<0,8 \mu\Phi_{\pi}\text{Hz}^{-\frac{1}{2}}$ bei 16 und $<2,2 \mu\Phi_{\pi}\text{Hz}^{-\frac{1}{2}}$ bei 80 Kanälen unterschreitet das System die Werte vorangehender Messungen mit kryogenem Aufbau. Die aus dem Spektrum abgeleiteten durchschnittlichen äquivalenten Energieauflösungen liegen bei 6,2 eV mit 16 und 10,7 eV mit 80 Kanälen im Bereich von 3,3 keV, wobei die Schnittstelle zur Hochfrequenzelektronik und die verwendete Auswertungsmethode die Auflösung limitiert. Bei der Auslese mit 16 Kanälen wurde die Energieauflösung von Messungen mit Sensoren im Kryostaten um mehr als 1 eV übertroffen.

Neben dem Mikrowellen-SQUID-Multiplex wurde ein neuartiger Frequenzmultiplex mit dc-SQUIDs behandelt. Dieser ermöglicht eine parallele Auslese einer kleineren Anzahl von Sensoren, dafür mit höherer Zeitauflösung und weniger Systemkomponenten. In dieser Arbeit wurden die Erkenntnisse aus Hard- und Firmware auf die Auslese des neuen Multiplexers übertragen. Daraus entstand eine Firmware für einen Demonstrator mit vier Kanälen. Mittels dieser konnte erstmals ein Kanal-Demultiplex zur Messzeit durchgeführt werden [Ric21b]. Durch die Reduktion der Datenrate um drei Größenordnungen vereinfacht die Firmware Messungen mit zukünftigen Multiplexer-Chips und ermöglicht neue Forschung auf diesem Feld.

Im Ergebnis wurde in dieser Arbeit ein weltweit führendes Auslesesystem geschaffen, welches die hohen Bandbreitenanforderungen des Multiplexers erfüllt und eine skalierbare Firmwareimplementierung aufweist. Die gewonnenen Erkenntnisse sind in der nächsten Systemrevision bereits berücksichtigt, welche bis Ende 2022 für den Messeinsatz zur Verfügung steht. Im vollen Ausbau können 800 Sensorkanäle pro Elektronik ausgelesen werden. Damit leistet diese Arbeit einen fundamentalen Beitrag zur frequenzmultiplexbasierten Auslese und ist wegbereitend für neue Instrumente mit mehr als hunderttausend Sensorkanälen.

Literatur

- [1] Joel N Ullom und Douglas A Bennett: „Review of superconducting transition-edge sensors for x-ray and gamma-ray spectroscopy“. *Superconductor Science and Technology* 28.8 (Juli 2015), S. 084003. doi: 10.1088/0953-2048/28/8/084003.
- [2] Sebastian Kempf; Andreas Fleischmann; Loredana Gastaldo und Christian Enss: „Physics and applications of metallic magnetic calorimeters“. *Journal of Low Temperature Physics* 193.3 (2018), S. 365–379.
- [3] Dan McCammon: „Thermal equilibrium calorimeters—an introduction“. *Cryogenic particle detection* (2005), S. 1–34.
- [4] Kent D Irwin und Gene C Hilton: „Transition-edge sensors“. *Cryogenic particle detection* (2005), S. 63–150.
- [5] Andreas Fleischmann; Ch Enss und GM Seidel: „Metallic magnetic calorimeters“. *Cryogenic particle detection* (2005), S. 151–216.
- [6] L. Gamer; D. Schulz; C. Enss; A. Fleischmann; L. Gastaldo; S. Kempf; C. Krantz; O. Novotný; D. Schwalm und A. Wolf: „MOCCA: A 4k-Pixel Molecule Camera for the Position- and Energy-Resolving Detection of Neutral Molecule Fragments at CSR“. Englisch. *Journal of low temperature physics* 184.3-4 (2016), S. 839–844. doi: 10.1007/s10909-015-1453-0.
- [7] B Alpert; M Balata; D Bennett; M Biasotti; C Boragno; Chiara Brofferio; V Cerialo; D Corsini; Peter Kenneth Day; M De Gerone u. a.: „HOLMES“. *The European Physical Journal C* 75.3 (2015), S. 1–11.
- [8] Gastaldo, L. u. a.: „The electron capture in ^{163}Ho experiment - ECHO“. *Eur. Phys. J. Special Topics* 226.8 (2017), S. 1623–1694. doi: 10.1140/epjst/e2017-70071-y.
- [9] Sebastian Kempf; Mathias Wegner; Andreas Fleischmann; Loredana Gastaldo; Felix Herrmann; Maximilian Papst; Daniel Richter und Christian Enss: „Demonstration of a scalable frequency-domain readout of metallic magnetic calorimeters by means of a microwave SQUID multiplexer“. *AIP Advances* 7.1 (Jan. 2017), S. 015007. doi: 10.1063/1.4973872.
- [10] W. B. Doriese u. a.: „Developments in Time-Division Multiplexing of X-ray Transition-Edge Sensors“. *Journal of Low Temperature Physics* 184.1-2 (Dez. 2015), S. 389–395. doi: 10.1007/s10909-015-1373-z.

- [11] Michael D Niemack; J Beyer; HM Cho; WB Doriese; GC Hilton; KD Irwin; Carl D Reintsema; Daniel R Schmidt; Joel N Ullom und Leila R Vale: „Code-division SQUID multiplexing“. *Applied Physics Letters* 96.16 (2010), S. 163509.
- [12] John Arthur Benson Mates: „The microwave SQUID multiplexer“. Diss. University of Colorado Boulder, 2011.
- [13] Sean McHugh; Benjamin A. Mazin; Bruno Serfass; Seth Meeker; Kieran O’Brien; Ran Duan; Rick Raffanti und Dan Werthimer: „A readout for large arrays of microwave kinetic inductance detectors“. *Review of Scientific Instruments* 83.4 (Apr. 2012), S. 044702. doi: 10.1063/1.3700812.
- [14] Dr. Sebastian Kempf: „Entwicklung eines Mikrowellen-SQUID-Multiplexers auf der Grundlage nicht-hysteretischer rf-SQUIDs zur Auslesung metallischer magnetischer Kalorimeter“. Diss. Ruprecht-Karls-Universität Heidelberg, Juli 2012.
- [15] Daniel Richter; Andreas Fleischmann; Christian Enss und Sebastian Kempf: „Dc-SQUID Readout with High Dynamic Range and Intrinsic MHz Frequency-Division Multiplexing Capability“. *2019 IEEE International Superconductive Electronics Conference (ISEC)*. IEEE, Juli 2019. doi: 10.1109/isec46533.2019.8990966.
- [16] Siegfried Hunklinger Christian Enss: „Low-Temperature Physics“. Springer Berlin Heidelberg, 5. Apr. 2005. 592 S.
- [17] J.E. Hirsch; M.B. Maple und F. Marsiglio: „Superconducting materials classes: Introduction and overview“. *Physica C: Superconductivity and its Applications* 514 (Juli 2015), S. 1–8. doi: 10.1016/j.physc.2015.03.002.
- [18] F. London und H. London: „The electromagnetic equations of the supraconductor“. *Proceedings of the Royal Society of London. Series A - Mathematical and Physical Sciences* 149.866 (März 1935), S. 71–88. doi: 10.1098/rspa.1935.0048.
- [19] J. Bardeen; L. N. Cooper und J. R. Schrieffer: „Theory of Superconductivity“. *Physical Review* 108.5 (Dez. 1957), S. 1175–1204. doi: 10.1103/physrev.108.1175.
- [20] Michael Tinkham: „Introduction to Superconductivity - Second Edition“. New York: Courier Corporation, 2004.
- [21] R. P. Huebener; R. T. Kampwirth; R. L. Martin; T. W. Barbee und R. B. Zubeck: „Critical current density in superconducting niobium films“. *Journal of Low Temperature Physics* 19.3-4 (Mai 1975), S. 247–258. doi: 10.1007/bf00116179.
- [22] B.D. Josephson: „Possible new effects in superconductive tunnelling“. *Physics Letters* 1.7 (1962), S. 251–253. doi: 10.1016/0031-9163(62)91369-0.
- [23] B. D. Josephson: „Coupled Superconductors“. en. *Reviews of Modern Physics* 36.1 (Jan. 1964), S. 216–220. doi: 10.1103/RevModPhys.36.216.

- [24] D.N. Langenberg; D.J. Scalapino; B.N. Taylor und R.E. Eck: „Microwave-induced D.C. voltages across Josephson junctions“. *Physics Letters* 20.6 (Apr. 1966), S. 563–565. doi: 10.1016/0031-9163(66)91114-0.
- [25] John Clarke; John Clarke und Alex I Braginski: „The SQUID Handbook: Fundamentals and Technology of SQUIDs and SQUID Systems“. Bd. 1. Wiley-Vch, 2004.
- [26] Mathias Wegner: „Entwicklung, Herstellung und Charakterisierung eines auf metallischen magnetischen Kalorimetern basierenden Detektorarrays mit 64 Pixeln und integriertem Mikrowellen-SQUID-Multiplexer“. Diss. Ruprecht-Karls-Universität Heidelberg, 2018. doi: 10.11588/HEIDOK.00025741.
- [27] Andreas Fleischmann: „Magnetische Mikrokalorimeter : Hochauflösende Röntgenspektroskopie mit energiedispersiven Detektoren“. Diss. Ruprecht-Karls-Universität Heidelberg, 2003. doi: 10.11588/HEIDOK.00012877.
- [28] K. D. Irwin: „An application of electrothermal feedback for high resolution cryogenic particle detection“. *Applied Physics Letters* 66.15 (Apr. 1995), S. 1998–2000. doi: 10.1063/1.113674.
- [29] Stephen J Smith; JS Adams; CN Bailey; Simon R Bandler; JA Chervenak; ME Eckart; FM Finkbeiner; Richard L Kelley; CA Kilbourne; FS Porter u. a.: „Small pitch transition-edge sensors with broadband high spectral resolution for solar physics“. *Journal of Low Temperature Physics* 167.3 (2012), S. 168–175.
- [30] S.R. Bandler; E. Figueroa-Feliciano; N. Iyomoto; R.L. Kelley; C.A. Kilbourne; K.D. Murphy; F.S. Porter; T. Saab und J. Sadleir: „Non-linear effects in transition edge sensors for X-ray detection“. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 559.2 (2006). Proceedings of the 11th International Workshop on Low Temperature Detectors, S. 817–819. doi: 10.1016/j.nima.2005.12.149.
- [31] Luciano Gottardi und Kenichiro Nagayashi: „A Review of X-ray Microcalorimeters Based on Superconducting Transition Edge Sensors for Astrophysics and Particle Physics“. *Applied Sciences* 11.9 (2021). doi: 10.3390/app11093793.
- [32] Peter K. Day; Henry G. LeDuc; Benjamin A. Mazin; Anastasios Vayonakis und Jonas Zmuidzinas: „A broadband superconducting detector suitable for use in large arrays“. *Nature* 425.6960 (Okt. 2003), S. 817–821. doi: 10.1038/nature02037.
- [33] S. R. Bandler; C. Enss; R. E. Lanou; H. J. Maris; T. More; F. S. Porter und G. M. Seidel: „Metallic magnetic bolometers for particle detection“. *Journal of Low Temperature Physics* 93.3-4 (Nov. 1993), S. 709–714. doi: 10.1007/bf00693500.
- [34] „Creative Commons Attribution 4.0 International Public License“. url: <https://creativecommons.org/licenses/by/4.0> (besucht am 06.02.2020).

- [35] A Fleischmann; L Gastaldo; S Kempf; A Kirsch; A Pabinger; C Pies; J-P Porst; P Ranitzsch; S Schäfer; F v Seggern u. a.: „Metallic magnetic calorimeters“. *AIP Conference Proceedings*. Bd. 1185. American Institute of Physics. 2009, S. 571–578.
- [36] L. Gastaldo; P.C.-O. Ranitzsch; F. von Seggern; J.-P. Porst; S. Schäfer; C. Pies; S. Kempf; T. Wolf; A. Fleischmann; C. Enss; A. Herlert und K. Johnston: „Characterization of low temperature metallic magnetic calorimeters having gold absorbers with implanted ^{163}Ho ions“. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 711 (Mai 2013), S. 150–159. doi: 10.1016/j.nima.2013.01.027.
- [37] H. Zappe: „Josephson quantum interference computer devices“. *IEEE Transactions on Magnetics* 13.1 (Jan. 1977), S. 41–47. doi: 10.1109/tmag.1977.1059358.
- [38] Malcolm Durkin u. a.: „Demonstration of Athena X-IFU Compatible 40-Row Time-Division-Multiplexed Readout“. *IEEE Transactions on Applied Superconductivity* 29.5 (Aug. 2019), S. 1–5. doi: 10.1109/tasc.2019.2904472.
- [39] U. Tietze und C. Schenk: „Halbleiter-Schaltungstechnik“. Berlin Heidelberg: Springer, 2010.
- [40] GM Stiehl; William B Doriese; JW Fowler; GC Hilton; KD Irwin; CD Reintsema; DR Schmidt; DS Swetz; JN Ullom und LR Vale: „Code-division multiplexing for x-ray microcalorimeters“. *Applied Physics Letters* 100.7 (2012), S. 072601.
- [41] W. Bertrand Doriese u. a.: „Optimization of Time- and Code-Division-Multiplexed Readout for Athena X-IFU“. *IEEE Transactions on Applied Superconductivity* 29.5 (Aug. 2019), S. 1–5. doi: 10.1109/tasc.2019.2905577.
- [42] K. M. Morgan u. a.: „Code-division-multiplexed readout of large arrays of TES microcalorimeters“. *Applied Physics Letters* 109.11 (Sep. 2016), S. 112604. doi: 10.1063/1.4962636.
- [43] J Schlaerth; A Vayonakis; P Day; J Glenn; J Gao; S Golwala; S Kumar; H LeDuc; B Mazin; J Vaillancourt u. a.: „A millimeter and submillimeter kinetic inductance detector camera“. *Journal of Low Temperature Physics* 151.3 (2008), S. 684–689.
- [44] Benjamin A. Mazin; Peter K. Day; Kent D. Irwin; Carl D. Reintsema und Jonas Zmuidzinas: „Digital readouts for large microwave low-temperature detector arrays“. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 559.2 (Apr. 2006), S. 799–801. doi: 10.1016/j.nima.2005.12.208.
- [45] David M. Pozar: „Microwave Engineering“. WILEY, 1. Nov. 2011. 732 S.
- [46] Rami Barends: „Photon-detecting superconducting resonators“. Diss. TU Delft, 2009.

- [47] Mathias Wegner; Christian Enss und Sebastian Kempf: „Analytical model of the readout power and SQUID hysteresis parameter dependence of the resonator characteristics of microwave SQUID multiplexers“. 2021. arXiv: physics.ins-det/2112.08278.
- [48] John AB Mates; KD Irwin; LR Vale; GC Hilton; J Gao und KW Lehnert: „Flux-ramp modulation for squid multiplexing“. *Journal of Low Temperature Physics* 167.5 (2012), S. 707–712.
- [49] S. Eliseev u. a.: „Direct Measurement of the Mass Difference of Ho163 and Dy163 Solves the Q-Value Puzzle for the Neutrino Mass Determination“. *Physical Review Letters* 115.6 (Aug. 2015). doi: 10.1103/physrevlett.115.062501.
- [50] Ch. Schweiger u. a.: „Production of highly charged ions of rare species by laser-induced desorption inside an electron beam ion trap“. *Review of Scientific Instruments* 90.12 (Dez. 2019), S. 123201. doi: 10.1063/1.5128331.
- [51] KATRIN Collaboration und KATRIN Collaboration: KATRIN design report 2004. Englisch. Techn. Ber. 51.54.01; LK 01. Forschungszentrum Jülich, 2005. 245 S. doi: 10.5445/IR/270060419.
- [52] M. Aker u. a.: „Improved Upper Limit on the Neutrino Mass from a Direct Kinematic Method by KATRIN“. *Physical Review Letters* 123.22 (Nov. 2019). doi: 10.1103/physrevlett.123.221802.
- [53] Loredana Gastaldo: „Metallic Magnetic Calorimeters for the ECHO experiment“. *13th Terascale Detector Workshop*. Apr. 2021.
- [54] F. Puente León und Kiencke U.: „Messtechnik : Systemtheorie für Ingenieure und Informatiker“. Berlin: Springer Vieweg, 2012.
- [55] Fernando Puente León und Sebastian Bauer: „Praxis der Digitalen Signalverarbeitung“. KIT Scientific Publishing, 2015. doi: 10.5445/KSP/1000046560.
- [56] S. Boyd: „Multitone signals with low crest factor“. *IEEE Transactions on Circuits and Systems* 33.10 (1986), S. 1018–1022. doi: 10.1109/TCS.1986.1085837.
- [57] M. Friese: „Multitone signals with low crest factor“. *IEEE Transactions on Communications* 45.10 (1997), S. 1338–1344. doi: 10.1109/26.634697.
- [58] Walt Kester: „MT-001: Taking the mystery out of the infamous formula, "SNR = 6.02n + 1.76 dB" and why you should care“. *REV. O* (2005), S. 10–03.
- [59] Douglas A. Bennett; John A. B. Mates; Johnathon D. Gard; Andrew S. Hoover; Michael W. Rabin; Carl D. Reintsema; Daniel R. Schmidt; Leila R. Vale und Joel N. Ullom: „Integration of TES Microcalorimeters With Microwave SQUID Multiplexed Readout“. *IEEE Transactions on Applied Superconductivity* 25.3 (Juni 2015), S. 1–5. doi: 10.1109/tasc.2014.2381878.

- [60] D.J.G. Mestdagh; P. Spruyt und B. Biran: „Analysis of clipping effect in DMT-based ADSL systems“. *Proceedings of ICC/SUPERCOMM'94 - 1994 International Conference on Communications*. 1994, 293–300 vol.1. doi: 10.1109/ICC.1994.369042.
- [61] IEEE Standards Coordinating Committee 27 on Time and Frequency: „IEEE 1139-2008 - IEEE Standard Definitions of Physical Quantities for Fundamental Frequency and Time Metrology – Random Instabilities“. IEEE Standards Coordinating Committee 27 on Time und Frequency, Feb. 2009. doi: 10.1109/ieeestd.2009.6581834.
- [62] Brad Brannon und Allen Barlow: „Aperture uncertainty and ADC system performance“. *Applications Note AN-501. Analog Devices, Inc.(September)* (2000).
- [63] Karl-Dirk Kammeyer: „Nachrichtenübertragung“. Hrsg. von Armin Dekorsy. 6., erweiterte und aktualisierte Auflage. Lehrbuch. Wiesbaden: Springer Vieweg, 2018.
- [64] John G. Proakis und Masoud Salehi: „Digital communications“. 5. McGraw-Hill higher education. McGraw-Hill, 2009.
- [65] Friedrich Jondral: „Nachrichtensysteme - Grundlagen - Verfahren - Anwendungen ; mit 6 Tabellen“. Wilburgstetten: Schlembach, 2001.
- [66] A. I. Sinsky und P. C. p. Wang: „Error Analysis of a Quadrature Coherent Detector Processor“. *IEEE Transactions on Aerospace and Electronic Systems* AES-10.6 (Nov. 1974), S. 880–883. doi: 10.1109/TAES.1974.307900.
- [67] F. E. Churchill; G. W. Ogar und B. J. Thompson: „The Correction of I and Q Errors in a Coherent Processor“. *IEEE Transactions on Aerospace and Electronic Systems* AES-17.1 (Jan. 1981), S. 131–137. doi: 10.1109/TAES.1981.309045.
- [68] S. W. Ellingson: „Correcting I-Q Imbalance in Direct Conversion Receivers“. Feb. 2003. url: <https://www.faculty.ece.vt.edu/swe/argus/iqbal.pdf> (besucht am 24.01.2020).
- [69] P. Kiss und V. Prodanov: „One-tap wideband I/Q compensation for zero-IF filters“. *IEEE Transactions on Circuits and Systems I: Regular Papers* 51.6 (Juni 2004), S. 1062–1074. doi: 10.1109/TCSI.2004.829233.
- [70] J. K. Cavers und M. W. Liao: „Adaptive compensation for imbalance and offset losses in direct conversion transceivers“. *IEEE Transactions on Vehicular Technology* 42.4 (Nov. 1993), S. 581–588. doi: 10.1109/25.260752.
- [71] „Datasheet HMC525ALC4“. Rev. A. Analog Devices. 2018.
- [72] „Datasheet LMX8410L“. Analog Devices. Nov. 2018.
- [73] „Datasheet MMIQ0218L“. Rev. A. Marki Microwave. 2019.

- [74] Daniel Philipp Richter: „Multikanal-Auslesung von metallischen magnetischen Kalorimetern mittels eines vollständigen Mikrowellen-SQUID-Multiplexer-Systems“. Diss. Ruprecht-Karls-Universität Heidelberg, 2021. doi: 10.11588/HEID0K.00030266.
- [75] John G. Proakis und Dimitris G. Manolakis: „Digital Signal Processing“. München: Pearson, 2013.
- [76] Walter HW Tuttlebee: „Software defined radio: enabling technologies“. John Wiley & Sons, 2003.
- [77] F.J. Harris; C. Dick und M. Rice: „Digital receivers and transmitters using polyphase filter banks for wireless communications“. *IEEE Transactions on Microwave Theory and Techniques* 51.4 (2003), S. 1395–1412. doi: 10.1109/TMTT.2003.809176.
- [78] „FIR Compiler (PG149)“. User Guide. v7.2. Xilinx. Jan. 2021.
- [79] P. Murali Krishna und T.P. Sameer Babu: „Polyphase Channelizer Demystified [Lecture Notes]“. *IEEE Signal Processing Magazine* 33.1 (2016), S. 144–150. doi: 10.1109/MSP.2015.2477423.
- [80] Fa-Long Luo: „Digital front-end in wireless communications and broadcasting: circuits and signal processing“. Cambridge University Press, 2011.
- [81] Albert L Bramble: „Direct digital frequency synthesis“. *Thirty Fifth Annual Frequency Control Symposium*. IEEE. 1981, S. 406–414.
- [82] Jouko Vankka: „Methods of mapping from phase to sine amplitude in direct digital synthesis“. *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control* 44.2 (1997), S. 526–534.
- [83] J. Vankka: „Spur reduction techniques in sine output direct digital synthesis“. *Frequency Control Symposium, 1996. 50th., Proceedings of the 1996 IEEE International*. IEEE, 1996, S. 951–959. doi: 10.1109/FREQ.1996.560280.
- [84] „Zynq UltraScale+ MPSoC Software Developer Guide (UG1137)“. v12.0. Xilinx. Juli 2020.
- [85] „Zynq UltraScale+ Device Technical Reference Manual (UG1085)“. v2.2. Xilinx. Dez. 2020.
- [86] „Zynq UltraScale+ MPSoC Data Sheet: Overview (DS891)“. Data Sheet. v1.9. Xilinx. Mai 2021.
- [87] Luis Ardila-Perez; André Cascadan; Luigi Calligaris; Denis Tcherniakhovski; Matthias Balzer; Marc Weber und Oliver Sander: „A novel centralized slow control and board management solution for ATCA blades based on the Zynq Ultrascale+ System-on-Chip“. *EPJ Web of Conferences*. Bd. 245. EDP Sciences. 2020, S. 01015.
- [88] „UltraScale Architecture DSP Slice (UG579)“. User Guide. v1.11. Xilinx. Aug. 2021.

- [89] „UltraScale Architecture Memory Resources (UG573)“. User Guide. v1.13. Xilinx. Sep. 2021.
- [90] „UltraScale Architecture SelectIO Resources (UG571)“. v1.12. Xilinx. Aug. 2019.
- [91] „Zynq UltraScale+ MPSoC Data Sheet: DC and AC Switching Characteristics (DS925)“. Data Sheet. v1.19. Xilinx. Juni 2021.
- [92] „UltraScale Architecture GTH Transceivers (UG576)“. User Guide. v1.7.1. Xilinx. Aug. 2021.
- [93] „UltraScale Architecture GTY Transceivers (UG578)“. User Guide. v1.3. Xilinx. Sep. 2017.
- [94] Andrew S Tanenbaum und Herbert Bos: „Modern operating systems“. Pearson, 2015.
- [95] Friedrich K Jondral: „Software-defined radio—basics and evolution to cognitive radio“. *EURASIP journal on wireless communications and networking* 2005.3 (2005), S. 1–9.
- [96] Elettra Venosa; Francesco AN Palmieri u. a.: „Software Radio: From an Idea to Reality“. *Software Radio*. Springer, 2012, S. 1–5.
- [97] Joris van Rantwijk; Martin Grim; Dennis van Loon; Stephen Yates; Andrey Baryshev und Jochem Baselmans: „Multiplexed Readout for 1000-Pixel Arrays of Microwave Kinetic Inductance Detectors“. *IEEE Transactions on Microwave Theory and Techniques* 64.6 (Juni 2016), S. 1876–1883. doi: 10.1109/tmmt.2016.2544303.
- [98] J. D. Gard; D. T. Becker; D. A. Bennett; J. W. Fowler; G. C. Hilton; J. A. B. Mates; C. D. Reintsema; D. R. Schmidt; D. S. Swetz und J. N. Ullom: „A Scalable Readout for Microwave SQUID Multiplexing of Transition-Edge Sensors“. *Journal of Low Temperature Physics* 193.3-4 (Juli 2018), S. 485–497. doi: 10.1007/s10909-018-2012-2.
- [99] J. A. B. Mates u. a.: „Simultaneous readout of 128 X-ray and gamma-ray transition-edge microcalorimeters using microwave SQUID multiplexing“. *Applied Physics Letters* 111.6 (Aug. 2017), S. 062601. doi: 10.1063/1.4986222.
- [100] Jack Hickish u. a.: „A Decade of Developing Radio-Astronomy Instrumentation using CASPER Open-Source Technology“. 2016. arXiv: astro-ph.IM/1611.01826.
- [101] J.A. Wepman: „Analog-to-digital converters and their applications in radio receivers“. *IEEE Communications Magazine* 33.5 (1995), S. 39–45. doi: 10.1109/35.393000.
- [102] Jonathan Harris; Del Jones; Ian Beavers; Frank Farrelly u. a.: JESD204B Survival Guide. Techn. Ber. Analog Devices, 2014.
- [103] „Datasheet Megtron6 (R-5775, R-5670)“. No. 21041931. Panasonic. Apr. 2021.

- [104] Samtec Inc.: High Speed Characterization Report: QMS-XXX-01-XX-D-RA mates with QFS-XXX-01-XX-D-RA. Techn. Ber. Samtec Inc., 2005.
- [105] „Datasheet AD9144“. Rev. C. Analog Devices. 2019.
- [106] JEDEC Standard: „Serial Interface for Data Converters“. *white paper* (2012).
- [107] „Datasheet AD9680“. Rev. E. Analog Devices. 2019.
- [108] „Datasheet MAX5898“. 19-3756; Rev 2; 8/10. Maxim. 2010.
- [109] Weijia Wang: „Towards Intelligent Data Acquisition Systems with Embedded Deep Learning on MPSoC“. Englisch. 54.12.02; LK 01. Diss. Karlsruher Institut für Technologie (KIT), 2021. 166 S. doi: 10.5445/IR/1000133898.
- [110] „ZCU102 Evaluation Board (UG1182)“. v1.6. Xilinx. Juni 2019.
- [111] „Datasheet ADS54J69“. Texas Instruments. Mai 2015.
- [112] „Datasheet DAC39J84“. Texas Instruments. Jan. 2015.
- [113] Daniel Ch. von Grünigen: „Digitale Signalverarbeitung“. Fachbuchverlag Leipzig, 2004.
- [114] Jack E Volder: „The CORDIC trigonometric computing technique“. *IRE Transactions on electronic computers* EC-8.3 (1959), S. 330–334.
- [115] Jesse G Baldwin und Dale F Dubbert: „Quadrature mixer LO leakage suppression through quadrature DC bias“. *Sandia Labs, Albuquerque, NM, SAND2002-1316* (2002).
- [116] John Lillington: „Comparison of wideband channelisation architectures“. *International Signal Processing Conference (ISPC), Dallas*. 2003.
- [117] Ali Ghandour; Ahmad Mansour; Hussein AlAsadi und Walid Ghandour: „Design and Implementation of Polyphase Fast Fourier Transform Channelizer“. *2020 International Wireless Communications and Mobile Computing (IWCMC)*. 2020, S. 613–618. doi: 10.1109/IWCMC48107.2020.9148292.
- [118] R. Mahesh; A. P. Vinod; Edmund M-K. Lai und Amos Omondi: „Filter Bank Channelizers for Multi-Standard Software Defined Radio Receivers“. *J. Signal Process. Syst.* 62.2 (Feb. 2011), S. 157–171. doi: 10.1007/s11265-008-0327-y.
- [119] Matthew James Strader: „Digital readout for microwave kinetic inductance detectors and applications in high time resolution astronomy“. Diss. 2016.
- [120] „Fast Fourier Transform (PG109)“. v9.1. Xilinx. Aug. 2021.
- [121] A. Schuchert; R. Hasholzner und P. Antoine: „A novel IQ imbalance compensation scheme for the reception of OFDM signals“. *IEEE Transactions on Consumer Electronics* 47.3 (Aug. 2001), S. 313–318. doi: 10.1109/30.964115.

- [122] Jan Tubbax; Liesbet Van der Perre; Stéphane Donnay; Marc Engels; Marc Moonen und Hugo De Man: „Joint compensation of IQ imbalance, frequency offset and phase noise in OFDM receivers“. *European Transactions on Telecommunications* 15.3 (2004), S. 283–292. doi: 10.1002/ett.974.
- [123] Kong-Pang Pun; J. E. Franca und C. Azeredo-Leme: „Wideband digital correction of I and Q mismatch in quadrature radio receivers“. *2000 IEEE International Symposium on Circuits and Systems (ISCAS)*. Bd. 5. Mai 2000, 661–664 vol.5. doi: 10.1109/ISCAS.2000.857556.
- [124] H. Wang; Y. Lu; X. Wang und C. Wang: „Digital I/Q Imbalance Compensation in Quadrature Receivers“. *2006 CIE International Conference on Radar*. Okt. 2006, S. 1–4. doi: 10.1109/ICR.2006.343527.
- [125] M. Bellanger und J. Daguët: „TDM-FDM Transmultiplexer: Digital Polyphase and FFT“. *IEEE Transactions on Communications* 22.9 (1974), S. 1199–1205.
- [126] Carsten Naber: „Breitband-Spiegelfrequenzunterdrückung für I&Q-Mischverfahren“. Masterarbeit. Karlsruher Institut für Technologie, Sep. 2019.
- [127] „CORDIC (PG105)“. v6.0. Xilinx. Aug. 2021.
- [128] Uwe Kiencke und Holger Jäkel: „Signale und Systeme“. 4., korr. Aufl. München: Oldenbourg-Verl., 2009.
- [129] Fredric J Harris: „On the use of windows for harmonic analysis with the discrete Fourier transform“. *Proceedings of the IEEE* 66.1 (1978), S. 51–83.
- [130] Thomas Wolber: „Auslese von metallischen magnetischen Kalorimetern mittels Flussrampenmultiplex“. Masterarbeit. Karlsruher Institut für Technologie, Juli 2020.
- [131] Robert Hammann; Arnulf Barth; Andreas Fleischmann; Dennis Schulz und Loredana Gastaldo: „Data reduction for a calorimetrically measured ^{163}Ho spectrum of the ECHO-1k experiment“. 2021. arXiv: physics.ins-det/2107.13528.
- [132] S. H. Moseley; J. C. Mather und D. McCammon: „Thermal detectors as x-ray spectrometers“. *Journal of Applied Physics* 56.5 (Sep. 1984), S. 1257–1262. doi: 10.1063/1.334129.
- [133] Valentin T. Jordanov und Glenn F. Knoll: „Digital synthesis of pulse shapes in real time for high resolution radiation spectroscopy“. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 345.2 (Juni 1994), S. 337–345. doi: 10.1016/0168-9002(94)91011-1.
- [134] Valentin T Jordanov; Glenn F Knoll; Alan C Huber und John A Pantazis: „Digital techniques for real-time pulse shaping in radiation measurements“. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* 353.1-3 (1994), S. 261–264.

- [135] W. K. Warburton; M. Momayezi; P. Grudberg und W. Skulski: „Digital pulse processing: New possibilities in portable electronics“. *Journal of Radioanalytical and Nuclear Chemistry* 248.2 (2001), S. 301–307. doi: 10.1023/a:1010651319193.
- [136] T Lakatos: „Noise and resolution with digital filtering for nuclear spectrometry“. *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms* 62.2 (1991), S. 289–292.
- [137] V. Jordanov und G.F. Knoll: „Digital pulse processor using moving average technique“. *IEEE Transactions on Nuclear Science* 40.4 (1993), S. 764–769. doi: 10.1109/23.256658.
- [138] D. L. Jagerman: „Some Properties of the Erlang Loss Function“. *Bell System Technical Journal* 53.3 (1974), S. 525–551. doi: <https://doi.org/10.1002/j.1538-7305.1974.tb02756.x>.
- [139] Ian Angus: „An introduction to Erlang B and Erlang C“. *Telemanagement* 187 (2001), S. 6–8.
- [140] „UltraScale Architecture CLB User Guide (UG574)“. v1.5. Xilinx. Feb. 2017.
- [141] „UltraScale Architecture Libraries Guide (UG974)“. User Guide. v2019.1. Xilinx. Mai 2019.
- [142] Timo Muscheid: „Echtzeit Pulserkennung und Verarbeitung für supraleitende Sensoren“. Masterarbeit. Karlsruher Institut für Technologie, Juni 2021.
- [143] „AXI DataMover (PG022)“. User Guide. v5.1. Xilinx. Apr. 2017.
- [144] Jonas Hurst: „Entwicklung eines breitbandigen Datentransfers (DMA) für die Messdatenakquise“. Masterarbeit. Karlsruher Institut für Technologie, Dez. 2020.
- [145] Patrick Mochel: „The sysfs filesystem“. *Linux Symposium*. 2005, S. 313.
- [146] Jonathan Corbet; Alessandro Rubini und Greg Kroah-Hartman: „Linux Device Drivers, 3rd Edition“. O’Reilly Media, Inc., 2005.
- [147] JE White: A High-Level Framework for Network-Based Resource Sharing. RFC 707. RFC Editor, Dez. 1975. url: <http://www.rfc-editor.org/rfc/rfc707.txt>.
- [148] The Linux Foundation: „gRPC Website“. url: <https://grpc.io> (besucht am 10.02.2021).
- [149] The Linux Foundation: „gRPC concept“. 2018. url: <https://github.com/grpc/grpc/blob/257d0045ab958eb767a3591c88e9d0c2bdf4b916/CONCEPTS.md>.
- [150] Google LLC: „potobuf Website“. url: <https://developers.google.com/protocol-buffers> (besucht am 10.02.2021).

- [151] P. Danielis; J. Skodzik; V. Altmann; E. B. Schweissguth; F. Golatowski; D. Timmermann und J. Schacht: „Survey on real-time communication via ethernet in industrial automation environments“. *IEEE ETFA Proceedings*. 2014, S. 1–8.
- [152] Eric Gamess und Rina Surós: „An upper bound model for TCP and UDP throughput in IPv4 and IPv6“. *J Netw Comput Appl* 31.4 (2008), S. 585–602. doi: <https://doi.org/10.1016/j.jnca.2007.11.009>.
- [153] „Datasheet HMC7044“. Rev. C. Analog Devices. 2021.
- [154] „Datasheet HMC7043“. Rev. B. Analog Devices. 2021.
- [155] Yiqing Zhou und Zhengang Pan: „Impact of LPF Mismatch on I/Q Imbalance in Direct Conversion Receivers“. *IEEE Transactions on Wireless Communications* 10.6 (Juni 2011), S. 1702–1708. doi: 10.1109/twc.2011.040411.101319.
- [156] „ARB Rider 5062(D)/5064(D)/5068(D) Technical Datasheet“. Active Technologies. Dez. 2021.
- [157] F. Hirayama; T. Irimatsugawa; H. Yamamori; S. Kohjiro; A. Sato; S. Nagasawa; D. Fukuda; H. Sasaki; M. Hidaka; Y. Sato; M. Ohno und H. Takahashi: „Interchannel Crosstalk and Nonlinearity of Microwave SQUID Multiplexers“. *IEEE Transactions on Applied Superconductivity* 27.4 (2017), S. 1–5. doi: 10.1109/TASC.2016.2638082.
- [158] Vladimir V Talanov; Nescio M Lettsome Jr; Valery Borzenets; Nicolas Gagliolo; Alfred B Cawthorne und Antonio Orozco: „A scanning SQUID microscope with 200 MHz bandwidth“. *Superconductor Science and Technology* 27.4 (März 2014), S. 044032. doi: 10.1088/0953-2048/27/4/044032.
- [159] D.. Drung; C.. Assmann; J.. Beyer; A.. Kirste; M.. Peters; F.. Ruede und T.. Schurig: „Highly Sensitive and Easy-to-Use SQUID Sensors“. *IEEE Transactions on Applied Superconductivity* 17.2 (Juni 2007), S. 699–704. doi: 10.1109/tasc.2007.897403.

Eigene Publikationen

- [San19] O. Sander; N. Karcher; O. Krömer; S. Kempf; M. Wegner; C. Enss und M. Weber: „Software-Defined Radio Readout System for the ECHo Experiment“. *IEEE Transactions on Nuclear Science* 66.7 (2019), S. 1204–1209. doi: 10.1109/TNS.2019.2914665.
- [Gar22] Robert Gartmann; Nick Karcher; Richard Gebauer; Oliver Krömer und Oliver Sander: „Progress of the ECHO SDR readout hardware for multiplexed MMCs (publication pending)“. *Journal of Low Temperature Physics* (2022).
- [Weg18b] M. Wegner; N. Karcher; O. Krömer; D. Richter; F. Ahrens; O. Sander; S. Kempf; M. Weber und C. Enss: „Microwave SQUID Multiplexing of Metallic Magnetic Calorimeters: Status of Multiplexer Performance and Room-Temperature Readout Electronics Development“. *Journal of Low Temperature Physics* 193.3 (2018), S. 462–475. doi: 10.1007/s10909-018-1878-3.
- [Kar20] N. Karcher; D. Richter; F. Ahrens; R. Gartmann; M. Wegner; O. Krömer; S. Kempf; C. Enss; M. Weber und O. Sander: „SDR-Based Readout Electronics for the ECHO Experiment“. *Journal of Low Temperature Physics* 200.5 (2020), S. 261–268. doi: 10.1007/s10909-020-02463-w.
- [Kar21a] N. Karcher; T. Muscheid; T. Wolber; D. Richter; C. Enss; S. Kempf und O. Sander: „Online Demodulation and Trigger for Flux-ramp Modulated SQUID Signals“. 2021. [arXiv: eess.SP/2110.12017](https://arxiv.org/abs/2110.12017).
- [Kar21b] N. Karcher; R. Gebauer; R. Bauknecht; R. Illichmann und O. Sander: „Versatile Configuration and Control Framework for Real Time Data Acquisition Systems“. *IEEE Transactions on Nuclear Science* (2021), S. 1–1. doi: 10.1109/tns.2021.3084355.
- [Ric21b] Daniel Richter; Ludwig Hoibl; Thomas Wolber; Nick Karcher; Andreas Fleischmann; Christian Enss; Marc Weber; Oliver Sander und Sebastian Kempf: „Flux ramp modulation based MHz frequency-division dc-SQUID multiplexer“. *Applied Physics Letters* 118.12 (März 2021), S. 122601. doi: 10.1063/5.0044444.

- [Geb21a] Richard Gebauer; Nick Karcher und Oliver Sander: „A modular RFSoc-based approach to interface superconducting quantum bits“. *2021 International Conference on Field-Programmable Technology (ICFPT)*. 2021, S. 1–9. doi: 10.1109/ICFPT52863.2021.9609909.
- [Geb21b] Richard Gebauer; Nick Karcher; Jonas Hurst; Marc Weber und Oliver Sander: „Taskrunner: A Flexible Framework Optimized for Low Latency Quantum Computing Experiments“. *2021 IEEE 34th International System-on-Chip Conference (SOCC)*. 2021.
- [Kun21] Jonas A. Kunzler; Rodrigo P. Lemos; Nick Karcher und Oliver Sander: „Readout of Energy Pulses on Microwave SQUID Multiplexer: A Sensor Array-Based Approach“. *IEEE Signal Processing Letters* 28 (2021), S. 41–45. doi: 10.1109/lsp.2020.3044022.
- [Geb20] Richard Gebauer u. a.: „State preparation of a fluxonium qubit with feedback from a custom FPGA-based platform“. *AIP Conference Proceedings* 2241.1 (2020), S. 020015. doi: 10.1063/5.0011721.
- [Gus21] Daria Gusenkova u. a.: „Quantum Nondemolition Dispersive Readout of a Superconducting Artificial Atom Using Large Photon Numbers“. *Physical Review Applied* 15.6 (Juni 2021). doi: 10.1103/physrevapplied.15.064030.
- [San18] Oliver Sander; Nick Karcher; Sebastian Kempf; Oliver Kroemer; Mathias Wegner; Christian Enss und Marc Weber: „Software Defined Radio Based Readout of Microwave SQUID Multiplexed Metallic Magnetic Calorimeter Arrays“. *Proceedings of Topical Workshop on Electronics for Particle Physics — PoS(TWEPP-17)*. Sissa Medialab, März 2018. doi: 10.22323/1.313.0128.
- [Geb22] Richard Gebauer; Nick Karcher; Oliver Krömer; Oliver Sander und Martin Weides: „Elektronische Anordnung zum Erzeugen und Auswerten von Mikrowellensignalen und Verfahren zum Betreiben einer solchen“. Patent: DE102019132367. Apr. 2022.

Abkürzungsverzeichnis

ADC	Analog-zu-Digital-Konverter
API	Applikations-Programmierschnittstelle
APU	Applikationsprozessor
ASIC	anwendungsspezifische integrierte Schaltung
ATF	ARM-Trusted-Firmware
AWG	Arbiträr-Wellenform-Generator
BRAM	Block-RAM
CCI	Cache-Coherent-Interconnect
CDM	Code-Division-Multiplex
CLB	Configurable-Logic-Block
CORDIC	Coordinate-Rotation-Digital-Computer
CSU	Configuration-Security-Unit
DAC	Digital-zu-Analog-Konverter
DDC	digitale Herabkonvertierung
DDS	Direkte-Digitale-Synthese
DESY	Deutsches Elektronen-Synchrotron
DFT	diskrete Fourier-Transformation
DMA	Direct-Memory-Access
DSP	digitale Signalprozessierung

ECHo	Electron Capture in Holmium-163
FDM	Frequency-Division-Multiplex
FF	Flip-Flops
FFT	schnelle Fourier-Transformation
FIFO	First-In-First-Out
FIR	Finite-Impuls-Antwort
FLL	Flux-Locked-Loop
FMC	FPGA-Mezzanine-Card
FPD	Full-Power-Domain
FPGA	Field-Programmable-Gate-Array
FSBL	First-Stage-Bootloader
FWHM	Halbwertsbreite, Full-Width-Half-Maximum
GPIO	General-Purpose-Input-Output
GUI	grafische Benutzerschnittstelle
HEMT	High-Electron-Mobility-Transistor
HPC	High-Pin-Count
I ² C	Inter-Integrated-Circuit-Bus
IOB	IO-Block
IPE	Institut für Prozessdatenverarbeitung und Elektronik
KATRIN	Karlsruhe Tritium Neutrino Experiment
KIT	Karlsruher Institut für Technologie
LO	Lokaloszillator
LPD	Low-Power-Domain

LSB	Least-Significant-Bit
LUT	Look-Up-Table
LVDS	Low-Voltage-Differential-Signaling
LVPECL	Low-Voltage-Positive-Emitter-Coupled-Logic
MIO	Multiplexed-Input/-Output
MKID	Microwave-Kinetic-Inductance-Detektor
MMC	magnetische Mikrokalorimeter
MSB	Most-Significant-Bit
NCO	numerisch kontrollierbarer Oszillator
NSD	Rauschleistungsdichte
OSR	Überabtastfaktor
PIMC	Platform Information and Management Core
PL	Programmable-Logic
PLL	Phasenregelschleife
PMU	Platform-Management-Unit
PS	Processing-System
RPC	Remote-Prozeduraufruf
RPU	Echtzeitprozessor
SDM	Space-Division-Multiplex
SDR	Software-Defined-Radio
SFDR	Spurious-Free-Dynamic-Range
SLL	Super-Long-Line
SLR	Super-Logic-Region

SNR	Signal-zu-Rausch-Verhältnis
SoC	System-on-Chip
SPI	Serial-Peripheral-Bus
SQUID	supraleitender Quanteninterferenzdetektor
SR	Software-Radio
TDM	Time-Division-Multiplex
TES	Transition-Edge-Sensor
VCO	Spannungsgesteuerter Oszillator
VCXO	Spannungsgesteuerter Quarz-Oszillator

Abbildungsverzeichnis

2.1	Magnetfelder in Supraleitern	4
2.2	Topologie eines Josephson-Kontakts	6
2.3	Schematische Darstellung und Fluss-Spannungs-Kennlinie eines dc-SQUIDS	7
2.4	Struktur des rf-SQUIDS und die effektive Induktivität	9
2.5	Modell eines idealen Kalorimeters und thermische Systemantwort	11
2.6	Schematischer Aufbau und Fotografie eines magnetischen Mikrokalorimeters	13
2.7	Temperaturabhängigkeit der Magnetisierung bei MMCs.	14
2.8	Schematischer Aufbau der zweistufigen MMC-Einkanal-Auslese	15
2.9	Mikrowellen-SQUID-Verbund und Resonanzverschiebung.	20
2.10	Auslese eines Kalorimeter-Arrays mittels eines Mikrowellen-SQUID-Multiplexers	22
2.11	Flussrampenmodulation mit Mikrowellen-SQUID-Multiplexer	23
2.12	Theoretisches Spektrum und Endpunkt der Energie E_{EC} [8]	25
3.1	Spiegelbandunterdrückung für Phasen- und Amplitudenfehler	34
3.2	Struktur eines Polyphasen-Dezimationsfilters [75, 77]	36
3.3	Prinzipien des Polyphasen-Kanaliersers nach [77]	37
3.4	Eingang-/Ausgangsspektrum des Polyphasen-Kanaliersers	38
3.5	Übersicht einer DDC mit einer Direkten-Digitalen-Synthese (DDS) zur Frequenzgenerierung	39
3.6	Übersichtsdiagramm der ZynqMP™-Architektur	42
3.7	Vereinfachtes Strukturdiagramm der DSP48E2	44
3.8	Exemplarisches Flussdiagramm des Bootvorgangs	45
4.1	Auslesesystem für den Mikrowellen-SQUID-Multiplexer auf Basis eines Software-Defined-Radios	48
4.2	Diagramm der Ausleseelektronik mit 4 GHz Bandbreite	54
4.3	Mischerelektroniken	56
4.4	Aufnahme der super-heterodynen HF-Platine	57
4.5	Aufnahme des modularen Aufbaus der Wandlerelektronik	58
4.6	Aufnahme und funktionale Übersicht des Wandleraufbaus	59
4.7	Schleifenfilter der PLLs	64
4.8	IPE HiFlex2 Revision 1	66
4.9	DESY & IPE DTS100 Revision 1	67

5.1	Übersicht Firmwareprototyp 1	72
5.2	Übersicht Firmwareprototyp 2	73
5.3	Übersicht des Flussrampengenerators und Zustandsautomaten	76
5.4	Übersicht Frequenzdemultiplex-Kaskade	77
5.5	Veranschaulichung der Parameter zur Spezifikation der Kombination aus zwei Kanalisierern	79
5.6	Entwurfsraum und Ressourcenbedarf des Polyphasen-Kanalisierers	80
5.7	Frequenzgang des Polyphasen-Filters	80
5.8	Überlappung zweier Polyphasen-Kanalisierer	81
5.9	Übersicht des Polyphasen-Kanalisierers	81
5.10	Übersicht mehrkanalige digitale Herabkonvertierung	83
5.11	Image-Unterdrückungsverhältnis r in Abhängigkeit von einer Zeitverzögerung τ .	87
5.12	Image-Unterdrückung ressourcen-optimierte Variante	92
5.13	Multiplikationskaskade für eine Matrixzeile	94
5.14	Übersicht mehrkanalige Flussrampen-Demodulation	96
5.15	Flussrampen-Demodulation Übersprechen mit verschiedenen Fensterfunktionen .	99
5.16	Beispielsignale des Trapezfilters	101
5.17	Übersicht der Ereignis-Erkennung	105
6.1	Übersicht der Datenerfassung, der Systemkonfiguration und der Software-Architektur	112
6.2	Übersicht des Direct-Memory-Access-Funktionsblocks	115
6.3	Aufrufhierarchie des ServiceHubs	120
6.4	Softwarediagramm des ServiceHub Daemons	121
6.5	Datenübertragungslatenzen und Übertragungsgeschwindigkeit für Datenströme .	122
6.6	Aufruflatenz der Endpunkte für ein AXI4-Modul	124
7.1	Signaleigenschaften des AD9144-Chips	128
7.2	Signaleigenschaften des AD9680-Chips	129
7.3	Phasenrauschen der Taktbausteine	131
7.4	Versuchsaufbau des Detektorsimulators und des Messsystems.	133
7.5	Sendespektren des Aufbaus	137
7.6	I&Q-Imbalance Parameter des 80-Kanal-Kamms.	137
7.7	Phasenmodulation mit Synchronisierungspulsen und Rauschamplitudendichte . .	138
7.8	Konstellation der Rauschamplitudendichte für gemessene Kanäle mit verschiedenen Multiplexfaktoren	139
7.9	Ende-zu-Ende-Linearität des Aufbaus	140
7.10	Die Phasendaten nach der Flussrampendemodulation und Ereigniserkennung . .	141
7.11	Spektrum der Signalamplitude aus der Optimalfilter-Auswertung	143
7.12	Gauss-Fits mit Varianz und Erwartungswert	143
7.13	Konstellation der Auflösungen für vier Messungen mit 4, 16 und 80 Kanälen . . .	145
7.14	Multiplexer-Aufbau im Kryostaten	146

7.15	Erster Ausleseprototyp	146
7.16	Energieauflösungen und Rauschgrund bei vier- und acht-kanaliger Auslese	147
7.17	Photonenabsorptionsereignisse einer ^{55}Fe -Quelle	147
8.1	Aufbau des dc-SQUID-Multiplexers und Beispielspannungsverläufe	152
8.2	Übersicht der Auslesefirmware für den dc-SQUID-Flussrampen-Multiplexer	155
8.3	Halbbandfilterantwort des Dezimationsfilters für Frequenzmultiplex mit dc-SQUIDs	155
8.4	Versuchsaufbau für den dc-SQUID-Multiplexer	158
8.5	Flussrampenbasierter Multiplex: Zeitsignal und Spektren	160
8.6	Flussrampenbasierter Multiplex: Rauschspektren	161
8.7	Flussrampenbasierter Multiplex: demodulierte Ausgangssignale	161
A.1	Analyse der Ausgangsamplitude des CAEN® DT5810	195
A.2	Analyse der Ausgangssignale des CAEN® DT5810	195
A.3	Ankopplung des DA-Wandlers an den Modulator und an den Transformator	199
A.4	Spannungswandler für Messaufbau	199

Tabellenverzeichnis

4.1	Vergleich der Auslesesysteme und der ECHO-Anforderungen	51
5.1	Ressourcenbedarf komplexwertiger Frequenzkammgenerierung	75
5.2	Ressourcenbedarf Flussrampengenerierung	76
5.3	Ressourcenbedarf des Polyphasen-Kanaliersers	82
5.4	Ressourcenbedarf der mehrkanaligen Digitalen-Herabkonvertierung ohne Dezimierung	84
5.5	Ressourcenbedarf der mehrkanaligen Matrix-Vektor-Multiplikation	94
5.6	Ressourcenbedarf der mehrkanaligen Flussrampen-Demodulation	98
5.7	Wahrscheinlichkeit P_b für ein verlorenes Ereignis	104
5.8	Daten und Metadaten eines Ereignisses	105
5.9	Ressourcenbedarf der Ereignis-Erkennung	106
5.10	Ressourcen-Belegung des Prototyp-FPGAs XCZU9EG für verschiedene Firmwareimplementierungen	107
5.11	Abschätzung der Gesamtressourcen der Firmware für fünf I&Q-Paare.	109
6.1	Ressourcenbedarf DMA-Controller	116
7.1	Resultierender Jitter der Takterzeugung	132
7.2	Konfigurationsätze zur Pegelanpassung der HF-Platine	135
7.3	Anpassung der Amplitudenwerte und Varianzen des Spektrums	144
8.1	Ressourcenbedarf der FIR-Filter	156
A.1	Tabelle der Auswerteparameter	194
A.2	Firmware-Ressourcenbedarf ein I&Q-Paar	196
A.3	Firmware-Ressourcenbedarf zwei I&Q-Paare	197
A.4	Firmware-Ressourcenbedarf vier I&Q-Paare	197
A.5	Firmware-Ressourcenbedarf dc-SQUID-Auslese	198
A.6	Verwendete Messtöne bei der Raumtemperaturmessung	198
A.7	Farbtabelle	198

A Anhang

A.1 Herleitungen und Berechnungen

Alias-Filter mit digitaler Filterung

Die folgende Herleitung basiert auf Kapitel 7.1.3 im Buch Messtechnik von Puente León [54]. Im Folgenden angenommen, dass spektrale Anteile außerhalb der Nyquistbandbreite ($f_N = f_s/2$) nur als Störanteile zählen, falls Sie über $f_s - f_g$ liegen und somit durch die Abtastung in das Nutzintervall von $[0, f_g]$ gefaltet werden. Durch digitale Filter sehr hoher Ordnung (> 100) werden Störanteile in $[f_g, f_N]$ weitestgehend unterdrückt.

$$P_{\text{Sig}} \approx 2 \int_0^{f_g} S_{yy}(f) df = 2f_g A^2 \quad (\text{A.1})$$

$$P_{\text{Stör}} \approx 2 \int_{f_s - f_g}^{\infty} S_{yy}(f) df = A^2 \frac{2(f_g)^{2n}}{(2n - 1) \cdot (f_s - f_g)^{2n-1}} \quad (\text{A.2})$$

$$\text{SNR}|_{\text{dB}} = \frac{P_{\text{Sig}}}{P_{\text{Stör}}}|_{\text{dB}} \approx 10 \lg \left((2n - 1) \cdot \left(\frac{f_s - f_g}{f_g} \right)^{2n-1} \right) \quad (\text{A.3})$$

Wird die Grenzfrequenz auf die Abtastfrequenz bezogen ($s = f_g/(f_s/2)$) kann der Term wie folgt ausgedrückt werden:

$$\text{SNR}|_{\text{dB}} \approx 10 \lg \left((2n - 1) \cdot \left(\frac{(1 - s/2)f_s}{s \cdot f_s/2} \right)^{2n-1} \right) \quad (\text{A.4})$$

$$= 10 \lg \left((2n - 1) \cdot \left(\frac{1 - s/2}{s/2} \right)^{2n-1} \right) \quad (\text{A.5})$$

Wandlerparameter der Auseleselektroniken

Zum Vergleich der Wandlerparameter zwischen den in Abschnitt 4.2 vorgestellten Elektroniken wird nach [97] die spektrale Rauschleistungsdichte (NSD) bezogen auf einen Träger berechnet. Aus [97] und Gleichung 3.9 kann die NSD bezogen auf einen Ton unter der Annahme von weißem Rauschen wie folgt geschrieben werden:

$$\text{NSD}|_{\text{dBc}} = -\text{SNR}|_{\text{dB,ET}} - 10 \log_{10}(f_s) \quad (\text{A.6})$$

Für den Vergleich wird ein konstanter Scheitelfaktor von $k_s = 2$ angenommen. Der angenommene Krestfaktor ist ein idealisierter Wert [56] und dient lediglich dem Vergleich der Systeme. Die Rauschparameter der verschiedenen Wandler werden aus den Datenblättern entnommen. Dabei wird der erste Wert unter der Nyquist-Frequenz angenommen. Die Datenblätter geben die Werte unterschiedlich an, daher waren zum Extrahieren der Parameter Umrechnungen notwendig. Für den AD9144-Wandler musste die NSD aus [105, Fig. 16] abgelesen werden. Für den DAC5681-Wandler liegt für die Abtastfrequenz von 500 MHz kein Wert nahe der Nyquistfrequenz vor, es wird daher der Wert für 1 GHz Abtastfrequenz verwendet. Die Abtastfrequenz wird auf die maximale Abtastfrequenz der AD-/DA-Wandlerkombination gewählt. Weiterhin wird eine Nettobandbreite von 80 % der ersten Nyquistzone vorgegeben. Die Tonanzahl richtet sich nach dem 10 MHz Abstand aus Abschnitt 2.4 bezogen auf die Nettobandbreite.

	Van Rantwijk [97]	Gard [98]	ECHO [San19]
Abtastfrequenz	2500 MHz	550 MHz	1000 MHz
Nettobandbreite	2000 MHz	440 MHz	800 MHz
Töne	200	44	80
ADC	EV10AQ190	2x ADS54RF63	AD9680
ENOB Frequenz	620 MHz	100 MHz	340 MHz
ENOB	7,9 bit	9,89 bit	10,54 bit
NSD bezogen auf Ton	-117,3 dBc Hz ⁻¹	-129,3 dBc Hz ⁻¹	-133,2 dBc Hz ⁻¹
DAC	2x AD9129	2x DAC5681	AD9144
ENOB Frequenz	620 MHz	180 MHz	300 MHz
ENOB	10,84 bit	9,67 bit	11,24 bit
NSD bezogen auf Ton	-134 dBc Hz ⁻¹	-128 dBc Hz ⁻¹	-137,5 dBc Hz ⁻¹

A.2 Datenauswertung

In diesem Abschnitt wird auf die Offline-Datenanalyse mit Optimalfilterung eingegangen, die nach der Messung verwendet wurde, um die Ergebnisse einzuordnen.

Signal Das Signal $s_m(n)$ der Länge N beschreibt den Inhalt eines Ereignis-Pakets und teilt sich in die folgenden drei Abschnitte:

$$s_m(n) = \begin{cases} s_{m,\text{pretrigger}}(n), & 0 \leq n < P - G \\ s_{m,\text{guard}}(n), & P - G \leq n < P \\ s_{m,\text{signal}}(n), & P \leq n < N \end{cases} \quad (\text{A.7})$$

Der Pretrigger-Abschnitt beinhaltet die Ausgangslinie und ggf. den Rest eines vorangehenden Ereignisses. Das Guard-Intervall enthält Teile der steigenden Flanke und das Signal-Intervall das Ereignis.

Optimalfilter Für die Filterung wird eine Modellfunktion zur Beschreibung des Signals gebildet. Da der Generator eine abfallende Exponentialfunktion mit einer Zeitkonstante τ vorgibt, wird diese als τ_{opt} angenommen:

$$p(n) = \sigma(n) \cdot e^{-\frac{n/f_s}{\tau_{\text{opt}}}} \quad (\text{A.8})$$

Um τ auf die Abtastfrequenz zu beziehen wird n auf die Abtastfrequenz f_s normiert. Anschließend wird das Signal mit der Funktion am Triggerzeitpunkt korreliert:

$$c = \sum_{n=P}^{N-1} p(n-P) \cdot \left(s_{m,\text{event}}(n) - E\{s_{m,\text{pretrigger}}\} \right) \quad (\text{A.9})$$

Baseline-Filter Dieser Filter verwirft Ereignisse, denen potentiell ein anderes Ereignis vorangeht. Hierfür wird zunächst der Durchschnittswert B aller Erwartungswerte $E\{s_{m,\text{pretrigger}}\}$, für die $\text{Var}\{s_{m,\text{pretrigger}}\} < S_{B\text{Var}}$ gilt, berechnet. $S_{B\text{Var}}$ ist eine Schranke, die Ereignisse mit einer großen Varianz in den Pretriggerwerten für den Baseline-Durchschnittswert ausschließt.

Für die Ereignisse, die im Spektrum aufgenommen werden, wird das Auswahlkriterium:

$$|E\{s_{m,\text{pretrigger}}\} - B| < S_{BE} \quad (\text{A.10})$$

gewählt, wobei ein starkes Abweichen von der durchschnittlichen Baseline B als ein Ereignis mit vorangehendem Puls gewertet wird.

Normierung Zur Bestimmung der Amplitude wird zunächst die Signalenergie der Optimalfilter-Funktion benötigt:

$$E_p = \sum_{n=0}^{N-P} p^2(n) \quad (\text{A.11})$$

Als Basis für die Normierung der Korrelationswerte auf die entsprechende Energie wird der Literaturwert der energieabhängigen Phasendrehung von $159,5 \text{ m}\Phi_0$ für $5,9 \text{ keV}$ verwendet [74].

$$\bar{c} = \frac{c}{E_p} \cdot \frac{5,9 \text{ keV}}{159,5 \text{ m}\Phi_0} \quad (\text{A.12})$$

Tabelle und Grafik zu Auswerteparametern

Konfiguration	τ_{opt}	S_{BE}	S_{BVar}	G	P
4 Ton, $\tau = 1,5 \text{ ms}$	1,451 ms	$0,2 \text{ m}\Phi_\pi$	$0,76 \mu\Phi_\pi^2$	6	125
4 Ton, $\tau = 2 \text{ ms}$	1,927 ms	$0,2 \text{ m}\Phi_\pi$	$0,76 \mu\Phi_\pi^2$	6	125
16 Ton, $\tau = 2 \text{ ms}$	1,927 ms	$0,2 \text{ m}\Phi_\pi$	$0,76 \mu\Phi_\pi^2$	6	125
80 Ton, $\tau = 2 \text{ ms}$	1,927 ms	$0,2 \text{ m}\Phi_\pi$	$0,76 \mu\Phi_\pi^2$	6	125

Tabelle A.1: Tabelle der Auswerteparameter

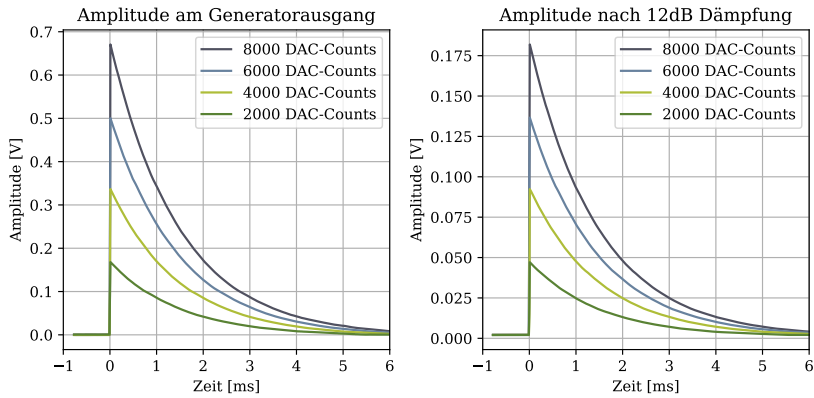


Abbildung A.1: Analyse der Ausgangssignale des CAEN® DT5810 Detektor-Emulators. Gemessen mit einem Tektronix® MDO4104C für verschiedene Amplitudenwerte und $\tau = 1,5$ ms.

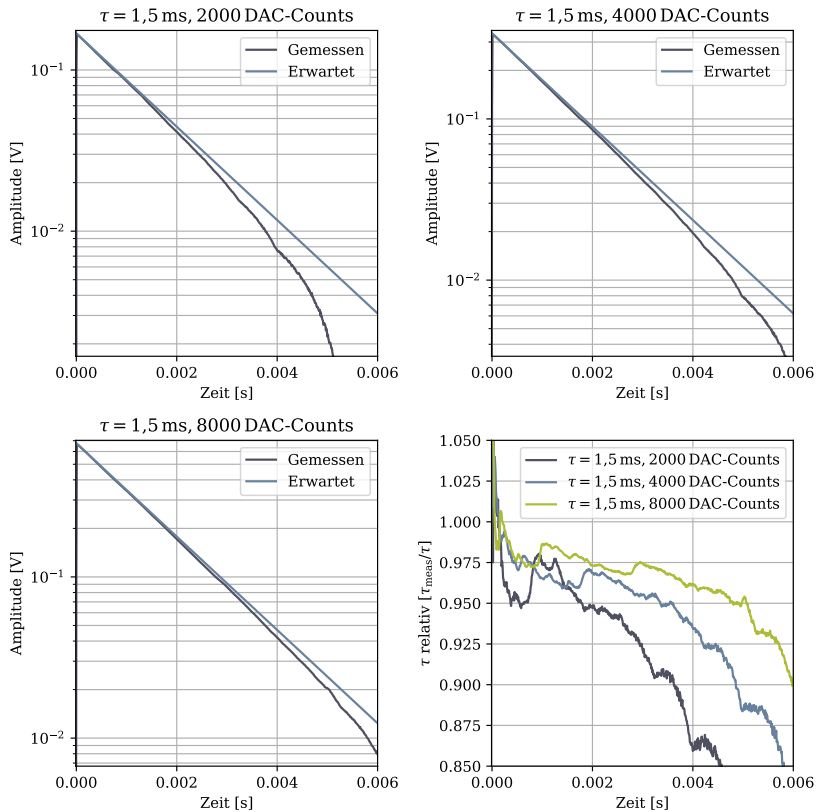


Abbildung A.2: Analyse der Ausgangssignale des CAEN® DT5810 Detektor-Emulators. Gemessen mit einem Tektronix® MDO4104C. Die relative Abweichung von den eingestellten Zerfallszeiten variiert mit der Ausgangsamplitude.

A.3 Tabellen

	Anzahl	CLB LUT	CLB Register	BRAM	DSP
Verarbeitungsketten	2	23371	39493	60,5	131
Signalgenerierung	2	528	576	32	
Rampengenerierung		585	1244		
JESD204 PHY	2	2071	3026		
JESD204 RX	2	3368	3322		
JESD204 TX	1	2984	2719		
AXI4-Infrastruktur		1711	1505		
Switches & DMA-Controller		3673	5699	39,5	
PLDDR4-Infrastruktur		10912	12737	25,5	3
Andere Infrastruktur		854	1513		
Gesamt		78146	117666	250	265
Belegung XCZU9EG[86]		28,5 %	21,5 %	27,4 %	10,5 %

Tabelle A.2: Ressourcen für ein Design mit einem AD- und einem DA-Wandler (ein I&Q-Paar). Da der DA-Wandler vier Kanäle besitzt, werden in diesem Design auf DA-Wandler-Seite zwei I&Q-Paare implementiert. Taktfrequenz 500 MHz (Die Ressourcenbelegung von gleichen Modulen ist nicht identisch, daher weicht die Summe LUTs und Register geringfügig voneinander ab). In dieser Konfiguration ist das AXI-Lite-Interface der JESD204 PHYs deaktiviert, dadurch ist der Ressourcenbedarf etwas niedriger.

	Anzahl	CLB LUT	CLB Register	BRAM	DSP
Verarbeitungsketten	4	22695	39097	60,5	131
Signalgenerierung	2	434	575	32	
Rampengenerierung		535	1238		
JESD204 PHY	2	2855	3817		
JESD204 RX	2	3367	3322		
JESD204 TX	1	2987	2719		
AXI4-Infrastruktur		1776	1512		
Switches & DMA-Controller		2754	4438	34,5	
PLDDR4-Infrastruktur		10131	11760	25,5	3
Andere Infrastruktur		819	1545		
Gesamt		123063	194894	366	527
Belegung XCZU9EG[86]		44,9 %	35,6 %	40,1 %	20,9 %

Tabelle A.3: Ressourcen für ein Design mit zwei AD- und einem DA-Wandler (zwei I&Q-Paare). Taktfrequenz 500 MHz (Die Ressourcenbelegung von gleichen Modulen ist nicht identisch, daher weicht die Summe LUTs und Register geringfügig voneinander ab).

	Anzahl	CLB LUT	CLB Register	BRAM	DSP
Verarbeitungsketten	2	23159	38831	60,5	119
Signalgenerierung	2	433	575	32	
Rampengenerierung		535	1238		
JESD204 PHY	2	2854	3817		
JESD204 RX	2	3363	3322		
JESD204 TX	1	2986	2719		
AXI4-Infrastruktur		1711	1505		
Switch & DMA-Controller		3097	4985	34,5	
PLDDR4-Infrastruktur		10139	11761	25,5	3
Andere Infrastruktur		902	2565		
Gesamt		221447	355339	608	955
Belegung XCZU9EG		80,8 %	64,8 %	66,7 %	37,9 %

Tabelle A.4: Ressourcen für ein Design mit zwei AD- und einem DA-Wandler (vier I&Q-Paare). Taktfrequenz 500 MHz bis zur Mehrkanal-DDC, danach 250 MHz (Die Ressourcenbelegung von gleichen Modulen ist nicht identisch, daher weicht die Summe LUTs und Register geringfügig voneinander ab).

	Anzahl	CLB LUT	CLB Register	BRAM	DSP
Verarbeitungskette	1	3067	6583	9	159
Signalgenerierung	1	1506	2464	72	
JESD204 PHY	2	3483	4710		
JESD204 RX	1	2943	3040		
JESD204 TX	1	2919	2606		
AXI4-Infrastruktur		1634	1503		
Switch & DMA-Controller		1952	2847	38	
PLDDR4-Infrastruktur		11030	14199	25,5	3
Andere Infrastruktur		627	1334		
Gesamt		32623	43996	144,5	162
Belegung XCZU9EG		11,9 %	8 %	15,8 %	6,4 %

Tabelle A.5: Ressourcen für ein Design mit der dc-SQUID-Auslese mit Flussrampen-Multiplex.

Konfiguration	Frequenzen
1 Ton	5 GHz + -40 MHz
4 Ton	5 GHz + {-120, -40, 35, 115}MHz
16 Ton	5 GHz + {-20·n, 20·n - 5}MHz für 0 < n < 9
80 Ton	5 GHz + {-10·n + 1, 10·n - 5}MHz für 0 < n < 41

Tabelle A.6: Verwendete Messtöne bei der Raumtemperaturmessung. Die Werte sind auf MHz gerundet ($n \in \mathbb{N}$).

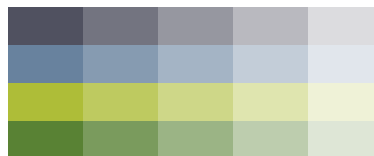


Tabelle A.7: Farbtabelle

A.4 Grafiken

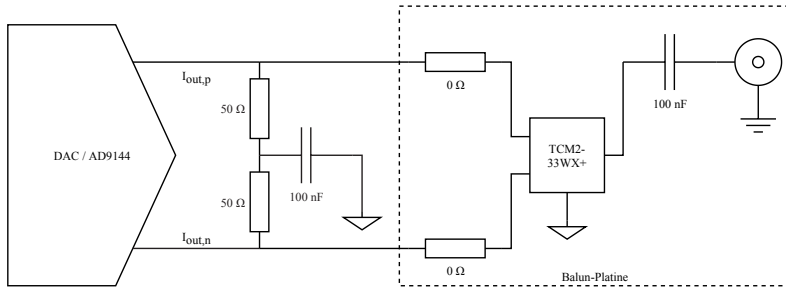
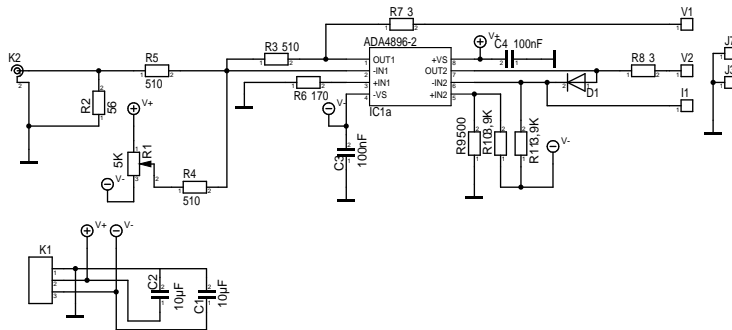


Abbildung A.3: Ankopplung des DA-Wandlers an den Modulator und an den Transformator



15.10.2021	Maßstab: 100,00%	Projekt: HMC 346 ALP3 EMV Spannungswandler
Jennifer Derschang		

Abbildung A.4: Spannungswandler für Messaufbau