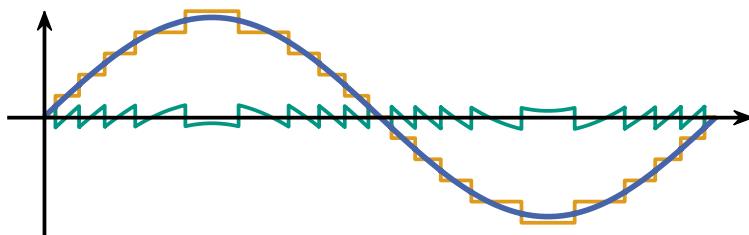
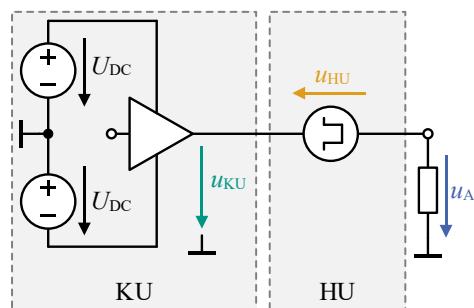


Rüdiger Schwendemann

Hochdynamischer Netzemulator auf Basis eines Serien-Hybrid-Umrichters



Hochdynamischer Netzemulator auf Basis eines Serien-Hybrid-Umrichters

Zur Erlangung des akademischen Grades eines
DOKTORS DER INGENIEURWISSENSCHAFTEN (Dr.-Ing.)
von der KIT-Fakultät für
Elektrotechnik und Informationstechnik
des Karlsruher Instituts für Technologie (KIT)
angenommene

DISSERTATION
von
M.Sc. Rüdiger Schwendemann
geb. in: Lahr/Schwarzwald

Tag der mündlichen Prüfung:

04. Februar 2025

Hauptreferent:

Prof. Dr.-Ing. Marc Hiller

Korreferent:

Prof. Dr.-Ing. Jörg Roth-Stielow
(Universität Stuttgart)

**Karlsruher Institut für Technologie (KIT)
Elektrotechnisches Institut (ETI)**

Zur Erlangung des akademischen Grades eines Doktors der Ingenieurwissenschaften von der KIT-Fakultät für Elektrotechnik und Informationstechnik des Karlsruher Instituts für Technologie (KIT) angenommene Dissertation
von M.Sc. Rüdiger Schwendemann, geb. in Lahr/Schwarzwald

Tag der mündlichen Prüfung: 04. Februar 2025

Hauptreferent: Prof. Dr.-Ing. Marc Hiller

Korreferent: Prof. Dr.-Ing. Jörg Roth-Stielow
(Universität Stuttgart)



This document is licensed under a Creative Commons
Attribution-ShareAlike 4.0 International License (CC BY-SA 4.0):
<https://creativecommons.org/licenses/by-sa/4.0/deed.en>

DOI: 10.5445/IR/1000181239

Vorwort

Die Idee zur Untersuchung eines Serien-Hybrid-Umrichter als hochdynamischen Netzemulator entstand im Jahr 2017 während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Elektrotechnischen Institut (ETI) des Karlsruher Instituts für Technologie (KIT). Aus der Idee entwickelte sich in mehrjähriger Tätigkeit ein neues Konzept für einen hochdynamischen Netzemulator mit niedrigem Oberschwingungsgehalt und der Fähigkeit das frequenzabhängige Verhalten eines Prüflings bis zu einer Frequenz von 100 kHz analysieren zu können. Die Funktionsfähigkeit des Konzepts wurde mit Hilfe eines aufgebauten Prototyps mit einer Leistung von 50 kVA demonstriert.

Die erfolgreiche Vollendung meiner Forschungsarbeit wäre ohne die umfassende Unterstützung aus meinem beruflichen und privaten Umfeld nicht realisierbar gewesen. Dafür möchte ich allen Beteiligten meinen herzlichsten Dank aussprechen.

Mein besonderer Dank gilt meinem Doktorvater, Prof. Dr.-Ing. Marc Hiller, für das Vertrauen, das er mir entgegengebracht hat, sowie für die Möglichkeit, in diesem spannenden und vielseitigen Themenbereich zu promovieren. Besonders schätze ich die kontinuierliche Unterstützung und die große Freiheit, die mir bei der Durchführung dieser Forschungsarbeit gewährt wurden, sowie die wertvollen fachlichen Diskussionen, von denen ich erheblich profitiert habe.

Zudem möchte ich mich bei Herrn Prof. Dr.-Ing. Jörg Roth-Stielow für sein Interesse an meiner Arbeit und die Übernahme des Korreferats bedanken.

Mein Dank gilt selbstverständlich all meinen Kolleginnen und Kollegen am ETI. Der offene und freundschaftliche Umgang hat nicht nur zu einem

Vorwort

angenehmen Arbeitsklima beigetragen, sondern auch durch zahlreiche Anregungen und Diskussionen die fachliche Grundlage für diese Arbeit geschaffen.

Ein besonderer Dank gilt in diesem Zusammenhang meinen Bürokollegen Fabian, Lukas und Daniel für die zahlreichen bereichernden Diskussionen und Anregungen, die hervorragende Arbeitsatmosphäre sowie die Unterstützung beim Aufbau des Teststands.

Mein Dank gilt auch den Studierenden, die durch ihre tatkräftige Unterstützung an diesem Projekt mitgewirkt haben. Zudem möchte ich der Werkstatt des ETIs für die angenehme Zusammenarbeit und die Unterstützung beim Aufbau des Teststands danken.

Nicht zuletzt möchte ich meiner Familie und Janina ganz besonders für die wertvolle Unterstützung während meiner Promotion danken, insbesondere für die unzähligen Stunden des Korrekturlesens und die Organisation einer großartigen Doktorfeier.

Kurzfassung

Die gegenwärtige Transformation der elektrischen Energieversorgung führt zu einer verstärkten Integration leistungselektronischer Systeme in das Energienetz. Diese Entwicklung führt zu vermehrten Interaktionen zwischen diesen Systemen. Um diese Interaktionen präzise vorhersagen zu können, ist es entscheidend, sowohl das frequenzabhängige Klemmenverhalten der Systeme für verschiedene Arbeitspunkte als auch ihr Verhalten in dynamischen Szenarien, wie beispielsweise bei Netzfehlern, zu kennen. Diese Analyse erfolgt mithilfe von Power Hardware-in-the-loop-Netzemulatoren. Aufgrund funktionaler Einschränkungen ist es mit den bestehenden Systemen jedoch nicht möglich, das Verhalten neuer, auf schnellschaltenden Halbleitern basierender Systeme bis in den benötigten Frequenzbereich zu analysieren. An dieser Stelle knüpft die vorliegende Arbeit an, indem ein neuartiges Konzept für einen Netzemulator entwickelt wird. Hierzu werden zunächst mögliche Systemarchitekturen betrachtet und die Vorteile der verwendeten Serien-Hybrid-Architektur herausgearbeitet. Im nächsten Schritt erfolgt die Konzeptionierung, Dimensionierung, Konstruktion und Charakterisierung eines auf der Serien-Hybrid-Architektur basierenden Netzemulators. Daraufhin erfolgt eine analytische Betrachtung einer closed-loop-Emulation eines Netzanschlusspunktes und der impedanzbasierte Stabilitätsanalyse des frequenzabhängigen Klemmenverhaltens mithilfe der harmonischen Impedanz. Zudem wird die Messmethodik zur Vermessung der harmonischen Impedanz beschrieben. Messungen, bei denen verschiedene Netzszenarien nachgebildet und die Ergebnisse der Vermessung der harmonischen Impedanz eines Umrichters ermittelt werden, quantifizieren schließlich die Qualität des entwickelten Netzemulators.

Inhaltsverzeichnis

1	Einleitung.....	1
1.1	Stand der Technik	4
1.1.1	PHIL-Umrichter für Netzemulation	5
1.1.2	Hybride Umrichterkonzepte	11
1.2	Zielsetzung der Arbeit.....	17
1.3	Gliederung der Arbeit	18
2	Konzeptionierung und Dimensionierung des PHIL-Systems	21
2.1	PHIL-Systemkonzept.....	21
2.1.1	Leistungselektronikkonzept.....	22
2.1.2	Signalverarbeitungs- und Softwarestruktur des PHIL-Systems.....	28
2.1.3	Steuerung des SHCHB-Umrichters als Emulator	30
2.2	Analyse der CHB-Zelle.....	35
2.2.1	Grundlagen des LLC-DC/DC-Wandlers	36
2.2.2	Analyse des LLC-DC/DC-Wandlers.....	38
2.2.3	Dimensionierung der CHB-Zelle inklusive des LLC-DC/DC-Wandlers	43

2.2.4	Betriebsführung des LLC-DC/DC-Wandlers und der CHB-Zelle.....	52
2.3	Analyse des Linearverstärkers	59
2.3.1	Grundlagen der analogen Schaltungstechnik	59
2.3.2	Konzeptionierung des Linearverstärkers	75
2.3.3	Dimensionierung des Linearverstärkers	86
2.3.4	Ansteuerung des Linearverstärkers	92
2.4	Dimensionierung des Spannungssteilheitsfilters.....	95
3	Versuchsaufbau und Charakterisierung des SHCHB-Umrichters	101
3.1	Messequipment	102
3.2	Signalverarbeitungssystem	102
3.2.1	Zentrales Signalverarbeitungssystem (CCU)	102
3.2.2	Dezentrale Kontrolleinheit (LCU).....	104
3.2.3	LPA-Sollwertgenerator und Temperaturregelungseinheit	104
3.3	PHIL-Leistungsteil.....	106
3.3.1	CHB-Zellen	106
3.3.2	Linearverstärker	110
3.3.3	du/dt -Filter.....	117
3.4	PHIL-System	118
3.5	Prüfling.....	128
4	Analytische Beschreibung der closed-loop-Emulation	131
4.1	Übertragungsfunktionen des PHIL-Prüfstands	133
4.2	Schnittstellenalgorithmus	135
4.2.1	ITM-Algorithmus.....	137
4.2.2	PCD-Algorithmus	137

4.2.3	TLM-Algorithmus.....	139
4.2.4	TFA-Algorithmus	140
4.2.5	DIM-Algorithmus	143
4.2.6	FSF-Algorithmus und DITM-Algorithmus.....	144
4.3	Bewertungskriterien für die verschiedenen Schnittstellenalgorithmen.....	146
5	Harmonische Impedanz und impedanzbasierte Stabilitätsanalyse	149
5.1	Grundlagen der impedanzbasierten Stabilitätsuntersuchung	150
5.2	Messverfahren zur Ermittlung des frequenzabhängigen Verhaltens	152
5.3	Modellierung eines 2L-Umrichters mit LCL-Filter	156
6	Analyse der verschiedenen Prüfszenarien.....	163
6.1	Emulation eines schwachen Netzanschlusspunkts	163
6.1.1	Stabilitätsbetrachtung der Netzemulation für verschiedene Schnittstellenalgorithmen	165
6.1.2	Analyse der Genauigkeit und Bandbreite der Netzemulation für verschiedene Schnittstellenalgorithmen	168
6.1.3	Umsetzung des Netzmodells auf dem SoC-System	169
6.1.4	Messtechnische Validierung des Netzmodells.....	174
6.2	Nachbildung von Netzfehlern.....	176
6.2.1	Spannungsfehlerfall	176
6.2.2	Harmonisch verzerrtes Netz und Frequenzfehler	181
6.3	Vermessung des frequenzabhängigen Verhaltens.....	183
6.3.1	Vermessung eines passiven DUTs	183
6.3.2	Vermessung eines 2L-Umrichters mit LCL- Netzfilter	187

7 Zusammenfassung	191
A Anhang.....	195
A.1 Herleitung der Kenngrößen der drei Grundschaltungen	195
A.1.1 Emitterschaltung	195
A.1.2 Kollektorschaltung	199
A.1.3 Basisschaltung	200
A.2 Herleitung der Differenzverstärkerstufenkenngrößen	203
A.3 Herleitung der Ausgangsstufenkenngrößen	206
A.4 Herleitung des Ausgangswiderstands der Stromquelle.....	207
A.5 Stromspiegel als Active Load	209
A.6 Analyse der Kaskodenschaltung	216
A.7 Analyse der Darlington-Schaltung.....	219
A.8 Analyse der Triple Emitterfolger Ausgangsstufe	222
A.9 Herleitung der Umrichterimpedanz mittels Forward Return Loop Methode.....	227
A.10 Beschreibung der verwendeten ETI-SoC- Erweiterungskarten	230
A.10.1 ADC-Karte.....	230
A.10.2 IO-Karte.....	230
A.10.3 LWL-Karte und Phasen-FPGA-Karte	231
A.10.4 Dig2Diff-Karte.....	232
Symbolverzeichnis.....	233
Abkürzungen.....	233
Formelzeichen	236
Abbildungsverzeichnis	257
Tabellenverzeichnis	267
Literaturverzeichnis	269

1

Einleitung

Aufgrund der zunehmenden dezentralen Energieerzeugung durch erneuerbare Energien und des Anstiegs von umrichtergespeisten Lasten nimmt die Durchdringung des Stromnetzes durch leistungselektronische (LE) Systeme stetig zu [1, 2]. Als Folge dieses Strukturwandels kommt es vermehrt zu Interaktionen zwischen den LE-Systemen in verschiedenen Anwendungen. Dazu gehören beispielsweise Oberschwingungen in Offshore-Windanlagen [3], Wechselwirkungen zwischen einzelnen Reglern paralleler Umrichtern untereinander oder mit ihren Netzfiltern [4], durch Schalthandlungen angeregte Resonanzen [5] bis hin zu instabilem Verhalten von Umrichtern in großen Photovoltaikanlagen [6]. Der jeweils wirksame Frequenzbereich dieser Phänomene hängt von den beteiligten Komponenten innerhalb der LE-Systeme ab. In Abbildung 1.1 sind die typischerweise in LE-Systemen auftretenden charakteristischen Frequenzbereiche dargestellt [7].

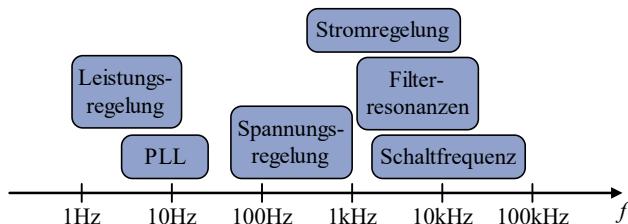


Abbildung 1.1: Charakteristische Frequenzbereiche der verschiedenen physikalischen Komponenten sowie Regelkreise eines LE-Systems

Es ist zu erkennen, dass die Frequenzbereiche der Phänomene, die durch die Stromregelung, Filterresonanzstellen oder Schalthandlungen hervorgerufen werden, bis in den hohen zweistelligen Kilohertzbereich reichen können.

Um das Auftreten dieser Phänomene zu vermeiden, sollten elektrische Betriebsmittel, insbesondere LE-Systeme, vor der Installation im Feld auf mögliche Interaktionen und instabiles Verhalten überprüft werden. Dafür ist ein leistungsfähiges Prüfsystem erforderlich, das in der Lage ist, die verschiedenen Netzsituationen zu emulieren und gleichzeitig das Verhalten der elektrischen Betriebsmittel in diesen Netzsituationen zu analysieren. Dabei stehen insbesondere Netzfehler im Fokus, ebenso wie transiente Spannungsschwankungen und -unterbrechungen, Netzunsymmetrien, harmonisch verzerrte Netzspannungen sowie instabile bzw. schwache Netze.

Des Weiteren muss das Prüfsystem auch in der Lage sein, das frequenzabhängige Klemmenverhalten des elektrischen Betriebsmittels, im Folgenden als Prüfling (DUT, engl.: *Device Under Test*) bezeichnet, zu analysieren. Dieses frequenzabhängige Klemmenverhalten wird auch als harmonische Impedanz bezeichnet. Die Kenntnis der harmonischen Impedanz des DUTs und des Netzausschlusspunkts NAPs, an dem der DUT später betrieben wird, ermöglicht es, mithilfe einer impedanzbasierten Stabilitätsanalyse zu überprüfen, ob ein stabiler Betrieb des DUTs in Verbindung mit dem NAP möglich ist [8]. Darüber ermöglicht die harmonische Impedanz die Vorhersage von Interaktionen des DUTs mit anderen elektrischen Betriebsmitteln.

Um die harmonische Impedanz zu bestimmen, muss das Prüfsystem Testsignale generieren. Diese Signale werden auf die gewünschte Ausgangsspannung, beispielsweise ein dreiphasiges 400 V-System, aufmoduliert. Anschließend wird die Reaktion des DUTs auf die Testsignale gemessen. Die höchste Genauigkeit wird dabei durch die Verwendung eines sinusförmigen Testsignals erzielt [9, 10].

Zur Nachbildung der unterschiedlichen Netzsituationen gibt es verschiedene Prüfsysteme basierend auf Transformatoren, Generatoren oder in Reihe geschaltete Impedanzen [11–13]. Diese Prüfsysteme weisen jedoch nicht die notwendige Flexibilität auf, um alle genannten Netzsituationen für verschiedene Parameter nachzubilden zu können. Des Weiteren sind sie auch nicht fähig, die benötigten sinusförmigen Testsignale auf die nachzubildende Netzspannung aufzumodulieren. Um alle geforderten Netzsituationen nachzubilden und die benötigten sinusförmigen Testsignale zu erzeugen, wird ein auf Leistungselektronik basierendes Prüfsystem benötigt, welches eine höhere Flexibilität

und einen höheren Funktionsumfang als die oben erwähnten Prüfsysteme aufweist [11, 13]. Das benötigte Verhalten wird dabei nicht durch die Veränderung der Hardware des Prüfsystems erreicht, sondern durch Änderung eines softwareseitigen Modells. Ein solches Prüfsystem wird als *Power Hardware-in-the-Loop* (PHIL)-System bezeichnet. Abbildung 1.2 zeigt die schematische Darstellung eines PHIL-Prüfstands.

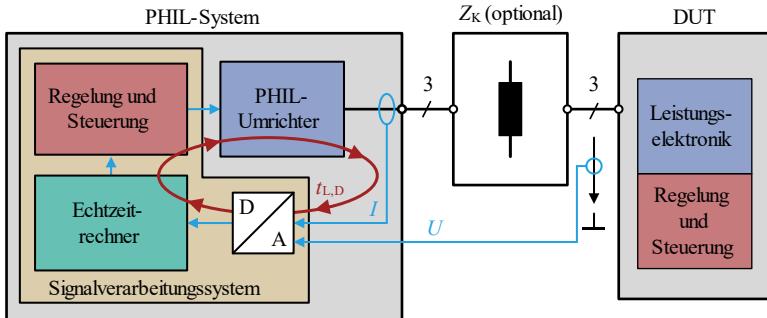


Abbildung 1.2: Schematische Darstellung eines PHIL-Prüfstands

Im Echtzeitrechner des PHIL-Systems wird ein Modell mit dem nachzubildenden Verhalten berechnet. Hierzu werden abhängig von dem nachzubildenden Verhalten der Strom I , die Spannung U oder beide Werte des elektrischen DUTs gemessen. Die gemessenen Werte werden dem Echtzeitrechner für die Berechnung des Modells übergeben. Mithilfe des Modells werden Sollwerte für den PHIL-Umrichter generiert, die an die Regelung und Steuerung des PHIL-Umrichters übermittelt werden. Diese verarbeiten die Sollwerte entsprechend, sodass der PHIL-Umrichter die gewünschten Spannungs- oder Stromwerte an seinen Klemmen zur Verfügung stellt. Die eingezeichnete Koppelimpedanz Z_K zwischen PHIL-System und DUT wird nur benötigt, wenn das PHIL-System einen Ausgang mit Stromquellencharakteristik zur Verfügung stellen soll. Diese Art der Nachbildung der verschiedenen Netzsituationen wird als closed-loop-Emulation bezeichnet, da für die Berechnung des Klemmenverhaltens des PHIL-Systems im Echtzeitrechner das Verhalten des DUTs berücksichtigt wird. Mit einem solchen PHIL-Prüfstand können somit alle genannten Netzsituationen nachgebildet bzw. emuliert werden.

Aus den beschriebenen Prüfszenarien lassen sich mehrere Eigenschaften ableiten, die das PHIL-System aufweisen muss.

Für eine exakte Nachbildung von Netzfehlern bis in zweistelligen Kilohertz-
bereich wird ein hochdynamisches PHIL-System mit einer möglichst kurzen
Latenz $t_{L,D}$ sowie einer möglichst hohen Bandbreite B_{PHIL} und Spannungsflan-
kensteilheit SR benötigt.

Das PHIL-System sollte in der Lage sein, die verschiedenen länderspezi-
fischen Niederspannungsnetze nachbilden zu können. Aufgrund der Varianz
erer Nennspannungen und Nennfrequenzen müssen sowohl Ausgangsspan-
nung als auch Ausgangsfrequenz des PHIL-Systems frei einstellbar sein.

Des Weiteren ist eine galvanische Trennung innerhalb des PHIL-Systems not-
wendig, sodass ein Betrieb auch für den Fall eines Potentialbezugs des DUTs
möglich ist. Eine exakte Nachbildung setzt zudem eine möglichst kleine Aus-
gangsimpedanz des PHIL-Systems voraus, damit der DUT keinen ungewollten
Einfluss auf die Ausgangsspannung des PHIL-Systems hat.

Aufgrund der zunehmenden Bedeutung von Gleichspannungsnetzen, die z.B.
bei größeren Ladeparks für E-Fahrzeuge verwendet werden, soll die Vermes-
sung eines DUTs sowohl für Wechselspannung (AC-Spannung) als auch für
Gleichspannung (DC-Spannung) möglich sein. Somit ist es erforderlich, dass
das PHIL-System neben der Erzeugung eines dreiphasiges Wechselspan-
nungssystems auch eine Gleichspannung am Ausgang zur Verfügung stellen
kann.

Bei der Bestimmung des frequenzabhängigen Klemmenverhaltens des DUTs
muss die Ausgangsspannung des PHIL-Systems zudem einen geringen Ober-
schwingungsgehalt (THD, engl.: Total Harmonic Distortion) aufweisen, um
das gemessene Klemmenverhalten nicht zu verfälschen.

Zur Erfüllung aller beschriebenen Eigenschaften und Anforderungen wird im
Rahmen dieser Arbeit ein neuartiges Konzept eines PHIL-Systems auf Basis
eines Serien-Hybrid-Umrichters entwickelt.

1.1 Stand der Technik

Zum besseren Verständnis der Arbeit wird nachfolgend der aktuelle Stand der
Technik von bereits existierenden PHIL-Systemen unter Betrachtung ihrer
Vor- und Nachteile diskutiert. Darauf aufbauend wird das Konzept der Hybrid-
Umrichter vorgestellt und mögliche Vorteile dieses Konzepts für die Anwen-
dung in einem PHIL-Prüfstand werden erläutert.

1.1.1 PHIL-Umrichter für Netzemulation

Existierende PHIL-Umrichter können in zwei Hauptkategorien unterteilt werden: taktende Umrichter und lineare Umrichter. Die jeweiligen spezifischen Eigenschaften dieser beiden Arten von Umrichtern führen bei deren Verwendung als Netzemulatoren zu unterschiedlichen Vor- und Nachteilen, die nachfolgend beleuchtet werden.

Taktende PHIL-Umrichter

Bei den taktenden PHIL-Umrichtern existieren verschiedene Topologien. Im einfachsten Fall kann, wie in Abbildung 1.3 dargestellt, ein 2-Level (2L) Spannungswischenkreisumrichter (VSC, engl.: Voltage Source Converter) verwendet werden. Der PHIL-Umrichter lässt sich dabei in zwei Funktionsgruppen unterteilen: die Einspeisung inkl. galvanischer Trennung und der eigentliche Emulator, der die gewünschte Ausgangsspannung erzeugt. Die galvanische Trennung erfolgt meist mit einem 50 Hz Transformator auf der Einspeisungsseite.

In [14–17] werden auf 2L-VSC basierende PHIL-Umrichter als Netzemulatoren verwendet, um unsymmetrische Netze, Spannungseinbrüche oder Spannungsharmonische niedriger Ordnung nachzubilden.

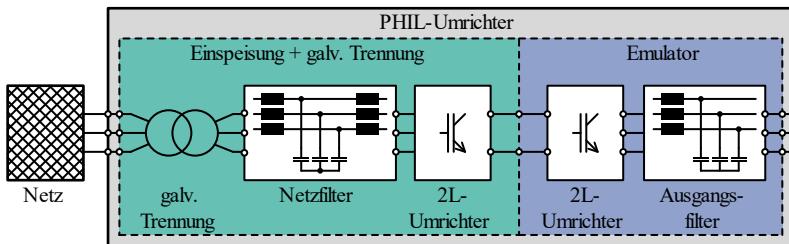


Abbildung 1.3: PHIL-Umrichter auf Basis eines 2L-Umrichters

Der primäre Nachteil dieser PHIL-Umrichter besteht darin, dass das Ausgangsfilter aufgrund des hohen harmonischen Anteils in der Ausgangsspannung des 2L-VSC eine deutlich niedrigere Grenzfrequenz aufweisen muss, als die verwendete Schaltfrequenz $f_{s,PHIL}$, um eine Ausgangsspannung mit einem geringen Oberschwingungsgehalt zu erzeugen. Die in [14–17] verwendeten 2L-VSCs nutzen Si-basierte Bipolartransistoren mit isolierter Gate-Elektrode (IGBT, engl.: Insulated-Gate Bipolar Transistor) und weisen eine Schaltfrequenz $f_{s,PHIL}$ von circa 10 kHz auf. Die dazugehörigen Ausgangsfilter haben

lediglich eine Grenzfrequenz von 260 Hz bis 900 Hz. Aufgrund dieser niedrigen Bandbreite und der damit verbundenen niedrigen Spannungssteilheit des Emulators sind weder eine hochdynamische Nachbildung eines Netzfehlers noch die Erzeugung von sinusförmigen Testsignalen im zweistelligen kHz-Bereich möglich. Selbst durch die Erhöhung der Schaltfrequenz auf 200 kHz durch die Verwendung von Siliziumcarbid-Metall-Oxid-Halbleiter-Feldeffekttransistoren (SiC-MOSFET, engl.: Metal Oxide Semiconductor Field-Effect Transistor), wie in [18, 19] dargestellt, liegt die erreichbare Klein-signalbandbreite maximal bei 2 kHz und ist somit ebenfalls unzureichend.

Eine Verbesserung der Bandbreite, der Spannungssteilheit und der Spannungsqualität wird durch die Verwendung von Multilevelumrichtern erreicht. Hierbei werden hauptsächlich die Modularen Multilevel Umrichter (MMC), die Kaskadierten H-Brücken (CHB) Umrichter sowie die sogenannten Modularen-Multiphasen-Multilevel Umrichter (MMPMC) verwendet. Letztere basieren auf parallelen Halbbrücken. In Abbildung 1.4 ist der Emulatorteil eines PHIL-Umrichters basierend auf einem MMPMC dargestellt.

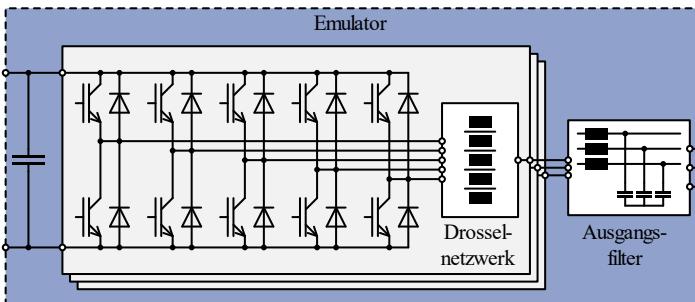


Abbildung 1.4: Emulator basierend auf einem Multilevelumrichter aus mehreren parallelen Halbbrücken (MMPMC)

Mit Hilfe des Drosselnetzwerks, welches einen induktiven Spannungsteiler darstellt, können bei N parallelen Zweigen $N + 1$ Ausgangsniveaus generiert werden. Um ein möglichst ideales Spannungsquellenverhalten zu erreichen, wird das Drosselnetzwerk mit gekoppelten Induktivitäten aufgebaut [20, 21]. Dadurch ist nur die Streuinduktivität als Ausgangsinduktivität wirksam. Die Topologie wird sowohl für die Emulation von Maschinen [21–23], als auch für die Emulation von Netzen verwendet [D1, 20]. Der Unterschied besteht darin, dass ein zusätzliches Ausgangsfilter nach dem Drosselnetzwerk für die Emulation von Netzen eingesetzt wird, um den Oberschwingungsgehalt der Ausgangsspannung zu reduzieren.

Dieses Konzept ermöglicht eine einfache Skalierung des Ausgangsstroms und somit auch der Ausgangsleistung des Systems durch die Parallelschaltung mehrerer Halbbrücken. Des Weiteren beträgt die Modulationsfrequenz der Ausgangsspannung im Idealfall das N -Fache der Schaltfrequenz einer Halbbrücke. Das in [D1] vorgestellte System erreicht dabei eine Modulationsfrequenz von circa 125 kHz mit einer maximalen Spannungsflankensteilheit von 12,6 V/ μ s und einer Kleinsignalbandbreite von 15 kHz. Die Latenz bei einer Sollwertänderung beträgt 28 μ s.

Abbildung 1.5 a) zeigt das Konzept eines Emulators basierend auf einem MMC. Im Gegensatz zum vorherigen System kann der MMC durch Hinzufügen zusätzlicher Zellen in der Spannung und somit in der Leistung skaliert werden. Er eignet sich daher auch als Emulator für höhere Spannungen. Es können $2 \cdot N + 1$ Ausgangsspannungs niveaus generiert werden und die Modulationsfrequenz der Ausgangsspannung beträgt näherungsweise das N -Fache der Schaltfrequenz der Halbleiter. Dadurch ist wie beim MMPMC eine hohe Bandbreite und Dynamik am Ausgang erreichbar.

In [24, 25] wird ein Netzemulator auf Basis eines MMCs verwendet, um unsymmetrische Netzsituationen sowie Netzfehler zu emulieren. Dabei werden die in Abbildung 1.5 a) gezeigten Zweiginduktivitäten L_Z gleichzeitig als Filterinduktivität benutzt, weshalb das Ausgangsfilter nur noch aus einer Kapazität besteht.

In [26] wird ein MMC mit rechteckförmiger Einspeisung beschrieben, der so genannte SPMC (siehe Abbildung 1.5 c). Hier werden gekoppelte Induktivitäten als Zweiginduktivitäten L_Z verwendet, wodurch die Ausgangsimpedanz des MMCs klein ist. Des Weiteren erfolgt die Einspeisung über einen Mittelfrequenz-Transformator bei einer Frequenz von 1,25 kHz mit einer rechteckförmigen Spannung [27]. Dies bietet den Vorteil, dass kein 50 Hz Transformator zur galvanischen Trennung benötigt wird und der MMC ebenfalls zur Erzeugung von Gleichspannungen verwendet werden kann. Bei dem klassischen MMC wäre das aufgrund sehr großer Symmetrierungsströme nicht sinnvoll möglich [28]. Die Modulationsfrequenz der Ausgangsspannung dieses MMCs beträgt circa 120 kHz. Die erreichbare Dynamik und Bandbreite sind somit vergleichbar mit der des MMPMC.

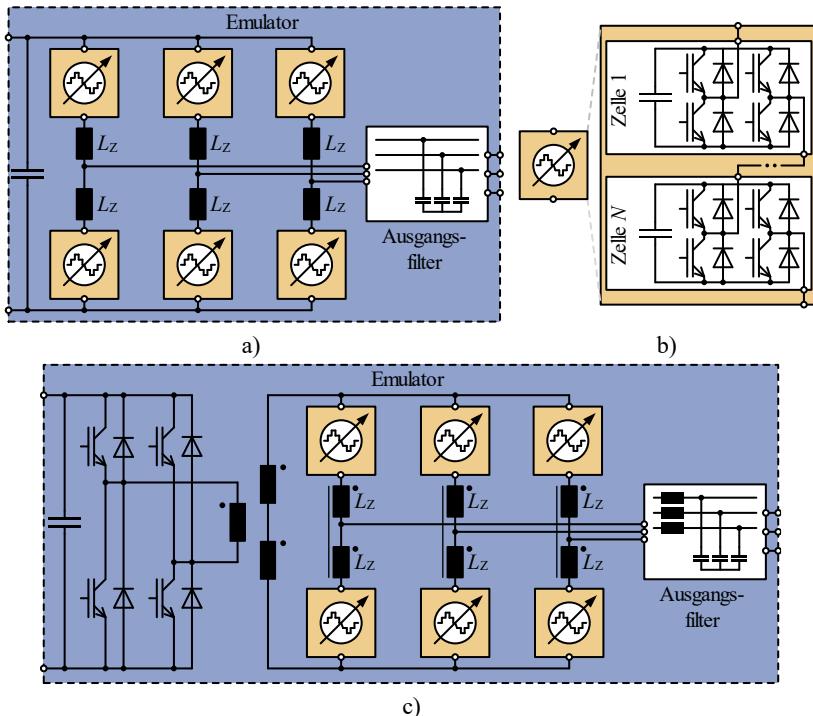


Abbildung 1.5: a) Emulator basierend auf einem Modularen Multilevel Umrichter (MMC); b) Zweig eines MMC; c) Emulator basierend auf einem Modularen Multilevel Umrichter mit rechteckförmiger Einspeisung (SPMMC)

Neben dem MMC und MMPMC gibt es auch PHIL-Systeme, die auf einem CHB-Umrichter basieren. In Abbildung 1.6 ist die schematische Darstellung eines 1-phasigen CHB-Umrichters zu sehen, der z.B. in [29] beschrieben wird. Beim CHB-Umrichter erfolgt die galvanische Trennung entweder, wie in der Abbildung 1.6 dargestellt, durch einen 50 Hz Mehrwicklungstransformator oder in jeder Zelle separat durch einen galvanisch trennenden Gleichspannungswandler (DC/DC-Wandler), wie z.B. in [E1, 30].

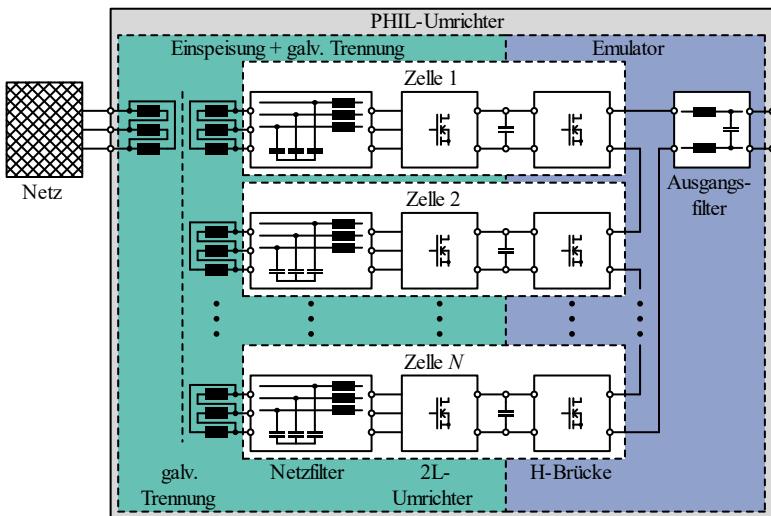


Abbildung 1.6: PHIL-Umrichter basierend auf einem CHB-Umrichter

Der in [29] vorgestellte 1-phasige Prototyp besteht aus sechs Zellen und hat eine Leistung von 10 kW. Die erzielte Bandbreite und Spannungsflankensteilheit liegen mit 100 kHz bzw. $50 \text{ V}/\mu\text{s}$ deutlich höher als die der bisherigen schaltenden PHIL-Systeme. Diese hohe Dynamik wird mit Hilfe einer sehr hohen Schaltfrequenz von 300 kHz pro Halbleiter bzw. einer effektiven Modulationsfrequenz von 3,6 MHz am Ausgang erreicht.

Lineare PHIL-Umrichter

Neben den vorgestellten schaltenden PHIL-Umrichtern existieren auch lineare PHIL-Umrichter. Eine schematische Darstellung eines linearen Emulators, basierend auf einem Klasse AB-Verstärker, ist in Abbildung 1.7 dargestellt. Abhängig von der Polarität des Ausgangstroms leiten bei diesem linearen Emulator entweder die oberen oder die unteren Transistoren. Die Differenz zwischen der gewünschten Ausgangsspannung und der Zwischenkreisspannung fällt dabei über den Transistoren ab. Dies führt insbesondere für eine kapazitive oder induktive Last aufgrund des Phasenversatzes der Ausgangsspannung zum Ausgangsstrom zu sehr hohen Verlusten. Die höchste Verlustleistung tritt jedoch bei einem rückspeisenden DUT auf, da der Linearverstärker (LPA, engl.: Linear Power Amplifier) nicht rückspeisefähig ist und somit die gesamte rückzuspeisende Energie in Form von Verlusten innerhalb des LPAs abgeführt wird. Da dies ein wichtiger Betriebsmodus für einen Netzemulator darstellt, ist

die maximale Leistung eines linearen PHIL-Umrichters begrenzt [13]. Des Weiteren führen die hohen Verluste zu sehr großen Systemen mit geringer Leistungsdichte und den höchsten Kosten pro Watt [13].

Die Vorteile von linearen PHIL-Umrichtern sind ihre hohe Bandbreite und Spannungssteilheit sowie der geringe Oberschwingungsgehalt ihrer Ausgangsspannung und ihre geringe Latenz [31]. So erreicht der in [D2] vorgestellte lineare Umrichter eine Bandbreite von 50 kHz und eine Flankensteilheit von 52 V/ μ s bei einem maximalen Klirrfaktor von 0,2 % für eine Ausgangsspannung von 240 V. Des Weiteren benötigen lineare PHIL-Umrichter keinen Ausgangsfilter, wodurch die Rückwirkung der Last auf die Ausgangsspannung des PHIL-Umrichters geringer ausfällt als bei schaltenden PHIL-Umrichtern.

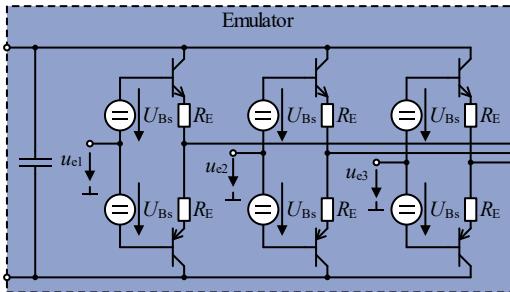


Abbildung 1.7: Schematische Darstellung eines Emulators basierend auf einem Linearverstärker

Vergleich von schaltenden und linearen PHIL-Umrichtern

Die schaltenden PHIL-Umrichter auf Basis von Multilevelumrichtern zeichnen sich durch ihre einfache Skalierbarkeit aus. Hierdurch können Systeme bis in den Megawattbereich sowie bis in einen zweistelligen Kilovoltbereich konstruiert werden [32, 33]. Des Weiteren weisen sie einen deutlich höheren Wirkungsgrad sowie eine höhere Leistungsdichte verglichen mit linearen PHIL-Umrichtern auf. Ein weiterer großer Vorteil, insbesondere für Netzemulatoren, gegenüber linearen Systemen besteht in der Rückspeisefähigkeit von schaltenden PHIL-Umrichtern.

Lineare Systeme bieten den Vorteil, dass sie deutlich höhere Bandbreiten, größere Spannungsflankensteilheiten sowie geringere Latenzen und einen niedrigeren Oberschwingungsgehalt erreichen [31]. Es ist jedoch zu beachten, dass durch immer höhere Schaltfrequenzen bei schaltenden PHIL-Systemen sich der Ausgangsfilter reduziert. Dadurch nähern sich die Bandbreite und

Spannungsflankensteilheit dieser Systeme zunehmend denen linearer Systeme an. So weist der in [29] vorgestellte schaltende PHIL-Umrichter eine ähnliche Bandbreite und Spannungsflankensteilheit wie bereits vorhandene lineare Systeme auf. Der inhärente Nachteil von schaltenden PHIL-Systemen eines notwendigen Ausgangsfilters besteht jedoch auch bei diesem System. Dadurch besitzt der PHIL-Umrichter eine große Ausgangsimpedanz bei der Eigenfrequenz des Ausgangsfilters und es entsteht eine ungewollte Rückwirkung des DUTs auf die Ausgangsspannung des PHIL-Umrichters [30]. Dies ist vor allem bei der Emulation von Netzfehlern von Nachteil, da in diesem Fall dynamische Spannungssprünge generiert werden, die durch die Rückwirkung des DUTs auf die Ausgangsspannung des PHIL-Umrichters verfälscht werden.

Im Allgemeinen lässt sich festhalten, dass ein linearer PHIL-Umrichter zwar eine dynamischere und geringer verzerrte Ausgangsspannung als ein schaltender PHIL-Umrichter erzeugen kann, gleichzeitig aber teurer ist, eine geringere Leistungsdichte aufweist und in seiner Ausgangsleistung begrenzt ist.

1.1.2 Hybride Umrichterkonzepte

Ein Hybridumrichter besteht aus zwei Teilumrichtern: einem Hauptumrichter (HU), der den größten Teil der Ausgangsleistung bereitstellt, und einem Korrekturmrichter (KU), der die Verzerrungen des Hauptumrichters kompensiert [34: S. 162ff]. Abhängig von der Wahl der verwendeten Teilumrichter kann zwischen einem rein schaltenden Hybridumrichter, bei dem zwei schaltende Umrichter kombiniert werden, und dem klassischen Hybridumrichter, bei dem ein schaltender Umrichter mit einem LPA kombiniert wird, unterschieden werden. Neben dieser Unterscheidung existiert zudem eine Klassifizierung hinsichtlich der Verschaltungart der beiden Teilumrichter. Hierbei kann zwischen drei hybriden Schaltungskonzepten unterschieden werden: der Parallel Hybrid Converter (PHC), der Series Hybrid Converter (SHC) und der Envelope Hybrid Converter (EHC) [35: S. 20ff].

Parallel Hybrid Converter (PHC)

Das Konzept des PHCs ist in Abbildung 1.8 a) und die dazugehörigen Strom- und Spannungsverläufe sind in Abbildung 1.8 b) dargestellt. Der Korrekturmrichter ist parallel zum HU angeordnet. Der Ausgangstrom i_A entspricht der Summe des Ausgangstroms des KUs i_{KU} und des HUs i_{HU} . Beide Umrichter müssen für die gesamte Ausgangsspannung u_A ausgelegt sein. Der KU arbeitet beim PHC als Spannungsquelle und definiert die Ausgangsspannung

des gesamten Hybridumrichters u_A . Dadurch wird der HU von der Last entkoppelt. Dies führt zu zwei Vorteilen von Hybridumrichtern, die unabhängig davon gelten, ob ein PHC, EHC oder SHC betrachtet wird. Zum einen kann für die Auslegung der Regelung des HUs die Last vernachlässigt werden. Zum anderen definiert der KU die Ausgangsimpedanz des Hybridumrichters, weshalb für das Kleinsignalverhalten lediglich die Charakteristik des KUs betrachtet werden muss.

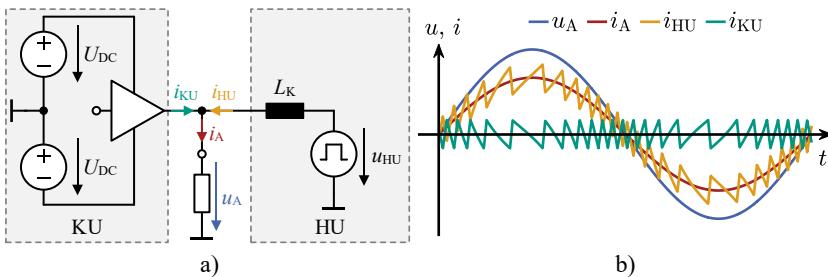


Abbildung 1.8: Parallel Hybrid Converter (PHC): a) Ersatzschaltbild, b) Strom- und Spannungsverläufe

Der HU ist stromgeregt und sieht die vom KU erzeugte Spannung als Gegenspannung. Der HU übernimmt den größten Teil des Ausgangsstroms i_A , sodass der KU nur den Verzerrungsblindstrom des HUs zur Verfügung stellen muss [E2, E3, 36]. Dies gilt jedoch nicht in allen Betriebsfällen, sodass eine Fallunterscheidung zwischen Groß- und Kleinsignalfall sowie zwischen Strom- und Spannungsverhalten durchgeführt werden muss. Für das Ausgangsspannungsverhalten definiert der KU sowohl im Klein- als auch im Großsignalfall das Verhalten des PHIL-Umrichterausgangs. Da der KU jedoch nicht für den gesamten Ausgangsstrom ausgelegt ist, muss beachtet werden, dass die Dynamik des HUs für den Großsignalfall des Ausgangsstroms entscheidend ist [E4]. Die Dynamik des HUs ist beim PHC geringer, da dieser möglichst effizient und mit einer hohen Leistungsdichte aufgebaut wird. Dies kann bei einem dynamischen Lastwechsel dazu führen, dass der KU im Extremfall bis zum doppelten Nennstrom führen muss [36, 37] bzw. in einem Fehlerfall der gesamte Fehlerstrom über den KU fließt, was zur Zerstörung des KUs führen kann.

In [37] wird der erste Aufbau eines parallelen Hybridumrichters mit einer Leistung von 100 W, einer Ausgangsspannung von 20 V und einer Grenzfrequenz von etwa 100 kHz vorgestellt. Weitere Systeme mit geringerer Leistung werden in [38, 39] erwähnt. Zudem wird in [40] ein System mit 1 kW und einer

Bandbreite von 10 kHz beschrieben. Alle Aufbauten sind dabei als 1-phasiger Prototyp konzipiert.

In [E4, E5, 41] wird der Aufbau des ersten 3-phasigen, schaltenden PHC beschrieben. Dabei werden ein 2L-VSC als HU und ein CHB-Umrichter mit 17 Ausgangsspannungsniveaus als KU verwendet. Das System wird als Maschinenemulator mit einer Ausgangsleistung von 50 kVA und einer Schaltfrequenz des KUs von circa 500 kHz und des HUs von circa 10 kHz eingesetzt.

Envelope Hybrid Converter (EHC)

Beim EHC stellt der HU eine variable Versorgungsspannung, bestehend aus u_{Neg} und u_{Pos} , für den KU zur Verfügung. Wie in Abbildung 1.9 zu sehen ist, wird die Versorgungsspannung so geregelt, dass sie die gewünschte Ausgangsspannung umhüllt. Hierdurch werden der Spannungsabfall über dem KU minimiert und die Verluste reduziert. Da die Versorgungsspannung der Ausgangsspannung u_A folgen muss, muss neben dem KU auch der HU eine sehr hohe Dynamik besitzen. Entsprechend wird der HU mit einer sehr hohen Schaltfrequenz betrieben [36]. Der KU liefert beim EHC den gesamten Ausgangstrom i_A . Des Weiteren wird bei der Auslegung des KUs vorausgesetzt, dass dieser die gesamte Ausgangsspannung u_A sperren muss [30].

Der EHC wird für Systeme kleinerer Leistung eingesetzt, beispielsweise im Bereich von batteriebetriebenen Anwendungen, um deren Laufzeit zu verlängern oder als Verstärker für piezoelektrische Sensoren [29, 36]. Die Leistung liegt im Bereich von 0,2 bis 50 W [42–45]. Neben diesen Anwendungen gibt es auch Untersuchungen mit höheren Leistungen. So wird in [46, 47] ein 500 W EHC mit einer Ausgangsspannung von 60 V und einer maximal getesteten Ausgangsfrequenz von 2,5 kHz bei einer Schaltfrequenz des HU von 200 kHz vorgestellt. [35, 48, 49] beschreiben einen 1 kW EHC mit einer Ausgangsspannung von 115 V und einer maximal getesteten Ausgangsfrequenz von 1 kHz bei einer Schaltfrequenz des HUs von 100 kHz. Alle Systeme sind als 1-phasiger Prototyp aufgebaut.

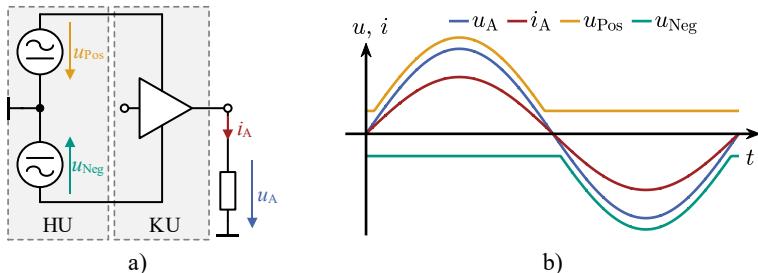


Abbildung 1.9: Envelope Hybrid Converter (EHC): a) Ersatzschaltbild, b) Strom- und Spannungsverläufe

Series Hybrid Converter (SHC)

Das grundlegende Schaltungskonzept des SHCs ist in Abbildung 1.10 a) dargestellt. Beim SHC ist der KU in Serie zum Hauptumrichter geschaltet. Beide Umrichter müssen in der Lage sein, den gesamten Ausgangstrom i_A zu führen. Die Ausgangsspannung u_A entspricht der Summe beider Teilspannungen u_{HU} und u_{KU} , wie in Abbildung 1.10 b) zu sehen ist. Der größte Teil der Ausgangsspannung wird dabei vom HU gestellt. Der KU muss die Differenz zwischen der gewünschten Ausgangsspannung u_A und der Spannung des HU u_{HU} zur Verfügung stellen und kann deshalb für eine kleinere Spannung als die Ausgangsspannung u_A ausgelegt werden. Hinsichtlich der erreichbaren Dynamik muss eine Fallunterscheidung durchgeführt werden. So wird das Kleinsignalverhalten des SHCs durch den KU bestimmt. Für das Großsignalverhalten ist hingegen die Charakteristik des HUs entscheidend, da der KU nur für einen kleinen Teil der gesamten Ausgangsspannung u_A ausgelegt wird.

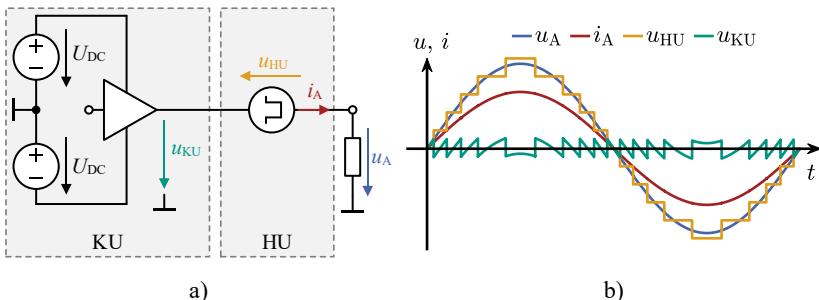


Abbildung 1.10: Series Hybrid Converter (SHC): a) Ersatzschaltbild, b) Strom- und Spannungsverläufe

Die häufigste Anwendung für das Konzept des SHCs sind DC-Laborversorgungen. Dabei besteht das Ziel darin den Spannungsripple des schaltenden HUs zu kompensieren, um eine möglichst glatte DC-Spannung zu erzeugen [34: S. 273].

Neben dieser Anwendung wurden mehrere einphasige Prototypen zur Erzeugung einer dynamischen Wechselspannung mit geringem Oberschwingungsgehalt entwickelt. Eine Übersicht der entwickelten einphasigen SHC ist in Tabelle 1.1 zu finden.

Tabelle 1.1: Übersicht der entwickelten einphasigen SHCs

Referenz	Leistung	Spannung	Bandbreite
[36, 50]	500 W	155 V	1,2 kHz
[30, 35]	1000 W	270 V	10 kHz
[51, 52]	1000 W	311 V	400 Hz
[53]	5000 W	180 V	1,5 kHz

Neben diesen klassischen SHCs wurden auch rein schaltende SHCs aufgebaut. Dabei gibt es zwei verschiedenen Topologien. Bei der ersten Topologie wird ein schnell taktender KU, typischerweise eine H-Brücke, direkt in Serie zum HU eingefügt. Neben einer theoretischen Analyse dieses Konzepts in [20, 54–56] erfolgt in [35, 57] auch eine experimentelle Validierung.

Bei der zweiten Topologie des rein schaltenden SHCs wird der KU über einen Transformator zwischen HU und Ausgang eingefügt. Dieses Prinzip wird verwendet, um ein 2 MW-System zur Emulation eines Niederspannungsnetzes mit einer Ausgangsspannung von 325 V aufzubauen [58]. Die Schaltfrequenz des HUs beträgt 2,5 kHz und die des KUs 8 kHz.

Gegenüberstellung der hybriden Umrichterkonzepte hinsichtlich der Eignung als Netzemulator

Der EHC hat den Vorteil, dass ausschließlich der LPA die Ausgangsspannung definiert. Hierdurch kann theoretisch eine hochdynamische Ausgangsspannung mit einem geringen Oberschwingungsgehalt erzeugt werden, was für die Emulation von Netzen und Netzfehlern notwendig ist. Dabei ist zu berücksichtigen, dass hierzu die Dynamik der Versorgungsspannung ähnlich der des LPAs sein muss. Dafür sind hohe Schaltfrequenzen notwendig [36], was dem hybriden Konzept widerspricht, einen langsameren HU mit hoher

Leistungsdichte und hohem Wirkungsgrad mit einem hochdynamischen KU zu kombinieren. Problematisch an der Verwendung eines EHCs als PHIL-System ist zudem, dass die Bauteile des LPAs für die gesamte Ausgangsspannung sowie für den gesamten Ausgangstrom ausgelegt sein müssen. Dies erschwert eine Dimensionierung des LPAs für einen Netzemulator mit hoher Leistung und Spannung aufgrund der Bauteilauswahl [35: S. 74, 36, 59].

Beim klassischen PHC sowie beim rein schaltenden PHC wird der Ausgang, genau wie beim EHC, durch den KU bestimmt. Dadurch kann ebenfalls eine hochdynamische Spannungsquelle mit geringen Oberschwingungsgehalt generiert werden [36]. Aufgrund der parallelen Struktur ist es allerdings möglich, dass Störimpulse des HUs nicht vom KU kompensiert werden können und folglich die Ausgangsspannung gestört wird [30]. Ein weiteres Problem des klassischen PHCs besteht wie beim EHC darin, dass der LPA für die gesamte Ausgangsspannung ausgelegt werden muss. Das ist aufgrund der vorhandenen Bauteilauswahl bei den benötigten Spannungen problematisch [36].

Zusätzlich muss der KU beim PHC bei dynamischen Sollwertänderungen, wie z.B. bei den zu emulierenden Netzfehlern, die gesamte Leistung des System zur Verfügung stellen [36, 37]. Dies führt zu einer Überdimensionierung des KUs und widerspricht damit der Nutzung eines PHCs für die vorhandene Anwendung. Des Weiteren müssen für mögliche Überstromszenarien, die z.B. durch den DUT in einem dynamischen Netzfehlerfall erzeugt werden, zusätzliche Schutzorgane installiert werden. Diese Schutzorgane müssen den KU vor der Zerstörung schützen, da der PHC in seiner Grundstruktur dazu nicht in der Lage ist. Aus diesen genannten Gründen wird die Verwendung eines PHCs (klassisch und rein schaltend) für die angestrebte Anwendung nicht in Betracht gezogen.

Beim SHC ist der Schutz vor einem Überstromszenario durch die Verschaltung des HUs in Serie zum KU gewährleistet, da der HU den KU vom DUT trennen kann. Durch die Verwendung eines Multilevelumrichters als HU kann die Versorgungsspannung des LPAs beim klassischen SHC entsprechend reduziert werden, wodurch die Verluste des LPAs den Systemwirkungsgrad nur noch geringfügig beeinflussen [29]. Des Weiteren ist eine Überdimensionierung des LPAs wie beim PHC nicht notwendig, da die Versorgungsspannung des LPAs beim SHC festgelegt wird und auch in dynamischen Betriebsfällen eine Überlastung des LPAs ausgeschlossen wird. Dies führt jedoch dazu, dass die Dynamik des HUs beim SHC für einen Großsignalsprung der Ausgangsspannung bestimmend ist, da der LPA nur einen kleinen Teil der Großsignaländerung

beisteuern kann. Aufgrund dieser Einschränkung muss der SHC die entsprechende Dynamik bereitstellen, um die nachzubildenden dynamischen Netzfehlerfälle zu erzeugen.

Die weitaus größere Bandbreite wird jedoch für die Erzeugung der sinusförmigen Spannungstestsignale zur Analyse des frequenzabhängigen Klemmenverhaltens des DUTs benötigt. Da diese Testsignale jedoch Kleinsignale sind [60, 61] und somit im einstelligen Prozentbereich der Gesamtausgangsspannung liegen, muss bei der Dimensionierung des LPAs nur garantiert werden, dass er diesen Spannungsbereich abdeckt. Somit können seine hohe Bandbreite und Dynamik für die Messung genutzt werden.

Im Vergleich zum schaltenden SHC weist der klassische SHC eine höhere Bandbreite und Dynamik sowie eine geringere Ausgangsimpedanz und einen niedrigeren Oberschwingungsgehalt auf [30, 35: S. 199ff]. Aus diesen Gründen wird das Konzept des klassischen SHCs für das zu entwickelnde PHIL-System weiterverfolgt.

1.2 Zielsetzung der Arbeit

Im Rahmen dieser Arbeit soll ein hochdynamischer PHIL-Prüfstand entwickelt, aufgebaut und betrieben werden, der als Netzemulator fungiert, um das Verhalten eines DUTs unter verschiedenen Netzsituationen zu analysieren. Besonderes Augenmerk liegt hierbei auf der Analyse des Verhaltens bei möglichen Netzanomalien, wie z.B. harmonisch verzerrte oder unsymmetrische Netzspannungen, Spannungseinbrüche oder -erhöhungen sowie schwache bzw. instabile Netzanschlusspunkte. Zur Analyse des DUTs soll der entwickelte PHIL-Prüfstand zudem in der Lage sein, sinusförmige Spannungstestsignale zu generieren. Die Analyse soll dabei sowohl für DUTs mit Wechselspannungs- als auch mit Gleichspannungsanschluss möglich sein. Folglich muss der PHIL-Prüfstand sowohl ein Wechsel- als auch ein Gleichspannungssystem generieren können. Aufgrund der zunehmenden Schaltfrequenz der DUTs und der damit auch höheren Bandbreite, muss das PHIL-System auch eine höhere Dynamik und Bandbreite bei einer geringeren Latenz erzielen, als dies mit bereits vorhandenen PHIL-Systemen möglich ist.

Als Basistopologie für dieses PHIL-System wird ein SHC verwendet, da mit diesem, wie in Kapitel 1.1 beschrieben, gute Resultate mit einphasigen Prototypen kleiner Leistungen erzielt wurden und die inhärenten Eigenschaften des

SHCs vorteilhaft für die vorhandene Anwendung sind, insbesondere für die Erzeugung sinusförmiger Testsignale.

Das zu entwickelnde PHIL-System soll eine Analyse von Netzumrichtern, die am europäischen Niederspannungsnetz angeschlossen werden, sowohl auf der AC- als auch DC-Seite ermöglichen. Hierzu muss das PHIL-System in der Lage sein, das dreiphasige, europäische Niederspannungssystem mit einer Nennspannung von $400\text{ V} \pm 10\%$ bereitzustellen. Des Weiteren sollen Netzteilnehmer mit einer Leistung von bis zu 50 kVA getestet werden. Das für die Analyse des frequenzabhängigen Verhaltens eines DUTs verwendete sinusförmige Testsignal soll eine Amplitude von mindestens 10 % der Nennspannung von 400 V bei einer Frequenz von bis zu 100 kHz besitzen. Die Latenz des PHIL-Systems bei einer closed-loop-Emulation soll kleiner als 1 μs sein.

Bei der Verwendung des SHCs für diese Leistung liegt ein besonderes Augenmerk auf den verwendeten LPA, da sie eine hohe Verlustleistung generieren und sie für die Leistungsfähigkeit des SHCs maßgeblich sind [30]. Folglich muss für den LPA ebenfalls ein neuartiges Konzept entwickelt werden, da kommerziell verfügbare LPA die geforderten Eigenschaften nicht erfüllen, um einen Serien-Hybrid-Umrichter mit den genannten Leistungsdaten aufbauen zu können.

1.3 Gliederung der Arbeit

In der vorliegenden Dissertation wird in Kapitel 2 die Topologie und das Konzept des verwendeten Serien-Hybrid-Umrichters vorgestellt, dem Series Hybrid Cascaded H-Bridge (SHCHB) Umrichter. Daran anschließend werden die Signalverarbeitungs- und Softwarestruktur sowie die Betriebsführung des SHCHB-Umrichters als PHIL-Umrichter beschrieben. Es folgt eine detaillierte Untersuchung der drei Hauptkomponenten des Leistungspfads. Die Hauptkomponenten sind die CHB-Zellen, die Spannungssteilheitsfilter (du/dt -Filter) und die LPAs. Um die Anforderungen, die an den LPA als Teil des SHCHB-Umrichters gestellt werden, bestmöglichst zu erfüllen, wird für den LPA ein neues Linearverstärkerkonzept entwickelt.

In Kapitel 3 folgt die Beschreibung der praktischen Umsetzung des SHCHB-Umrichters sowie die Verifizierung der in Kapitel 2 hergeleiteten analytischen Beschreibungsformen. Des Weiteren erfolgt eine Charakterisierung der entwickelten Hardware. Hierbei werden sowohl quasistationäre als auch dynamische Messungen durchgeführt. Anhand dieser Messungen kann die

Leistungsfähigkeit des PHIL-Systems basierend auf dem SHCHB-Umrichter validiert werden.

In Kapitel 4 erfolgt die analytische Betrachtung der closed-loop-Emulation unter Verwendung des SHCHB-Umrichters. Hierzu werden die korrespondierenden Übertragungsfunktionen der entwickelten Hardware hergeleitet. Des Weiteren wird der Einfluss von verschiedenen Schnittstellenalgorithmen (IA, engl.: Interface Algorithm) auf Stabilität und Genauigkeit der closed-loop-Emulation betrachtet. Abschließend werden mögliche Bewertungskriterien vorgestellt, anhand derer eine Gegenüberstellung der verschiedenen IAs erfolgt.

Neben der closed-loop-Emulation wird das entwickelte PHIL-System auch zur Analyse des frequenzabhängigen Verhaltens eines DUTs verwendet. Dieses Verhalten wird auch als harmonische Impedanz des DUTs bezeichnet. In Kapitel 5 werden die Grundlagen der impedanzbasierten Stabilitätsuntersuchung erläutert und das entwickelte Messverfahren zur Bestimmung der harmonischen Impedanz eines DUTs beschrieben. Zusätzlich wird ein analytisches Modell eines DUT-Umrichters hergeleitet, um dessen harmonische Impedanz zu berechnen.

Daran anschließend werden in Kapitel 6 die verschiedenen Prüfszenarien betrachtet, für die der SHCHB-Umrichter konzeptioniert ist. Hierzu zählen die closed-loop-Emulation eines Netzanschlusspunktes und die Nachbildung verschiedener Netzfehlerfälle. Des Weiteren wird das entwickelte Messverfahren zur Bestimmung der harmonischen Impedanz anhand von Messungen validiert.

Abschließend fasst das Kapitel 7 die Ergebnisse der vorliegenden Arbeit über den SHCHB-Umrichter als Vermessungs- und PHIL-System zusammen. Zudem wird anhand der gewonnenen Erkenntnisse ein Ausblick auf zukünftige Forschungs- und Anwendungsmöglichkeiten gegeben.

2

Konzeptionierung und Dimensionierung des PHIL-Systems

Im folgenden Kapitel wird das Konzept des entwickelten PHIL-Systems zur Netzemulation auf Basis eines Serien-Hybrid-Umrichters (SHC) erläutert. Zunächst erfolgt eine Analyse der Leistungselektronikstruktur und die Auswahl der Topologie des schaltenden HUs. Anschließend werden die Signalverarbeitungs- und Softwarestruktur sowie die Betriebsführung des Serien-Hybrid-Umrichters als Emulator erörtert. Eine detaillierte Untersuchung der einzelnen Teilkomponenten, bestehend aus dem HU, dem Spannungssteilheitsfilter und dem KU, schließt sich an. Dabei wird ein neues Konzept eines Linearverstärkers für den KU entwickelt.

2.1 PHIL-Systemkonzept

PHIL-Systeme bestehen grundsätzlich aus drei Hauptkomponenten: der Leistungselektronik, der Signalverarbeitung und der Software [E6]. Für eine performante closed-loop-Emulation ist ein PHIL-System mit niedriger Latenz $t_{L,D}$ und hoher Bandbreite B_{PHIL} erforderlich. Um dies zu erreichen, sind alle drei Komponenten von Bedeutung. Aus diesem Grund werden nachfolgend die Leistungselektronik-, die Signalverarbeitungs- sowie die Softwarestruktur näher analysiert.

2.1.1 Leistungselektronikkonzept

Im Folgenden wird das Leistungselektronikkonzept des entwickelten PHIL-Umrichters vorgestellt, der auf einem SHC basiert, und es werden mögliche Topologien für den Hauptumrichter des SHCs hinsichtlich ihrer Eignung für die vorhandene Anwendung erörtert.

Der Hauptumrichter des SHCs sollte als Multilevelumrichter ausgelegt sein, damit der LPA, wie in Kapitel 1.1.2 beschrieben, lediglich einen geringen Anteil der Ausgangsspannung bereitstellen muss. Aufgrund der Anforderung neben eines Wechselspannungssystems auch ein Gleichspannungssystem erzeugen zu können, ist die Verwendung eines MMCs aufgrund der hohen Symmetrierungsströme nicht zielführend [28]. Der MMPMC kann grundsätzlich eine Gleichspannung stellen. Es muss jedoch berücksichtigt werden, dass aufgrund des verwendeten Drosselnetzwerks nach Abbildung 1.4 die Verschaltung der Drosseln durchgehend variiert werden muss, um eine Sättigung zu verhindern. Dies führt bei der Erzeugung einer Gleichspannung zu zahlreichen Umschaltungen des Drosselnetzwerks, was Spannungssprünge am Ausgang des MMPMC verursacht. Diese müssen vom LPA kompensiert werden, was wiederum höhere Verluste und einen erhöhten Oberschwingungsgehalt in der Ausgangsspannung zur Folge hat [S1]. Für den entwickelten SHC wird daher ein CHB-Umrichter verwendet, da die notwendigen Umschaltungen durch die vorhandene Einspeisung der Zellen auf ein Minimum reduziert werden. Der resultierende Emulationsumrichter bestehend aus CHB-Umrichter, Spannungsflankensteilheitsfilter (du/dt -Filter) und LPA wird nachfolgend als *Series Hybrid Cascaded H-Bridge* (SHCHB) Umrichter bezeichnet. Das Blockschaltbild des entwickelten PHIL-Systems inklusive des SHCHB-Umrichters ist in Abbildung 2.1 dargestellt.

Die CHB-Zellen werden jeweils über einen galvanisch trennenden LLC-DC/DC-Wandler versorgt. Die primärseitige Eingangsspannung von 660 V des LLC-DC/DC-Wandlers $U_{DC,p}$ wird wiederum von drei parallel geschalteten 2L-VSCs, die als aktiver Netzgleichrichter (Active-Front-End: AFE) fungieren, zur Verfügung gestellt.

Zur Erzeugung der Ausgangsspannung werden pro Phase N CHB-Zellen zu einem Strang in Serie geschaltet. Die drei Stränge bilden die Spannungen $\mathbf{u}_{CHB} = [u_{CHB,1} \ u_{CHB,2} \ u_{CHB,3}]^T$. Dabei werden die drei unteren Ausgangsklemmen der drei Stränge zu einem Sternpunkt 0 zusammengefasst, der als Klemme zur Verfügung steht.

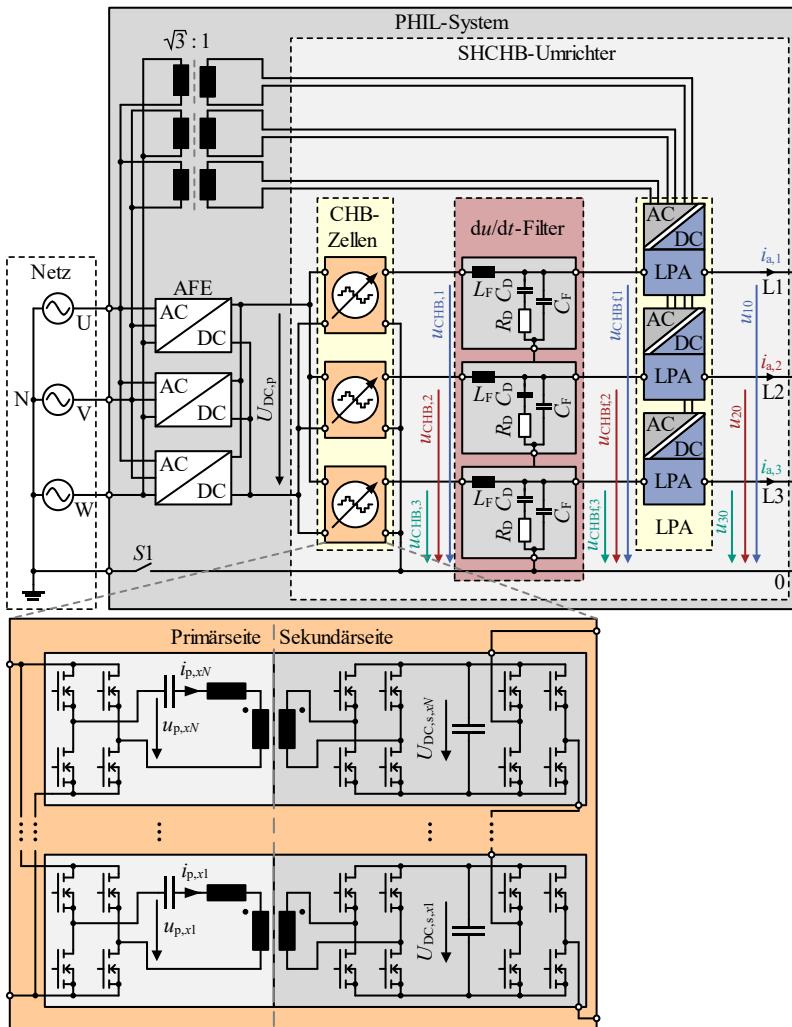


Abbildung 2.1: Blockschaltbild des PHIL-Systems bestehend aus Netzeinspeisung (AFE) und SHCHB-Umrichter

Der Sternpunkt 0 kann mit dem entwickelten Konzept, abhängig von der gewünschten Anwendung, mit dem Schalter $S1$ geerdet oder potentialfrei ausgeführt werden.

An den oberen Ausgangsklemmen der drei Stränge wird jeweils ein du/dt -Filter eingebaut, an deren Ausgängen wiederum die gefilterten Spannungen $\mathbf{u}_{\text{CHBF}} = [u_{\text{CHBF},1} \ u_{\text{CHBF},2} \ u_{\text{CHBF},3}]^T$ anliegen. Die Flankensteilheit dieser Spannungen ist so weit reduziert, dass die LPAs in der Lage sind, die Sprungantworten der du/dt -Filter zu kompensieren. Dadurch sind am dreiphasigen Ausgang des PHIL-Umrichters u_{x0} ($x = \{1,2,3\}$) idealerweise keine Spannungssprünge mehr sichtbar, die durch die Taktung der CHB-Zellen verursacht werden. Die LPAs erzeugen die Spannungen $u_{\text{LPA},x}$ und werden zwischen den du/dt -Filtern und dem dreiphasigen Ausgang des PHIL-Umrichters eingefügt (siehe Abbildung 2.1). Jeder der drei LPAs wird von einem einphasigen, galvanisch trennenden AC/DC-Umrichter versorgt. Diese Umrichter sind über einphasige 400 V-zu-230 V-Transformatoren mit dem Anschlusspunkt des PHIL-Systems verbunden.

Diese Verschaltung der CHB-Zellen, der du/dt -Filter und der LPAs unterscheidet sich von den bisherigen Aufbauten, bei denen die LPAs am Sternpunkt 0 angeschlossen werden [35, 50–52, 59]. Die einphasigen Blockschaltbilder der beiden möglichen Verschaltungskonzepte sind in Abbildung 2.2 dargestellt. Das bisher genutzte Konzept hat den Vorteil, dass die LPAs keinen Spannungssprüngen ausgesetzt werden und ein definiertes Bezugspotential besitzen. Hierdurch ist der Aufwand für die Spannungsversorgung der LPAs sowie für das Isolationsmanagement innerhalb der LPAs geringer. Diese Verschaltung wirkt sich jedoch negativ auf die Stabilität und erreichbare Dynamik aus. Dies lässt sich mit Hilfe der Regelungstechnischen Signalflussdiagramme der beiden Verschaltungarten erklären, die in Abbildung 2.3 illustriert sind. Die Übertragungsfunktion des LPAs G_{LPA} kann dabei aufgrund der deutlich höheren Bandbreite des LPAs auf seine Leerlaufverstärkung $A_{V0,\text{LPA}}$ reduziert werden. Es gilt:

$$G_{\text{LPA}}(s) = A_{V0,\text{LPA}} \quad (2.1)$$

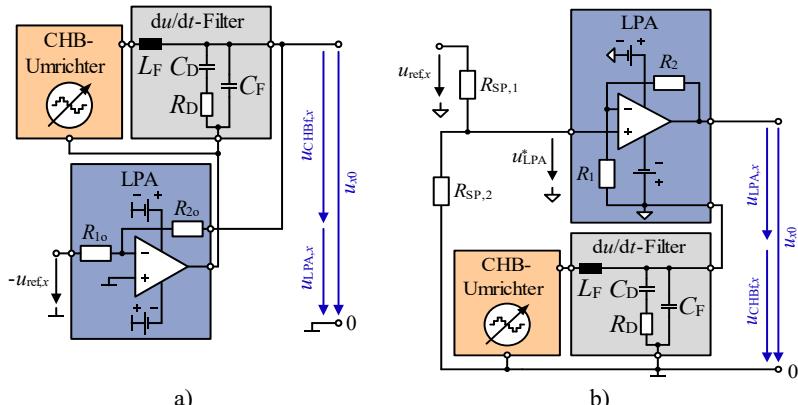


Abbildung 2.2: Einphasige Darstellung der Verschaltungskonzepte des SHCHB-Umrichters: a) bisher genutztes SHC-Konzept, b) in dieser Arbeit verwendete SHC-Konzept

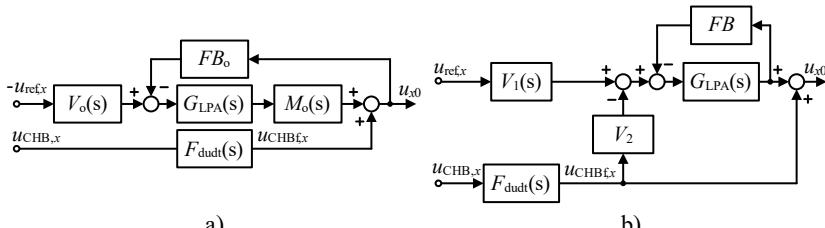


Abbildung 2.3: Regelungstechnisches Signalflussdiagramm: a) des bisher genutzten SHC-Konzepts, b) des in dieser Arbeit verwendeten SHC-Konzepts

Die Übertragungsfunktion F_{dudt} beschreibt die Filterwirkung des du/dt -Filters. V_0 , V_1 und V_2 sind die Übertragungsfunktionen der einzelnen Spannungsteiler. Die Rückkoppelpfade werden durch die Übertragungsfunktionen FB und FB_0 beschrieben. Beim bisher verwendeten Konzept existiert zusätzlich noch eine Übertragungsfunktion M_o . Für die genannten Übertragungsfunktionen gelten folgende Zusammenhänge:

$$F_{\text{dudt}}(s) = \frac{\frac{1}{C_F \cdot s} \left(R_D + \frac{1}{C_D \cdot s} \right)}{\frac{1}{C_F \cdot s} \left(R_D + \frac{1}{C_D \cdot s} \right) + (L_F \cdot s) \cdot \left(R_D + \frac{1}{C_D \cdot s} + \frac{1}{C_F \cdot s} \right)} \quad (2.2)$$

$$V_0(s) = \frac{R_{2o} + Z_{\text{CHB}}(s)}{R_{1o} + R_{2o} + Z_{\text{CHB}}(s)} \quad (2.3)$$

$$V_1(s) = \frac{R_{SP,2} + Z_{CHB}(s)}{R_{SP,1} + R_{SP,2} + Z_{CHB}(s)} \quad (2.4)$$

$$V_2 = \frac{R_{SP,1}}{R_{SP,1} + R_{SP,2}} \quad (2.5)$$

$$FB_o = \frac{R_{1o}}{R_{1o} + R_{2o}} \quad (2.6)$$

$$FB = \frac{R_1}{R_1 + R_2} \quad (2.7)$$

$$M_o(s) = \frac{R_{1o} + R_{2o}}{R_{1o} + R_{2o} + Z_{CHB}(s)} \quad (2.8)$$

wobei Z_{CHB} der Ausgangsimpedanz der CHB-Zellen einschließlich des du/dt -Filters entspricht und wie folgt berechnet wird:

$$Z_{CHB}(s) = \frac{(R_{CHB,x} + s \cdot L_F) \cdot \left(1 + \frac{1}{s \cdot R_D \cdot C_D}\right)}{s^2 \cdot C_F \cdot L_F + s \cdot \frac{L_F}{R_D} \left(1 + \frac{C_F}{C_D}\right) + s \cdot R_{CHB,x} \cdot C_F + \frac{R_{CHB,x}}{R_D} \left(1 + \frac{C_F}{C_D}\right) + \left(1 + \frac{1}{s \cdot R_D \cdot C_D}\right)} \quad (2.9)$$

Der Widerstand $R_{CHB,x}$ kann nach Gleichung (2.16) berechnet werden und entspricht dem wirksamen Widerstand aller CHB-Zellen einer Phase. Mit Hilfe der ermittelten Übertragungsfunktionen können die offenen Übertragungsfunktionen der LPA-Regelkreise für das bisherige Konzept $G_{O,LPA,o}$ sowie für das hier verwendete Konzept $G_{O,LPA}$ abgeleitet werden. Ebenso lassen sich die entsprechenden geschlossenen Sollwertübertragungsfunktionen $G_{IO,LPA,o}$ und $G_{IO,LPA}$ ableiten.

$$G_{O,LPA,o}(s) = A_{LPA} \cdot FB_o \cdot M_o(s) = A_{V0,LPA} \cdot \frac{R_{1o}}{R_{1o} + R_{2o} + Z_{CHB}(s)} \quad (2.10)$$

$$G_{O,LPA}(s) = A_{LPA} \cdot FB = A_{V0,LPA} \cdot \frac{R_1}{R_1 + R_2} \quad (2.11)$$

$$G_{IO,LPA,o}(s) = \frac{u_{x0}}{-u_{ref,x}} = \frac{V_o(s) \cdot M_o(s)}{1/A_{V0,LPA} + M_o(s) \cdot FB_o} \quad (2.12)$$

$$G_{IO,LPA}(s) = \frac{u_{x0}}{u_{ref,x}} = \frac{V_1(s)}{1/A_{V0,LPA} + FB} \quad (2.13)$$

Unter der Annahme, dass der Kehrwert der Leerlaufverstärkung des LPAs $1/A_{V,LPA}$ sehr klein ist, können die Sollwertübertragungsfunktionen vereinfacht werden zu:

$$G_{IO,LPA,0}(s) \cong V_o(s) \cdot \frac{1}{FB_0} = \frac{R_{20} + Z_{CHB}(s)}{R_{10} + R_{20} + Z_{CHB}(s)} \cdot \frac{R_{10} + R_{20}}{R_{10}} \quad (2.14)$$

$$G_{IO,LPA}(s) \cong V_1(s) \cdot \frac{1}{FB} = \frac{R_{SP,2} + Z_{CHB}(s)}{R_{SP,1} + R_{SP,2} + Z_{CHB}(s)} \cdot \frac{R_1 + R_2}{R_1} \quad (2.15)$$

Nach Gleichung (2.14) und (2.15) führt die Ausgangsimpedanz der CHB-Zellen unabhängig von der Verschaltungsart zu einer Verfälschung der gewünschten Sollwertübertragungsfunktion. Da Z_{CHB} für den verwendeten Frequenzbereich deutlich kleiner als $R_{SP,2}$ ist (siehe Kapitel 2.3.4), kann der Fehler aber vernachlässigt werden.

Der Unterschied der beiden Verschaltungsarten wird in den offenen Übertragungsfunktionen der LPAs nach den Gleichungen (2.10) und (2.11) sichtbar. Beim bisher umgesetzten Konzept umfasst die Regelschleife des LPAs den gesamten Umrichter einschließlich der CHB-Zellen und des dU/dt -Filters. Beim hier verwendeten Konzept schließt sich die Regelschleife innerhalb des LPAs, wie in Abbildung 2.2 und Abbildung 2.3 zu sehen ist. Durch die kleinere Regelschleife wird die Empfindlichkeit der LPAs gegenüber Störungen reduziert, weshalb die Bandbreite und Flankensteilheit der LPAs erhöht werden kann. Darüber hinaus wird dadurch ein deterministischeres Verhalten des LPAs und somit des gesamten SHCHB-Umrichters erreicht. Aus diesen Gründen wird der entwickelte SHCHB-Umrichter gemäß dem in Abbildung 2.2 b) gezeigten Verschaltungskonzept aufgebaut.

Die für das Konzept benötigte CHB-Zellenanzahl N_{CHB} pro Phase kann anhand der Anforderungen, die an das PHIL-System gestellt werden, bestimmt werden. Mit dem PHIL-System soll die frequenzabhängige Impedanz des Prüflings mit einem sinusförmigen Testsignal ermittelt werden. Die Höhe dieses Testsignal liegt typischerweise im einstelligen Prozentbereich der Netzspannung [62]. Um sämtliche Testsignale mit genügend Reserve erzeugen zu können, wird deshalb die maximale Amplitude auf 10 % Netzspannung und somit 32,5 V festgelegt. Dieses Signal soll ausschließlich von den LPAs erzeugt werden, um die hohe Bandbreite und Signalgüte der LPAs zu nutzen. Damit die LPAs in der Lage sind, die internen Spannungsabfälle sowie Störimpulse zu kompensieren, wird die maximale Amplitude ihrer Ausgangsspannungen \hat{U}_{LPA}

auf 40 V und die sekundären CHB-Zellspannungen $U_{DC,s,xy}$ ($y = \{1, 2, \dots, N_{CHB}\}$) auf 30 V festgelegt. Somit ergibt sich eine notwendige Zellenanzahl N_{CHB} von 12, um das europäische Niederspannungsnetz mit einer Nennspannung von $400 \text{ V} \pm 10\%$ nachbilden zu können. Der SHCHB-Umrichter besteht folglich aus 36 CHB-Zellen, drei dU/dt -Filtern sowie drei LPAs.

2.1.2 Signalverarbeitungs- und Softwarestruktur des PHIL-Systems

Ein leistungsfähiges PHIL-System erfordert nicht nur eine performante Leistungselektronik, sondern auch eine leistungsfähige Signalverarbeitungsstruktur sowie die darauf aufgebaute Softwarestruktur, um die benötigten Modelle sowie Regler mit möglichst geringer Latenz und kleiner Regelperiode in Echtzeit berechnen zu können.

Bei der entwickelten Signalverarbeitungsstruktur wird dabei ein zentrales Signalverarbeitungssystem eingesetzt, das aus zwei ETI-System-on-Chip- (SoC) Systemen besteht, wie in Abbildung 2.4 dargestellt ist. Die zwei ETI-SoC-Systeme basieren dabei auf einem SoC, das einen *Field-Programmable-Gate-Array* (FPGA) und zwei *Advanced RISC Machines* (ARM) Prozessorkerne beinhaltet. Eine nähere Beschreibung der Hardware findet im Kapitel 3.2 statt. Der Prozessorkern 1 jedes Systems übernimmt die Kommunikation zum Prüfstandsrechner. Auf dem Prüfstandsrechner wird ein auf *LabVIEW* basierendes Monitorprogramm ausgeführt, welches, gemäß Abbildung 2.5, sowohl zur Steuerung und Überwachung des Prüfstands, als auch zur Parametervorgabe für Modelle und zur Auswertung der Messergebnisse verwendet wird [E7].

Das ETI-SoC-System 1 wird für die Steuerung der Leistungs- und Hilfsversorgung sowie für die Steuerung der Peripherien des PHIL-Systems, wie z.B. das Temperaturmanagement, eingesetzt. Das ETI-SoC-System 2 steuert den SHCHB-Emulationsumrichter und ist verantwortlich für die Berechnung von Netzmodellen. Das Netzmodell wird dabei abhängig von der Komplexität und der benötigten Latenz auf dem ARM-Kern 0 bzw. auf einem Echtzeitrechner und/oder auf dem FPGA berechnet, wie in Abbildung 2.5 dargestellt. Zusätzlich sind die zentralen Zustandsautomaten beider ETI-SoC-Systeme auf dem ARM-Kern 0 implementiert.

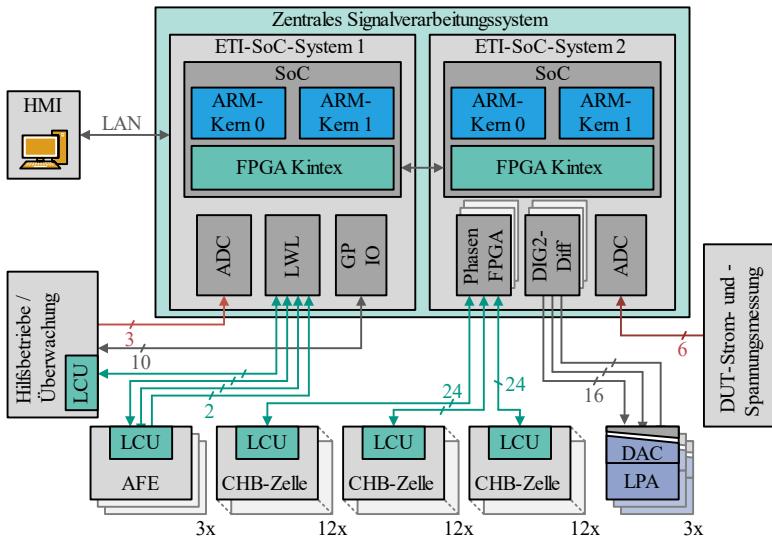


Abbildung 2.4: Signalverarbeitungsstruktur des PHIL-Systems mit Lichtwellenleitern (grün), analogen Messgrößen (rot) und digitalen Schnittstellen (grau)

Neben dem zentralen Signalverarbeitungssystem werden ebenfalls dezentrale Kontrolleinheiten (Local Control Unit: LCU) verwendet. Diese besitzen eine geringere Rechenleistung als das zentrale Signalverarbeitungssystem (siehe Kapitel 3.2.2) und werden zur Steuerung der einzelnen Komponenten des PHIL-Systems verwendet. Die LCUs der drei AFEs übernehmen die Stromregelung sowie Überwachungsaufgaben. Die überlagerte Spannungsregelung erfolgt, gemäß Abbildung 2.5, auf dem FPGA des ETI-SoC-Systems 1. Die LCU der Hilfsbetriebe überwacht die verschiedenen Temperaturen des PHIL-Systems und übermittelt diese an das ETI-SoC-System 1, welches das Temperaturmanagement übernimmt. Des Weiteren ist auf jeder CHB-Zelle eine LCU installiert, die sowohl die CHB-Zelle als auch den LLC-DC/DC-Wandler überwacht und deren H-Brücken steuert. Zusätzlich sind die drei in Kapitel 2.2.4 vorgestellten Betriebsmodi auf den LCUs der CHB-Zellen inklusive der entsprechenden Regelungen implementiert. Die LCUs kommunizieren mittels eines speziell entwickelten UART-Protokolls (vgl. Kapitel 2.2.4) mit dem ETI-SoC-System bzw. die LCUs der CHB-Zellen kommunizieren mit einem Phasen-FPGA. Das Phasen-FPGA ist auf einer Erweiterungskarte im SoC-System eingebettet (vgl. Anhang A.10) und ist für den Sortieralgorithmus sowie die Auswertung aller 12 LCUs einer Phase zuständig.

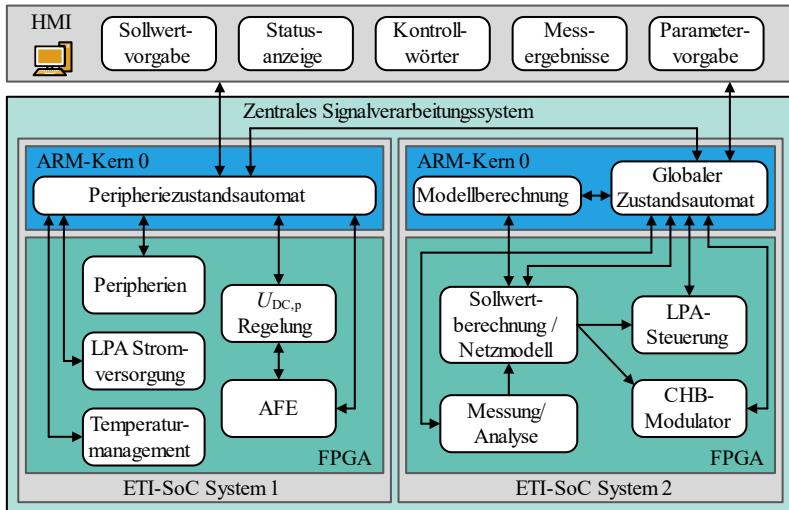


Abbildung 2.5: Softwarestruktur des PHIL-Systems

2.1.3 Steuerung des SHCHB-Umrichters als Emulator

Nachfolgend wird die Steuerung und Betriebsführung des SHCHB-Umrichters für den Betrieb als Emulator beschrieben. Hierbei werden sämtliche Funktionsblöcke analysiert, die sich innerhalb der Emulationsschleife einer closed-loop-Emulation befinden. In Abbildung 2.7 ist der Signallaufplan für eine closed-loop-Emulation eines Netzanschlusspunktes unter Verwendung des SHCHB-Umrichters dargestellt. Ein mögliches Szenario, das mit dem PHIL-System emuliert werden soll, ist in Abbildung 2.6 abgebildet.

Die Messung der Ausgangsströme des PHIL-Systems i_a sowie der DUT-Spannungen u_{DUT} erfolgt über einen Analog-Digital-Wandler (ADC, engl.: Analog-Digital-Converter) auf einer Erweiterungskarte (siehe Anhang A.10). Die Messergebnisse werden direkt auf dem FPGA ausgewertet, um eine möglichst geringe Latenz zu verursachen. Mit den zur Verfügung stehenden Messwerten erfolgt die Emulation eines Teilmodells.

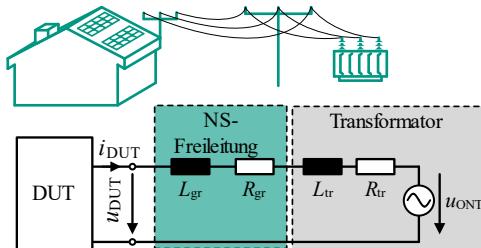


Abbildung 2.6: Beispielhafte Netzsituation, die mithilfe des PHIL-Systems nachgebildet wird

Die Emulation kann in zwei Teile unterteilt werden. Dabei wird die Impedanz vom DUT bis einschließlich des Ortsnetztransformators (ONT) ($Z_{\text{gr}} + Z_{\text{Tr}}$) auf dem FPGA emuliert. Hierdurch wird eine minimale Latenz $t_{\text{L,D}}$ des Emulators gewährleistet. Die Berechnung der Spannung des ONT U_{ONT} kann gemäß Abbildung 2.7 auf den ARM-Kern bzw. auf einen angeschlossenen Echtzeitrechner ausgelagert werden. Unter Berücksichtigung der Spannung U_{ONT} und dem Spannungsabfall Δu_z über der Impedanz Z_{gr} werden der Sollwert für die CHB-Zellen u_{CHB}^* und der Ausgangsspannung des SHCHB-Umrichters u_{ref} bestimmt. Anhand der Sollspannung der CHB-Zellen u_{CHB}^* wird anschließend die benötigte Anzahl an aktiven CHB-Zellen $n_{\text{CHB},x}$ mit Hilfe des in Abbildung 2.8 dargestellten Algorithmus ermittelt [E8]. Dabei entspricht $R_{\text{CHB},x}$ dem wirksamen Widerstand aller CHB-Zellen einer Phase und kann wie folgt bestimmt werden:

$$R_{\text{CHB},x} = n_{\text{CHB},x} \cdot R_{\text{CHB,eq}} + 2(N_{\text{CHB}} - n_{\text{CHB},x}) \cdot R_{\text{DS,(on),Si}} \quad (2.16)$$

Hierbei muss zwischen aktiver CHB-Zelle ($U_{\text{a,CHB}} = \pm 30 \text{ V}$) und inaktiver CHB-Zelle ($U_{\text{a,CHB}} = 0 \text{ V}$) unterschieden werden. Bei einer aktiven CHB-Zelle ist der äquivalente Ersatzwiderstand $R_{\text{CHB,eq}}$ wirksam, der den internen Spannungsabfall der CHB-Zelle inklusive des LLC-DC/DC-Wandlers berücksichtigt (siehe Kapitel 3.3.1). Bei einer inaktiven CHB-Zelle ist nur der Einschaltwiderstand von zwei in Reihe geschalteten Si-MOSFETs der ausgangsseitigen H-Brücke $R_{\text{DS,(on),Si}}$ wirksam.

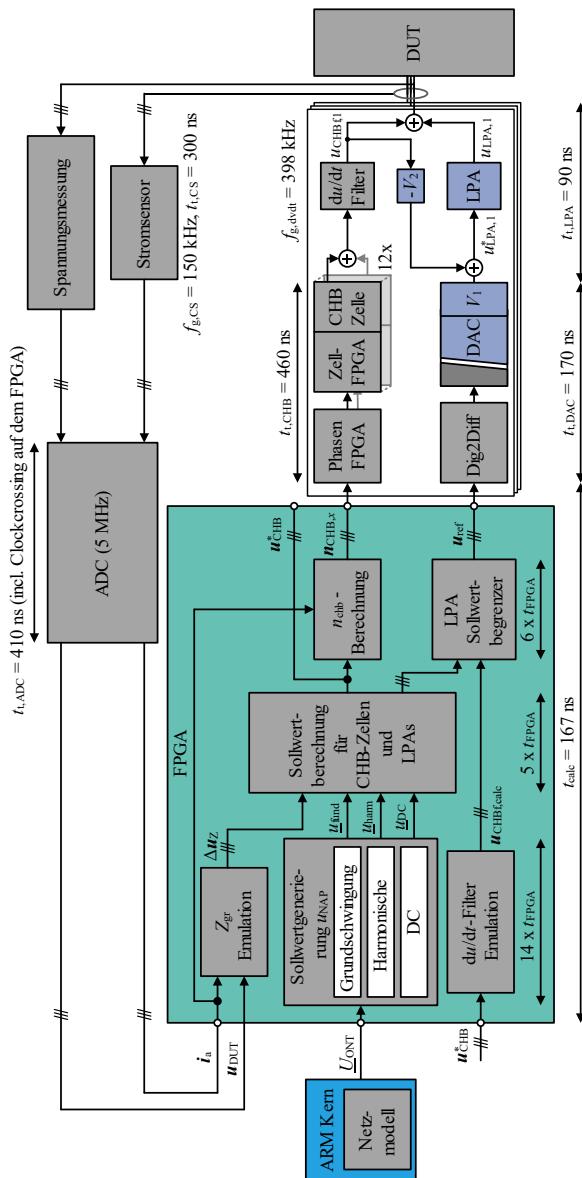


Abbildung 2.7: Signallaufplan des SHCHB-Umrichters für eine closed-loop-Emulation sowie Sollwertgenerierung der CHB-Zellen und des LPAs

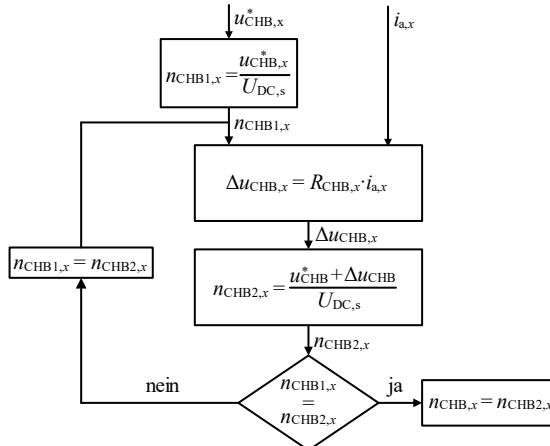


Abbildung 2.8: Algorithmus zur Bestimmung der aktiven Zellen

Die benötigte Zellenanzahl $n_{\text{CHB},x}$ wird anschließend an die drei Phasen-FPGAs gesendet. Auf diesen wird der Sortieralgorithmus ausgeführt und die benötigten Zellen werden ausgewählt. Aufgrund der vorhandenen Einspeisung aller Zellen erfolgt die Sortierung beim SHCHB-Umrichter nicht anhand der Zellspannungen, wie z.B. bei MMCs, sondern anhand der Kühlkörpertemperaturen, wie in Abbildung 2.9 exemplarisch für sechs CHB-Zellen dargestellt [E8]. Hierbei werden vor jedem Umschaltzeitpunkt die momentanen Temperaturen gemessen (Abbildung 2.9 a)) und aufsteigend sortiert (Abbildung 2.9 b)). Die benötigte Ausgangsspannung $u_{\text{CHB},x}$ wird anschließend mit den kältesten CHB-Zellen gebildet (Abbildung 2.9 c)). Durch diese Sortierung wird eine gleichmäßige Belastung aller CHB-Zellen gewährleistet.

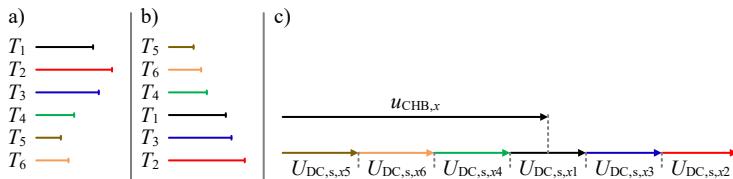


Abbildung 2.9: Sortieralgorithmus der CHB-Zellen

Bei der Erzeugung der Sollwertspannung \mathbf{u}_{ref} muss berücksichtigt werden, dass aus dieser die Sollwertspannungen der LPAs $\mathbf{u}_{\text{LPA}}^*$ über einen Digital-Analog-Wandler (DAC) und über den Spannungsteiler V_1 (bestehend aus $R_{\text{SP},1}$ und $R_{\text{SP},2}$) mit einer Verzögerung $t_{\text{t,DAC}}$ von 170 ns (siehe

Abbildung 2.7) erzeugt werden. Die Latenz der CHB-Zellen $t_{t,CHB}$ beträgt 460 ns. Zusätzlich wird deren Ausgangsspannung \mathbf{u}_{CHB} durch das du/dt -Filter gefiltert. Die wirksame, gefilterte Ausgangsspannung \mathbf{u}_{CHBf} folgt der gewünschten Sollwertspannung \mathbf{u}_{ref} somit verzögert und mit einer begrenzten Flankensteilheit. Dies würde bei einem Sollwertsprung größer als \hat{U}_{LPA} zu einem Sollwert der LPAs führen, der die Aussteuergrenze der LPAs überschreitet. Hierdurch würden die LPAs in Sättigung geraten und eine korrekte Funktion der Schaltung wäre nicht mehr gewährleistet (siehe Kapitel 3.4). Aus diesem Grund wird die erzeugte Referenzspannung \mathbf{u}_{ref} in einem Band von \hat{U}_{LPA} um die gefilterte Ausgangsspannung \mathbf{u}_{CHBf} herum begrenzt. Hierzu wird gemäß Abbildung 2.7 die Ausgangsspannung des du/dt -Filters mithilfe eines Modells auf dem FPGA des ETI-SoC-Systems 2 berechnet. Die berechnete Spannung $\mathbf{u}_{CHBf,calc}$ wird anschließend für eine Sollwertbegrenzung der Referenzspannung genutzt, um eine Sättigung der LPAs zu verhindern.

Durch die vorgestellte Struktur nach Abbildung 2.7 zur Sollwertgenerierung wird eine sehr kurze Latenz bei der closed-loop-Emulation der Netzimpedanz Z_{gr} erreicht. Diese Latenz kann gemäß Gleichung (2.17) berechnet werden und beträgt lediglich 1,14 μs .

$$t_{L,D} = t_{t,CS} + t_{t,ADC} + t_{calc} + t_{t,DAC} + t_{t,LPA} \quad (2.17)$$

2.2 Analyse der CHB-Zelle

In diesem Abschnitt werden die entwickelte CHB-Zelle sowie deren galvanisch trennende DC-Versorgung erläutert. Die galvanische Trennung kann beim CHB-Umrichter durch einen 50 Hz Mehrfachwickeltransformator mit mehreren sekundären Wicklungen, wie in Abbildung 1.6 dargestellt, oder auf Zellenebene durch dezentrale galvanisch trennende DC/DC-Wandler erfolgen. Um ein möglichst modulares System zu erhalten, wird nachfolgend das Konzept mit dezentralen DC/DC-Wandlern verfolgt. Als galvanisch trennender DC/DC-Wandler wird ein resonanter LLC-Wandler verwendet, wie in der Abbildung 2.10 zu sehen ist.

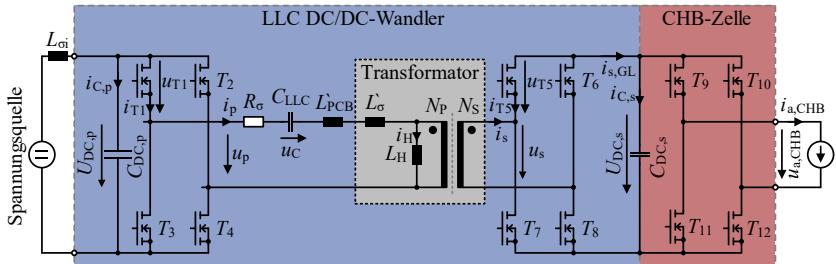


Abbildung 2.10: Prinzipschaltbild einer CHB-Zelle mit galvanisch trennendem LLC-DC/DC-Wandler

Der verwendete LLC-DC/DC-Wandler besteht aus einer primären H-Brücke mit den MOSFETs T_1 bis T_4 und einer sekundären H-Brücke mit den MOSFETs T_5 bis T_8 sowie aus einem Serienschwingkreis. Der Schwingkreis ist wiederum aus der Kapazität C_{LLC} , der Ersatzserieninduktivität L_{ser} und der Hauptinduktivität L_H aufgebaut. Für die Ersatzserieninduktivität L_{ser} gilt:

$$L_{ser} = L'_{\sigma T} + L'_{PCB} = L_{\sigma 1} + L_{PCB1} + a_T^2 \cdot (L_{\sigma 2} + L_{PCB2}) \quad (2.18)$$

$$a_T = \frac{N_p}{N_s} \quad (2.19)$$

wobei $L'_{\sigma T}$ die wirksame Streuinduktivität des Transformators und L'_{PCB} die wirksame parasitäre Induktivität der Platine sind. Diese setzten sich jeweils aus einem primären Anteil und einem sekundären Anteil zusammen. Die sekundären Anteile dieser beiden Induktivitäten können mit dem Übersetzungsverhältnis des Transformators a_T auf die Primärseite transformiert werden.

Nachfolgend werden zunächst die grundlegende Funktionsweise des LLC-DC/DC-Wandlers erläutert sowie dessen Übertragungsfunktion hergeleitet. Anschließend werden die daraus resultierenden Strom- bzw. Spannungsbelastungen der einzelnen Komponenten berechnet, die im Kapitel 2.2.3 zur Auswahl der entsprechenden Komponenten genutzt werden.

2.2.1 Grundlagen des LLC-DC/DC-Wandlers

Der LLC-DC/DC-Wandler besteht, wie bereits erwähnt, aus drei Teilen. Die primäre H-Brücke dient als Wechselrichter und erzeugt die rechteckförmige Primärspannung u_p . Der Serienschwingkreis dient zur Energieübertragung von der Primär- zur Sekundärseite. Aufgrund seiner Filterwirkung ist der im Schwingkreis fließende Strom i_p nahezu sinusförmig [63–65], wodurch ein entlastetes Schalten der MOSFETs ermöglicht und die Schaltverluste der MOSFETs sowie die Störaussendung reduziert werden [63, 66: S. 249ff, 67: S. 3]. Die sekundäre H-Brücke fungiert als Gleichrichter und stellt zusammen mit der sekundären Zwischenkreiskapazität $C_{DC,S}$ die Ausgangsgleichspannung $U_{DC,S}$ zur Verfügung.

Abhängig von der gewählten Schaltfrequenz $f_{s,LLC}$ werden die Halbleiter des LLC-DC/DC-Wandlers entweder stromlos ausgeschaltet (ZCS, engl.: Zero Current Switching) oder spannungslos eingeschaltet (ZVS, engl.: Zero Voltage Switching). Die Grenze zwischen diesen beiden Modi wird durch die zwei Resonanzfrequenzen des LLC-Schwingkreises f_{res} und $f_{res,l}$ bestimmt.

$$f_{res} = \frac{1}{2\pi\sqrt{c_{LLC} \cdot L_{ser}}} \quad (2.20)$$

$$f_{res,l} = \frac{1}{2\pi\sqrt{c_{LLC} \cdot (L_{ser} + L_H)}} \quad (2.21)$$

Für Schaltfrequenzen, die kleiner als die untere Resonanzfrequenz $f_{res,l}$ sind, wird der LLC-DC/DC-Wandler im ZCS-Modus betrieben. Für Schaltfrequenzen, die größer als die obere Resonanzfrequenz f_{res} sind, erfolgt ein Betrieb im ZVS-Modus. Zwischen den beiden Resonanzfrequenzen findet der Übergang vom ZCS-Modus hin zum ZVS-Modus statt. Der Übergang hängt dabei vom Laststrom $i_{a,CHB}$ ab.

Je nach eingesetztem Halbleiter wird einer der beiden Modi verwendet. Für IGBTs, die hohe Ausschaltverluste aufgrund ihres Tailstroms aufweisen, ist die Verwendung des ZCS-Modus sinnvoll, da hierdurch die Ausschaltverluste

fast vollständig vermieden werden [67: S. 3, 68, 69: S. 951]. Beim Einsatz von MOSFETs ist der Betrieb im ZCS-Modus nicht zielführend, da eine Reduktion der Schaltverluste nur bedingt möglich ist [70: S. 11]. Der MOSFET ermöglicht einen bidirektionalen Stromfluss, wodurch der Strom bei einem Polariätswechsel weiter durch den MOSFET fließt und kein stromloses Ausschalten erreicht wird. Aus diesem Grund wird bei auf MOSFETs basierenden LLC-DC/DC-Wandlern, wie beispielsweise dem entwickelten DC/DC-Wandler, der ZVS-Modus verwendet.

Um einen Betrieb im ZVS-Modus unabhängig vom fließenden Laststrom $i_{a,CHB}$ zu garantieren, wird in der vorhandenen Anwendung eine Schaltfrequenz $f_{s,LLC}$ verwendet, die größer als die Resonanzfrequenz f_{res} ist. Abbildung 2.11 zeigt exemplarisch die primären Strom- und Spannungsverläufe sowie die Ansteuersignale der MOSFETs T_1 und T_3 für eine Schaltfrequenz $f_{s,LLC}$ die 5 % über der Resonanzfrequenz f_{res} liegt. Im Umschaltvorgang bei $t = 0,5 T_{s,LLC}$ wird zunächst der leitende MOSFET T_1 ausgeschaltet. Der Ausschaltvorgang erfolgt bei voller Zwischenkreisspannung $U_{DC,p}$, aber aufgrund des sinusförmigen Schwingkreisstroms i_p bei reduziertem Stromwert. Dabei erreicht der abzuschaltende Strom ein Minimum, welches der Amplitude des Magnetisierungsstroms i_H entspricht, sofern die Schaltfrequenz $f_{s,LLC}$ der Resonanzfrequenz f_{res} gleicht. Um einen hohen Wirkungsgrad zu erreichen, sollte deshalb die Schaltfrequenz möglichst nahe der Resonanzfrequenz f_{res} liegen und die Hauptinduktivität L_H des Transformators möglichst groß sein, um einen kleinen Magnetisierungsstrom i_H zu erzielen [71]. Aus diesem Grund wird für die Schaltfrequenz $f_{s,LLC}$ ein Wert gewählt, der 2 % über der Resonanzfrequenz f_{res} liegt ($f_{s,LLC} = 1,02 \cdot f_{res}$).

Aufgrund des positiven Stromflusses kommutiert der Strom durch das Abschalten des MOSFETs T_1 auf die antiparallele Body-Diode des MOSFETs T_3 . Der Spannungsabfall über dem Transistor T_3 reduziert sich somit auf die Durchlassspannung der Body-Diode. Nachdem der Strom vollständig auf die Body-Diode kommutiert ist, wird der Transistor T_3 spannungslos eingeschaltet.

Durch die gewählte Betriebsart können sowohl die Einschalt- als auch Ausschaltverluste stark reduziert werden, weshalb ein hoher Wirkungsgrad erreicht wird.

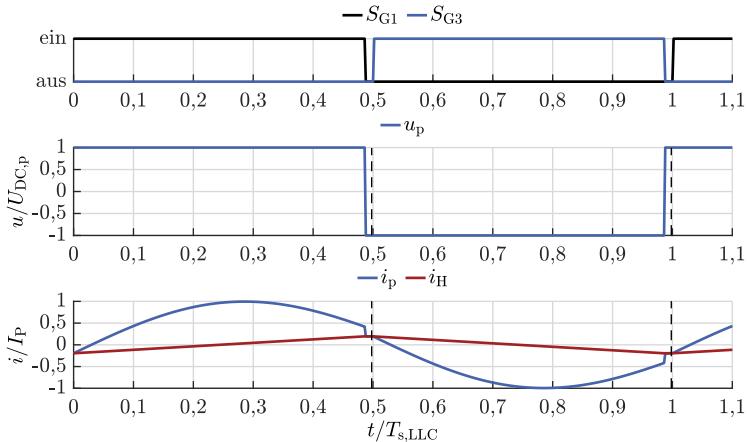


Abbildung 2.11: Schaltsignale der Transistoren T_1 und T_3 , Ausgangsspannung der primären H-Brücke u_p und Schwingkreisstrom i_p sowie Magnetisierungsstrom des Transformators i_H für $f_{s,LLC} = 1,05 \cdot f_{res}$

2.2.2 Analyse des LLC-DC/DC-Wandlers

Für die Analyse des LLC-DC/DC-Wandlers stehen verschiedene Methoden zur Verfügung. Die Analyse findet abhängig von der gewählten Methode entweder im Frequenzbereich oder im Zeitbereich statt. Die meist verwendete Methode im Frequenzbereich ist die First Harmonic Approximation (FHA) Methode [72, 73], die in [65] vorgestellt wird. Beim FHA-Verfahren werden sämtliche harmonische Einflüsse vernachlässigt und es erfolgt eine Analyse des LLC-DC/DC-Wandlers mit Hilfe der Wechselstromtheorie. Dadurch entsteht eine schnelle und eingängige Analysemöglichkeit, deren Genauigkeit jedoch abnimmt, wenn die gewählte Schaltfrequenz $f_{s,LLC}$ nicht in der Nähe der Resonanzfrequenz f_{res} liegt oder ein lückender Strom auf der Sekundärseite vorliegt [72–74]. Um die Ungenauigkeit der FHA-Methode zu reduzieren, werden z.B. in [75] mehrere Harmonische des Stroms i_p berücksichtigt oder in [76, 77] eine teilweise Korrektur im Zeitbereich vorgenommen. Trotz dieser Korrekturen weisen diese Verfahren weiterhin eine zunehmende Ungenauigkeit bei zunehmender Differenz zwischen der Schaltfrequenz und der Resonanzfrequenz des LLC-Schwingkreises auf [72, 73].

Für den Fall, dass eine höhere Genauigkeit für einen größeren Frequenz- und somit Spannungsbereich benötigt wird, muss die Analyse im Zeitbereich

durchgeführt werden [72, 73]. Bei dieser Methode wird der zeitliche Verlauf in mehrere Teilabschnitte untergliedert und für jeden Teilabschnitt werden die entsprechenden Differentialgleichungen mit den dazugehörigen Randbedingungen aufgestellt [78, 79]. Eine geschlossene analytische Lösung der Gleichungssysteme und somit eine geschlossene mathematische Beschreibung für das Übertragungsverhalten des LLC-DC/DC-Wandlers ist aber nicht für jeden Arbeitspunkt möglich [70: S. 57].

Da der LLC-DC/DC-Wandler bei der vorhandenen Anwendung lediglich zur Potentialtrennung und ungeregelt nahe der Resonanzfrequenz betrieben wird, ist eine Analyse im Zeitbereich nicht notwendig. So wird in [70: S. 61ff, 72, 73] dargelegt, dass der Fehler für diese Bedingungen durch die Verwendung des FHA-Verfahrens gering ist und der inhärente Mehraufwand der anderen Verfahren daher nicht gerechtfertigt ist. Deshalb wird nachfolgend das FHA-Verfahren für die Analyse des LLC-DC/DC-Wandlers verwendet.

Abbildung 2.12 zeigt das Ersatzschaltbild des LLC-DC/DC-Wandlers mit den für die FHA-Methode angenommenen Spannungsverläufen $u_{p,FHA}$ und $u_{s,FHA}$ und Stromverläufen $i_{p,FHA}$, $i_{s,FHA}$ und $i_{s,GL,FHA}$ sowie die realen Spannungsverläufe u_p und u_s und den Ausgangsstrom $I_{a,CHB}$.

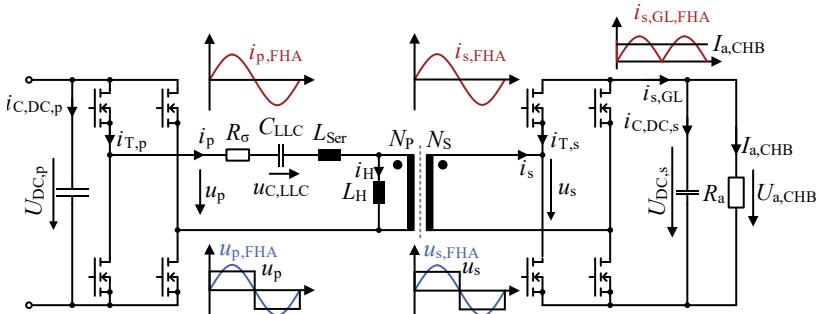


Abbildung 2.12: Ersatzschaltbild des LLC-DC/DC-Wandlers für die Analyse mit der FHA-Methode mit den dazugehörigen Strom- und Spannungsverläufen

Aus den angenommenen sinusförmigen Spannungs- und Stromverläufen kann das in Abbildung 2.13 dargestellte Wechselstromersatzschaltbild abgeleitet werden, welches die Grundlage der FHA-Methode bildet.

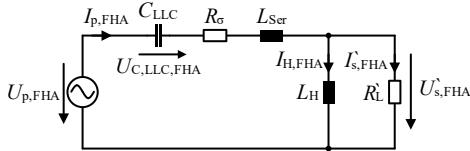


Abbildung 2.13: FHA-Wechselstromersatzschaltbild des LLC-DC/DC-Wandlers

\$U_{p,FHA}\$ und \$U_{s,FHA}\$ entsprechen dabei den Effektivwerten der Grundschwingungsanteile der rechteckförmigen Ausgangsspannungen der primären und sekundären H-Brücke. Die beiden Effektivwerte können aus den beiden Gleichspannungen \$U_{DC,p}\$ und \$U_{DC,s}\$ entsprechend den Gleichungen (2.22) und (2.23) berechnet werden. Diese Zusammenhänge sind mit Hilfe der Fourieranalyse der Spannungen \$u_p\$ und \$u_s\$ ermittelbar.

$$U_{p,FHA} = U_{DC,p} \cdot \frac{2\sqrt{2}}{\pi} \quad (2.22)$$

$$U'_{s,FHA} = U_{DC,s} \cdot a_T \cdot \frac{2\sqrt{2}}{\pi} \quad (2.23)$$

Der Effektivwert des transformierten, sekundären Grundschwingungsstroms \$I'_{s,FHA}\$ lässt sich aus dem fließenden Gleichstrom \$I_{a,CHB}\$ berechnen:

$$I'_{s,FHA} = \frac{I_{s,FHA}}{a_T} = \frac{I_{a,CHB}}{a_T} \cdot \frac{\pi}{2\sqrt{2}} \quad (2.24)$$

Für den primären Grundschwingungsstrom \$I_{p,FHA}\$ und den transformierten Ausgangersatzwiderstand \$R'_L\$ gilt:

$$I_{p,FHA} = I'_{s,FHA} + I_{H,FHA} \cong I'_{s,FHA} \quad (2.25)$$

$$R'_L = \frac{U'_{s,FHA}}{I'_{s,FHA}} = \frac{8 \cdot a_T^2}{\pi^2} \cdot \frac{U_{DC,s}}{I_a} = \frac{8 \cdot a_T^2}{\pi^2} \cdot R_a \quad (2.26)$$

Mit Hilfe des Wechselstromersatzschaltbilds aus Abbildung 2.13 und den hergeleiteten Zusammenhängen der Spannungen sowie des Ausgangersatzwiderstands \$R'_L\$ kann die Übertragungsfunktion \$M\$ des LLC-DC/DC-Wandlers bestimmt werden:

$$M(f_{SW}) = \frac{a_T \cdot U_{DC,S}}{U_{DC,p}} = \frac{U'_{S,FHA}}{U'_{p,FHA}} = \left| \frac{\frac{R'_L \cdot j2\pi f_{SW} L_H}{R'_L + j2\pi f_{SW} L_H}}{R\sigma + j\omega L_{ser} + \frac{1}{j\omega C_{LLC}} + \frac{R'_L \cdot j2\pi f_{SW} L_H}{R'_L + j2\pi f_{SW} L_H}} \right| \quad (2.27)$$

Die Übertragungsfunktion M kann unter Vernachlässigung des parasitären Widerstands R_σ und unter Verwendung der Zusammenhänge aus den Gleichungen (2.29) bis (2.31) überführt werden in:

$$M(f_x) = \left| \frac{f_x^2(m_L - 1)}{(m_L f_x^2 - 1) + j Q_{LLC} (m_L - 1) (f_x^2 - 1) f_x} \right| \quad (2.28)$$

$$f_x = \frac{f_{s,LLC}}{f_{res}} \quad (2.29)$$

$$Q_{LLC} = \sqrt{\frac{L_{ser}/C_{LLC}}{R'_L}} \quad (2.30)$$

$$m_L = \frac{L_{ser} + L_H}{L_{ser}} \quad (2.31)$$

wobei f_x der normierten Schaltfrequenz, Q_{LLC} der Güte des Schwingkreises und m_L dem Induktivitätsverhältnis von Serien- zu Hauptinduktivität entsprechen.

Der Verlauf der Übertragungsfunktion ist somit nur durch die Güte Q_{LLC} und durch das Induktivitätsverhältnis m_L beeinflussbar. Dabei ist lediglich das Induktivitätsverhältnis m_L ausschließlich durch das Design des DC/DC-Wandlers definierbar. Für die Güte Q_{LLC} kann nur ein Bereich bestimmt werden, da diese maßgeblich durch die Last beeinflusst wird. In Abbildung 2.14 a) ist die Abhängigkeit der Übertragungsfunktion M von der Güte Q_{LLC} dargestellt. Des Weiteren ist der Bereich des ZVS- und des ZCS-Modus gekennzeichnet. Die gestrichelte Linie stellt die normierte untere Resonanzfrequenz $f_{res,l,n}$ dar (vgl. Gleichung (2.21)). Die Schaltfrequenz, bei der der LLC-DC/DC-Wandler vom ZCS-Modus in ZVS-Modus übergeht, ist abhängig von der Güte Q_{LLC} . Mit zunehmender Güte verschiebt sich diese Frequenz von der unteren zur oberen Resonanzfrequenz. Die Grenzkurve entspricht dabei den Maxima der Übertragungsfunktionen M für die verschiedenen Gütfaktoren Q_{LLC} .

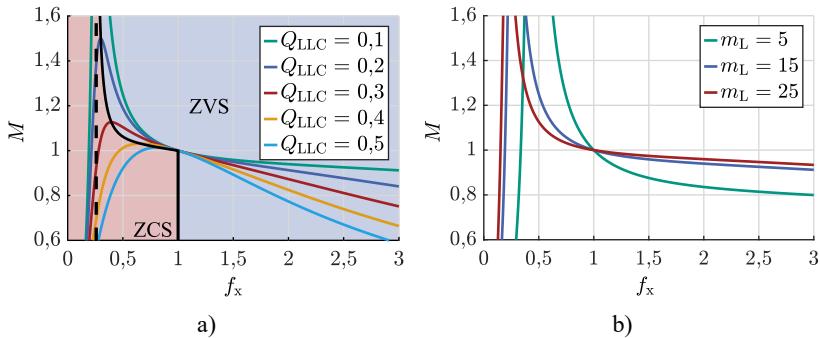


Abbildung 2.14: Übertragungsfunktion für: a) verschiedene Gütefaktoren Q_{LLC} und ein Induktivitätsverhältnis m_L von 15, b) verschiedene Induktivitätsverhältnisse m_L und einen Gütefaktor Q_{LLC} von 0,1

Die Abhängigkeit der Übertragungsfunktion M vom Induktivitätsverhältnis m_L ist Abbildung 2.14 b) dargestellt. Mit zunehmendem Induktivitätsverhältnis m_L wird der Verlauf der Übertragungsfunktion im Bereich der Resonanzfrequenz flacher.

Da die Schaltfrequenz des LLC-DC/DC-Wandlers $f_{s,LLC}$ entsprechend Kapitel 2.2.1 leicht über der oberen Resonanzfrequenz f_{res} liegt und die Übertragungsfunktion möglichst konstant sein soll, ist das Ziel in diesem Bereich einen möglichst flachen Verlauf der Übertragungsfunktion M zu erreichen. Dies wird entsprechend Abbildung 2.14 a) und b) mit einem möglichst geringen Gütefaktor Q_{LLC} sowie einem großen Induktivitätsverhältnis m_L erreicht.

Neben der Analyse des Übertragungsverhaltens M müssen für die Dimensionierung des LLC-DC/DC-Wandlers auch die Strom- und Spannungsbelastungen der einzelnen Komponenten bestimmt werden. Die Berechnung der Strom- und Spannungsbelastungen erfolgt ebenfalls anhand des vorgestellten FHA-Modells. Mittels dieses Modells können die effektiven Strombelastungen der primären und sekundären MOSFETs ($I_{T,p}$ und $I_{T,s}$) sowie der primären und sekundären Zwischenkreiskapazitäten ($I_{C,DC,p}$ und $I_{C,DC,s}$) bestimmt werden. Des Weiteren wird die effektive Spannungsbelastung des LLC-Schwingkreiskondensators $U_{C,LLC}$ bestimmt, welche für die Dimensionierung dieses AC-Kondensators benötigt wird.

$$I_p \cong I_{p,FHA} = \frac{U_{p,FHA}}{R_\sigma + \frac{1}{j\omega C_{LLC}} + j\omega L_{ser} + R'_L \parallel j\omega L_H} \quad (2.32)$$

$$I_{T,p} = \frac{I_p}{\sqrt{2}} \cong \frac{I_{p,FHA}}{\sqrt{2}} \quad (2.33)$$

$$I_{T,s} = a_T \frac{I_p}{\sqrt{2}} \cong a_T \frac{I_{p,FHA}}{\sqrt{2}} \quad (2.34)$$

$$\begin{aligned} I_{C,DC,s} &\cong \sqrt{\int_0^\pi (I_{s,FHA}\sqrt{2}\sin(\omega t) - I_L)^2 d\omega t} \\ &\cong I_{s,FHA} \cdot \sqrt{\int_0^\pi \left(\sqrt{2}\sin(\omega t) - \frac{2}{\pi}\right)^2} \\ &\cong I_{s,FHA} \sqrt{\frac{1}{2} - \frac{4}{\pi^2}} \end{aligned} \quad (2.35)$$

$$I_{C,DC,p} \cong I_{p,FHA} \sqrt{\frac{1}{2} - \frac{4}{\pi^2}} \quad (2.36)$$

$$U_{C,LLC} \cong U_{C,LLC,FHA} = \frac{U_{p,FHA}}{R_\sigma + \frac{1}{j\omega C_{LLC}} + j\omega L_{Ser} + R'_L || j\omega L_H} \cdot \frac{1}{j\omega C_{LLC}} \quad (2.37)$$

Die gewonnenen analytischen Zusammenhänge finden Anwendung in Kapitel 2.2.3 für die Dimensionierung und in Kapitel 2.2.4 für die Betriebsführung der CHB-Zelle inklusive des LLC-DC/DC-Wandlers.

2.2.3 Dimensionierung der CHB-Zelle inklusive des LLC-DC/DC-Wandlers

Aus den vorhandenen Nenndaten des SHCHB-Umrichters nach Kapitel 1.2, lassen sich die Eckdaten der CHB-Zellen ableiten. Der SHCHB-Umrichter soll eine Ausgangsleistung von 50 kVA bei einem dreiphasigen 400 V AC-System erreichen. Dies führt zu einem effektiven Ausgangstrom des SHCHB-Umrichters $I_{a,x}$ von 72,5 A. Unter der Annahme, dass die CHB-Zellen mit Blocktaktung betrieben werden und die Ein- bzw. Ausschaltschwellen $U_{th,CHB,n}$ nach Gleichung (2.38) bestimmt werden, ergeben sich die in Abbildung 2.15 a) gezeigten Verläufe über eine halbe Periode für die sinusförmige Sollwertspannung $u_{ref,x}$ und für die Spannung der CHB-Zellen $u_{CHB,x}$. Dabei wird angenommen, dass das 400 V AC-System eine Frequenz f_g von 50 Hz aufweist.

$$U_{th,CHB,n} = \frac{U_{DC,s}}{2} + n \cdot U_{DC,s} \quad n = \left[0; \left\lfloor \frac{\bar{U}_{ref}}{U_{DC,s}} \right\rfloor \right] \quad (2.38)$$

\bar{U}_{ref} entspricht der Amplitude der sinusförmigen Ausgangsspannung und $U_{DC,s}$ der sekundären Zwischenkreisspannung der CHB-Zellen.

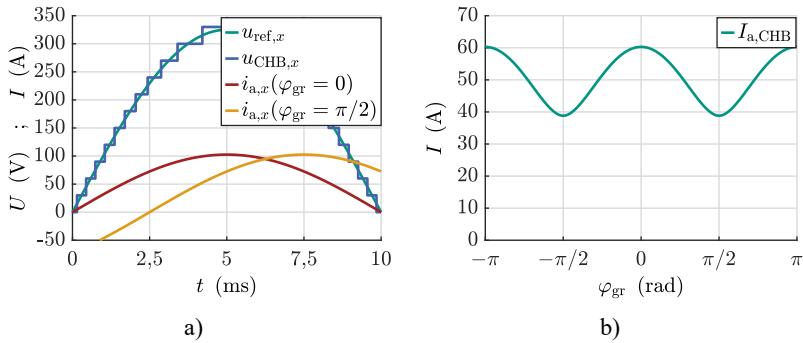


Abbildung 2.15: a) Strom- und Spannungsverlauf für einen sinusförmigen Sollwert für verschiedene $\cos(\varphi_{\text{gr}})$; b) Mittlere Effektivstrombelastung einer CHB-Zelle für einen sinusförmigen Spannungs- und Stromverlauf in Abhängigkeit von $\cos(\varphi_{\text{gr}})$

Die entsprechenden Ein- bzw. Ausschaltwinkel können wie folgt bestimmt werden:

$$\alpha_{\text{ein},n} = \arcsin\left(\frac{\frac{U_{\text{DC},s}}{2} + n \cdot U_{\text{DC},s}}{U_N}\right) \quad ; \quad n = \left[0; \left\lfloor \frac{U_{\text{ref}}}{U_{\text{DC},s}} \right\rfloor \right] \quad (2.39)$$

$$\alpha_{\text{aus},n} = \pi - \alpha_{\text{ein},n} \quad ; \quad n = \left[0; \left\lfloor \frac{\bar{U}_{\text{ref}}}{U_{\text{DC},s}} \right\rfloor \right] \quad (2.40)$$

Die mittlere Effektivstrombelastung einer einzelnen CHB-Zelle $I_{a,\text{CHB}}$ kann nach Gleichung (2.41) unter Berücksichtigung der ermittelten Winkel berechnet werden.

$$\begin{aligned} I_{a,\text{CHB}} &= \frac{1}{N_{\text{CHB}}} \sqrt{\sum_{n=0}^{\left\lfloor \frac{\bar{U}_{\text{ref}}}{U_{\text{DC},s}} \right\rfloor} \frac{1}{\pi} \int_{\alpha_{\text{ein},n}}^{\alpha_{\text{aus},n}} (\sqrt{2} I_{a,x} \cdot \sin(\omega_{\text{gr}} t + \varphi_{\text{gr}}))^2 d\omega t} \\ &= \frac{\sqrt{2} I_{a,x}}{N_{\text{CHB}}} \sqrt{\sum_{n=0}^{\left\lfloor \frac{\bar{U}_{\text{ref}}}{U_{\text{DC},s}} \right\rfloor} \frac{1}{\pi} \left(\frac{\pi - 2\alpha_{\text{ein},n}}{2} + \frac{1}{4} \left(\sin(2\varphi_{\text{gr}} + 2\alpha_{\text{ein},n}) - \sin(2\varphi_{\text{gr}} - 2\alpha_{\text{ein},n}) \right) \right)} \end{aligned} \quad (2.41)$$

Die Effektivstrombelastung der CHB-Zellen ist somit vom Einschaltwinkel der Zelle $\alpha_{\text{ein},n}$ und vom Winkel φ_{gr} zwischen der Ausgangsspannung der CHB-Zellen $u_{\text{CHB},x}$ und dem Ausgangstrom des SHCHB-Umrichters $i_{a,x}$

abhängig. Diese Abhängigkeit ist in Abbildung 2.15 b) gezeigt. Die maximale Effektivstrombelastung von 60,3 A ergibt sich für einen Ausgangstrom $i_{a,x}$ der in Phase ($\varphi_{gr} = 0$) bzw. in Gegenphase ($\varphi_{gr} = \pi$) mit der Ausgangsspannung $u_{CHB,x}$ ist. Neben der Effektivstrombelastung der CHB-Zellen für ein dreiphasiges 400 V AC-System muss der DC-Betrieb ebenfalls betrachtet werden. Dabei werden zwei Phasen des SHCHB-Umrichters in Serie geschaltet, wodurch eine maximale DC-Ausgangsspannung von 720 V erzeugt werden kann. Bei einer Ausgangsleistung von 50 kVA führt dies zu einer Effektivstrombelastung der CHB-Zellen $I_{a,CHB}$ von 69,4 A. Aufgrund der höheren Effektivstrombelastung im Gleichstromfall, wird dieser als Grundlage für die Auslegung der CHB-Zellen verwendet. Der korrespondierende Effektivwert des sekundären Schwingkreisstroms $I_{s,FHA}$ beträgt nach Gleichung (2.24) 77,1 A. Aus dem ermittelten maximalen Strom lässt sich nach Gleichung (2.26) der kleinste transformierte Ausgangsersatzwiderstand R'_L berechnen, der für die FHA-Analyse des LLC-DC/DC-Wandlers benötigt wird und 169 Ω beträgt.

Auslegung des Serienschwingkreises

Mit Hilfe des transformierten Ausgangsersatzwiderstands R'_L und der Eingangsspannung des LLC-DC/DC-Wandlers $U_{DC,p}$ erfolgt die Auslegung der Serienschwingkreiselemente, bestehend aus dem Schwingkreiskondensator, der Serieninduktivität sowie dem Transformator. Hierbei sollen alle Elemente für eine Platinenmontage ausgelegt werden, um ein möglichst modulares Konzept zu erreichen.

Der Transformator basiert auf dem E-Kern *ETD59* aus dem Ferritmaterial *N87* von *EPCOS* [D3]. Die Schaltfrequenz des Ferritmateriale *N87* sollte im Bereich von 25 kHz bis 500 kHz liegen [D4], wobei bei dieser Anwendung ein Minimum an Verlusten bei etwa 70 kHz zu erwarten ist [80]. Aus diesem Grund wird für die Resonanzfrequenz ein Frequenzbereich zwischen 60 kHz und 70 kHz betrachtet. Das Übersetzungsverhältnis des Transformatoren a_T entspricht dem Verhältnis der Eingangsspannung $U_{DC,p}$ zur Ausgangsspannung $U_{DC,s}$ von 660 V zu 30 V (22 : 1).

Für die Auslegung der Schwingkreiskomponenten C_{LLC} , L_{ser} und L_H müssen mehrere Randbedingungen berücksichtigt werden. Die Hauptinduktivität L_H sollte möglichst groß und die Serieninduktivität L_{ser} möglichst klein sein, um eine großes Induktivitätsverhältnis m_L und somit eine konstante Übertragungsfunktion M des LLC-DC/DC-Wandlers zu erzielen. Des Weiteren muss die Spannungsbelastung des Schwingkreiskondensators $U_{C,LLC}$ beachtet werden.

Diese kann mit Hilfe der Gleichung (2.37) bestimmt werden und ist in Abbildung 2.16 dargestellt.

Die maximale Spannungsbelastung $U_{C,LLC}$ wird durch die maximal abführbare Verlustleistung, die am Innenwiderstand des Kondensators abfällt, definiert und nimmt aufgrund der abnehmenden Reaktanz mit zunehmender Frequenz ab. Deshalb erfolgt nachfolgend die Auslegung der Schwingkreiselemente für die maximale betrachtete Resonanzfrequenz von 70 kHz. Der gewählte MFP Folienkondensator *B32683A6* von *EPCOS* mit 100 nF besitzt bei einer Frequenz von 70 kHz eine maximale Spannungsbelastung von 80 V.

Bei der Betrachtung der entstehenden Spannungsbelastung bei einer Frequenz nimmt diese nach Abbildung 2.16 mit zunehmender Serieninduktivität L_{ser} bzw. zunehmender Güte des Schwingkreises Q_{LLC} zu. Aus diesem Grund darf die Serieninduktivität L_{ser} einen Maximalwert nicht überschreiten, da andernfalls die maximale Spannungsbelastung des Schwingkreiskondensators zu groß wird. Die gewählte maximale Spannungsbelastung $U_{C,LLC}$ wird auf 70 V festgelegt. Die korrespondierende maximale Serieninduktivität L_{ser} beträgt 33 μ H und kann durch Umstellen der Gleichung (2.37) bestimmt werden.

Neben dem Maximalwert für die Serieninduktivität bzw. für die Güte existiert auch ein Minimalwert, der durch die inhärenten parasitären Induktivitäten der verwendeten Bauteile und des Platinendesigns definiert wird. Aufgrund des großen Übersetzungsverhältnisses von 22:1 und der damit einhergehenden großen Gewichtung der sekundären, parasitären Induktivitäten, müssen diese besonders betrachtet werden. So liegt die parasitäre Induktivität der verwendeten TO220-Gehäuse der sekundären MOSFETs bei jeweils 10 nH [81]. Aufgrund der H-Brückenkonstellation sind immer zwei MOSFETs stromführend. Dies führt zu einer wirksamen Induktivität auf der Primärseite und somit zu einem unteren Grenzwert für die Serieninduktivität L_{ser} von 9,7 μ H. Der durch den Minimal- und Maximalwert der Serieninduktivität L_{ser} bestimmte zulässige Bereich für die Schwingkreiskomponenten ist in der Abbildung 2.16 durch die blauschraffierte Fläche gekennzeichnet. Neben der Serieninduktivität L_{ser} und der Spannungsbelastung des Schwingkreiskondensators $U_{C,LLC}$ ist der dazugehörige Kapazitätswert C_{LLC} über der Güte Q_{LLC} für eine Resonanzfrequenz f_{res} von 70 kHz dargestellt.

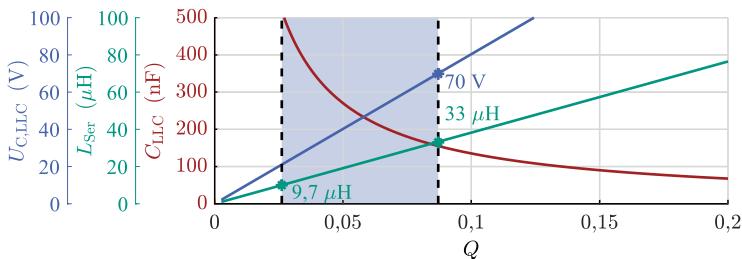


Abbildung 2.16: Schwingkreiskapazität C_{LLC} , Spannungsbelastung der Schwingkreiskapazität $U_{C,LLC}$ und Serieninduktivität L_{ser} über der Güte Q_{LLC} für eine Resonanzfrequenz f_{res} von 70 kHz

Auf Grund der großen parasitären Induktivität wird der Transformator mit einer möglichst idealen Kopplung und folglich mit einer großen Hauptinduktivität sowie einer kleinen Streuinduktivität entworfen. Nach Abzug der parasitären Induktivitäten der sekundären MOSFETs ist eine maximal wirksame Streuinduktivität von 23 μ H zulässig. Die Transformatordaten der 36 verbauten Transformatoren sind in Tabelle 2.1 aufgeführt. Die Messung erfolgt mit dem LCR-Meter *PM6304* von *Fluke* bei einer Messfrequenz von 100 kHz. Das gewählte Transformatordesign besitzt im Mittel eine Hauptinduktivität von 3,33 mH und eine Streuinduktivität von 12,8 μ H und ist somit für die Anwendung geeignet. Das resultierende Induktivitätsverhältnis m_L beträgt 148.

In Kombination mit drei 100 nF Kondensatoren ergibt sich eine Resonanzfrequenz f_{res} von 61,3 kHz und entsprechend nach Kapitel 2.2.1 eine Schaltfrequenz $f_{s,LLC}$ von 62,5 kHz. Die resultierende Spannungsbelastung der Schwingkreiskondensatoren liegt bei 30,6 V und somit ebenfalls im zulässigen Bereich.

Tabelle 2.1: Gemessene Transformatordaten bei einer Frequenz von 100 kHz

	L_H	R_{Fe}	$R'_{\sigma T}$	$L'_{\sigma T}$
Mittelwert	3,38 mH	199,7 k Ω	1,04 Ω	12,86 μ H
Minimum	3,08 mH	182 k Ω	0,94 Ω	11,3 μ H
Maximum	3,5 mH	212 k Ω	1,17 Ω	14,6 μ H
Standardabweichung	0,08 mH	5,8 k Ω	0,06 Ω	0,8 μ H

Auslegung der Halbleiter und Kühlung

Die Auslegung der Halbleiter erfolgt in zwei Schritten. Zunächst wird eine Auswahl möglicher Halbleiter anhand der maximalen Spannungs- und Strombelastung sowie anhand einer Verlustleistungsbetrachtung bestimmt. Anschließend erfolgt die Validierung der ermittelten Werte mit Hilfe einer parametrisierten Simulation unter Berücksichtigung der Halbleiterkenndaten.

Die Effektivstrombelastung der primären und sekundären MOSFETs $I_{T,p}$ und $I_{T,s}$ kann unter Berücksichtigung der gewählten Schwingkreiselemente und deren Zusammenhänge aus den Formeln (2.32) bis (2.34) zu 2,5 A und 54,4 A ermittelt werden. Unter Annahme eines sinusförmigen Stromverlaufs treten dabei repetitive Spitzenströme von 5 A bzw. 109 A auf. Die dabei von den MOSFETs zu sperrenden Spannungen liegen aufgrund der Zwischenkreisspannungen primärseitig bei 660 V und sekundärseitig bei 30 V. Um mögliche Überspannungen zu berücksichtigen, werden deshalb 900 V SiC-MOSFETs auf der Primärseite und 60 V Si-MOSFETs auf der Sekundärseite eingesetzt.

Angesichts der geringen Effektivstrombelastung der primären SiC-MOSFETs können die 900 V SiC-MOSFETs *C3M0280090D* mit einem zugelassenen kontinuierlichen Drainstrom von 7,5 A von *Wolfspeed* verwendet werden [D5].

Bei der Auswahl der Si-MOSFETs für die sekundäre H-Brücke des LLC-DC/DC-Wandlers sowie für die H-Brücke der CHB-Zelle (siehe Abbildung 2.10) liegt der Fokus nicht auf der optimalen Ressourcenausnutzung. Stattdessen sind ein möglichst ideales Spannungsquellenverhalten des Umrichterausgangs und die damit verbundene möglichst geringe Innenimpedanz das Entwurfsziel. Folglich werden Si-MOSFETs mit einem geringen $R_{DS,(on),Si}$ ausgewählt. Um ein kompaktes Design mit zwei Zellen pro Platine entsprechend Kapitel 3.3.1 zu gewährleisten, werden Si-MOSFETs im TO220-Gehäuse verwendet. In diesem Gehäuse weist der Si-MOSFET *CSD18536KCS* von *Texas Instruments* den kleinsten $R_{DS,(on),Si}$ von 1,6 mΩ auf und wird deshalb für die weitere Analyse herangezogen [D6].

Anhand der parametrisierten Simulation werden die Stromverläufe durch die primären und sekundären MOSFETs des LLC-DC/DC-Wandlers sowie die abzuschaltenden Ströme ermittelt, die als Grundlage für die Verlustleistungsrechnung der MOSFETs dienen. Die Verläufe sind in Abbildung 2.17 abgebildet.

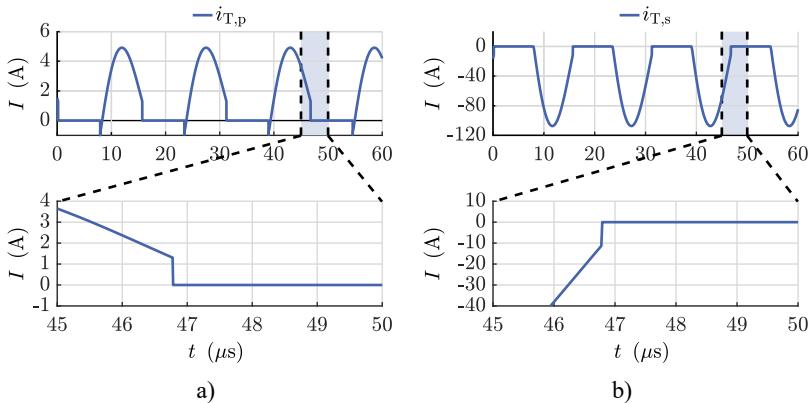


Abbildung 2.17: Strom durch einen a) primären und b) sekundären MOSFET

Die simulativ ermittelten Effektivwerte stimmen mit den anhand der FHA-Analyse berechneten Werten überein. Für die simulativ ermittelten Ströme im Abschaltmoment ergeben sich für die Primär- und Sekundärseite ($I_{SW,off,P}$ und $I_{SW,off,S}$) Werte von 1,3 A bzw. 11,2 A. Der Effektivwert der zwei stromführenden Si-MOSFETs der CHB-Zelle stimmt mit der Effektivstrombelastung einer CHB-Zelle $I_{a,CHB}$ von 69,4 A überein, da der Gleichstromfall betrachtet wird.

Mit diesen Werten können nach Gleichung (2.42) und (2.43) die in der Tabelle 2.2 aufgelisteten Schalt- und Durchlassverluste der einzelnen MOSFETs ermittelt werden. Dabei entspricht $U_{Ref,DB}$ der Referenzspannung für die im Datenblatt angegebenen Ausschaltenergien $E_{SW,off}$. Da bei den Si-MOSFETs keine Schaltverlustenergien im Datenblatt angegeben sind, erfolgt die Berechnung der Schaltverluste nach dem in [D7] beschriebenen Verfahren. Die in den antiparallelen Body-Dioden auftretenden Verluste werden vernachlässigt, da sie nur während des Umschaltprozesses kurzzeitig Strom führen und keine Schaltverluste aufgrund des Betriebs als resonanter LLC-DC/DC-Wandler entstehen.

$$P_{V,C} = R_{DS(on)} \cdot I_T^2 \quad (2.42)$$

$$P_{V,SW} = f_{s,LLC} \cdot \frac{U_{DC}}{U_{ref,DB}} \cdot I_{SW,off} \cdot E_{SW,off}(I_{SW,off}) \quad (2.43)$$

Tabelle 2.2: Auftretende Durchlass- und Schaltverluste im Gleichstromfall für eine positive Ausgangsspannung $U_{a,CHB}$

	Durchlassverluste	Schaltverluste
Primäre H-Brücke (MOSFETs T_1 bis T_4)	$P_{V,C,LLC,p} = 2,6 \text{ W}$	$P_{V,SW,LLC,p} = 0,5 \text{ W}$
Sekundäre H-Brücke (MOSFETs T_5 bis T_8)	$P_{V,C,LLC,s} = 7,6 \text{ W}$	$P_{V,SW,LLC,s} = 0,4 \text{ W}$
CHB-Zelle (MOSFETs T_9 und T_{12})	$P_{V,C,CHB} = 12,1 \text{ W}$	–

Anhand der Verlustleistung können die entsprechenden Kühlkörper dimensioniert werden. Hierbei werden eine Umgebungstemperatur T_A von 40 °C sowie eine maximale Sperrsichttemperatur $T_{J,max}$ von 120 °C angenommen. Der thermische Widerstand der SiC-MOSFETs von Sperrsicht zu Gehäuse $R_{th,JC}$ beträgt 2,3 K/W [D5]. Als Übergang von Gehäuse zu Kühlkörper wird die Wärmeleitungspaste *WLPK* von *Fischer Elektronik* mit einem spezifischen Leitwert von 10 W/mK für die SiC-MOSFETs verwendet. Mit einer angenommenen Dicke von 100 µm, entsprechend [82], ergibt sich ein thermischer Widerstand $R_{th,CH}$ von 0,05 K/W. In Kombination mit dem verwendeten passiven Kühlkörper *WA-T247-101E* von *Ohmite* mit einem thermischen Widerstand $R_{th,HA}$ von 11 K/W ergibt sich eine Sperrsichttemperatur $T_{J,SiC}$ von 81 °C [D8].

Um, wie in Kapitel 3.3.1 gezeigt, zwei CHB-Zellen einschließlich der dazugehörigen LLC-DC/DC-Wandler auf einer Platine zu integrieren, wird ein gemeinsamer Strangkühlkörper für die sekundären MOSFETs der zwei Zellen verwendet. Somit muss der Wärmeeintrag von zwei sekundären H-Brücken des LLC-DC/DC-Wandlers und zwei H-Brücken der CHB-Zellen berücksichtigt werden. Zur Isolation der MOSFETs wird die Silikonfolie *WB 3159* von *Fischer Elektronik* mit einem thermischen Übergangswiderstand $R_{th,CH}$ von 0,34 K/W verwendet. Der maximal zulässige thermische Widerstand des Strangkühlkörpers $R_{th,HA,max}$ beträgt nach Gleichung (2.44) 0,63 K/W, weshalb der Strangkühlkörper *LAM5K* von *Fischer Elektronik* mit einem thermischen Widerstand von 0,27 K/W verwendet wird [D9].

$$R_{th,HA,max} \leq \frac{(T_{J,max} - (R_{th,JC} + R_{th,CH}) \cdot P_{V,C,CHB} - T_A)}{8(P_{V,C,LLC,p} + P_{V,C,LLC,s} + P_{V,SW,LLC,p} + P_{V,SW,LLC,s})} \quad (2.44)$$

Auslegung der Zwischenkreiskondensatoren

Bei der Auslegung der Zwischenkreiskondensatoren müssen zwei Aspekte berücksichtigt werden: Zum einen die maximal zulässige Welligkeit der Zwischenkreisspannung und zum anderen die maximale Effektivstrombelastung der ausgewählten Kondensatoren. Die maximale Welligkeit wird auf 1 % festgelegt, um eine möglichst ideale Ausgangsspannung zu erzeugen. Aus dieser Bedingung und den in Abbildung 2.18 dargestellten Verläufen des Stroms durch den sekundären Zwischenkreiskondensator $i_{C,DC,s}$, des gleichgerichteten Stroms $i_{s,GL}$ und des Ausgangsstroms $I_{a,CHB}$ (siehe Abbildung 2.10) kann die minimale sekundäre Zwischenkreiskapazität $C_{DC,min,s}$ bestimmt werden. Hierzu wird zunächst der entstehende Ladungshub Q_H aus den Strömen nach Gleichung (2.45) bestimmt.

$$Q_H = \int_{t_{i1}}^{t_{i2}} i_{s,GL}(t) - I_{a,CHB} dt \quad (2.45)$$

Die Integrationsgrenzen t_{i1} und t_{i2} entsprechen den Schnittpunkten des gleichgerichteten Stroms $i_{s,GL}$ und des Ausgangsstroms $I_{a,CHB}$, wobei der Ausgangstrom $I_{a,CHB}$ der Gleichrichtwert von $I_{s,FHA}$ darstellt. Es gilt somit:

$$I_{a,CHB} = \frac{2\sqrt{2}}{\pi} I_{s,FHA} \quad (2.46)$$

$$i_{s,GL}(t) = \sqrt{2} \cdot I_{s,FHA} \cdot \sin(\omega_{res} t) \quad (2.47)$$

$$t_{i1} = \frac{\arcsin\left(\frac{2}{\pi}\right)}{\omega_{res}} \quad (2.48)$$

$$t_{i2} = \frac{\pi - \arcsin\left(\frac{2}{\pi}\right)}{\omega_{res}} \quad (2.49)$$

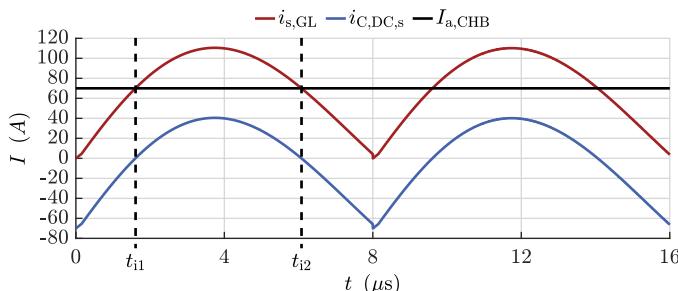


Abbildung 2.18: Stromverlauf des gleichgerichteten Stroms $i_{s,GL}$, des Zwischenkreiskondensatorstroms $i_{C,DC,s}$ und des Ausgangsstroms $I_{a,CHB}$

Durch Einsetzen der Gleichung (2.46) bis (2.49) in (2.45) kann der Energiehub Q_H und die korrespondierende minimale Zwischenkreiskapazität nach Gleichung (2.50) bestimmt werden.

$$C_{DC,min,s} = \frac{Q_H}{\Delta U_{DC}} = \frac{\frac{0,421 \cdot \sqrt{2} \cdot I_{S,FHA}}{\omega_{res}}}{0,01 \cdot U_{DC,s}} \quad (2.50)$$

Die Bestimmungsgleichung (2.50) für die minimale sekundäre Kapazität $C_{DC,min,s}$ lässt sich durch Ersetzen von $I_{S,FHA}$ durch $I_{p,FHA}$ für die minimale primäre Kapazität $C_{DC,min,p}$ anwenden. Es ergeben sich minimale Kapazitätswerte von 398 µF für die Sekundärseite und 1 µF für die Primärseite.

Neben diesen minimalen Kapazitätswerten müssen bei der Dimensionierung der Zwischenkreiskondensatoren auch die effektiven Kondensatorströme berücksichtigt werden. Diese können nach Gleichung (2.35) und (2.36) zu 1,5 A und 33,6 A für die Primär- und Sekundärseite berechnet werden.

Aufgrund der hohen Verfügbarkeit des 900 V Folienkondensators *MHBS505500KRSD* von *ICEL* mit einer Kapazität von 50 µF wird dieser als primärer Zwischenkreiskondensator eingesetzt.

Für den sekundären Zwischenkreiskondensator wird eine Kombination aus dem Elektrolytkondensator *B41693A8477Q007* von *EPCOS* mit einer Kapazität von 470 µF und acht Keramikkondensatoren vom Typ *KRM55WR71H336* von *muRata* mit einer Kapazität von 33 µF verwendet, um sowohl den geforderten Kapazitätswert als auch die erforderliche Effektivstrombelastung zu erfüllen [S2].

2.2.4 Betriebsführung des LLC-DC/DC-Wandlers und der CHB-Zelle

Bei der Betriebsführung des LLC-DC/DC-Wandlers inklusive der CHB-Zelle muss zwischen drei verschiedenen Betriebsmodi unterschieden werden: der Inbetriebnahmephase, der Hochlaufphase und der Betriebsphase.

Während der Inbetriebnahmephase wird die Schaltfrequenz des LLC-DC/DC-Wandlers $f_{s,LLC}$ an die resultierende Resonanzfrequenz f_{res} des Serienschwingkreises angepasst. In der Hochlaufphase wird die sekundäre Zwischenkreisspannung $U_{DC,s}$ auf ihren Nennwert eingeregelt und in der Betriebsphase wird die gewünschte Ausgangsspannung erzeugt, um etwa eine closed-loop-Emulation zu ermöglichen. Abhängig vom Betriebsmodus werden verschiedene Regelstrategien bzw. Betriebsführungskonzepte angewendet.

Inbetriebnahmephase

Der SHCHB-Umrichter besteht in Summe aus 36 CHB-Zellen, die jeweils über einen separaten LLC-DC/DC-Wandler versorgt werden. Während der Inbetriebnahmephase müssen somit 36 unterschiedliche Schwingkreise mit 36 verschiedenen Resonanzfrequenzen f_{res} eingestellt werden. Die Resonanzfrequenzen f_{res} liegen, unter Berücksichtigung der in der Tabelle 2.1 angegebenen Werte für die Streuinduktivitäten der Transformatoren, im Bereich zwischen 58,9 kHz und 63,4 kHz. Um eine individuelle, optimale Schaltfrequenz für jeden LLC-DC/DC-Wandler zu finden, wird ein Algorithmus entwickelt, der automatisiert die optimale Schaltfrequenz bestimmt. Der Algorithmus ist auch in der Lage eine Nachführung der Schaltfrequenz während der Betriebsphase bei sich ändernden Werten der Schwingkreiskomponenten durchzuführen. In Abbildung 2.19 ist das Ablaufdiagramm des Algorithmus dargestellt.

Der Algorithmus startet mit einer reduzierten Schaltfrequenz $f_{s,\text{LLC},\text{start}}$, die bei circa 80 % der Resonanzfrequenz f_{res} liegt. Anschließend wird überprüft, ob der Primärstrom I_p größer als ein unterer Grenzwert $I_{p,\text{min}}$ ist. Durch diese zwei Bedingungen wird gewährleistet, dass das entstehende Strommesssignal für eine korrekte Berechnung der optimierten Schaltfrequenz verwendet werden kann. Im nächsten Schritt wird die Zeit zwischen dem Zeitpunkt $t_{i,z}$ des Polaritätswechsel des Primärstrom i_p und dem Zeitpunkt $t_{u,z}$ des Polaritätswechsel der Primärspannung u_p ermittelt (siehe Abbildung 2.20).

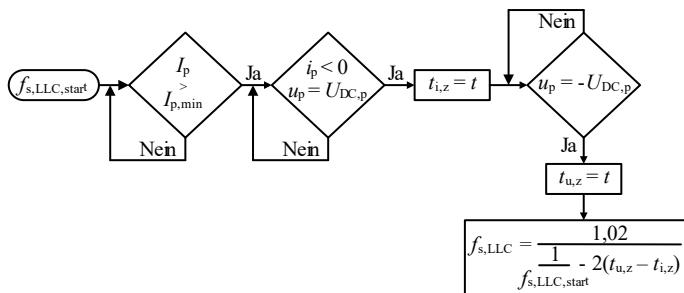


Abbildung 2.19: Ablaufdiagramm des Algorithmus zur automatischen Schaltfrequenzanpassung

Diese Zeit entspricht der halben Differenz zwischen der gewählten Startschaltperiode und der Periode der Resonanzfrequenz des Schwingkreises f_{res} . Da die Schaltfrequenz $f_{s,\text{LLC}}$, entsprechend Kapitel 2.2.1, 2 % über der Resonanzfrequenz f_{res} liegt, muss das Ergebnis nach Abziehen der doppelten Zeit noch mit 1,02 multipliziert werden.

In Abbildung 2.20 sind die simulierten, normierten Strom- und Spannungsverläufe der Primärseite dargestellt. Die Stromamplitude ist aufgrund der zu geringen Schaltfrequenz zu Beginn erhöht. Nachdem der Algorithmus zum Zeitpunkt $t = 0 \mu\text{s}$ die optimierte Schaltfrequenz ermittelt und eingestellt hat, reduziert sich die Amplitude auf die in Kapitel 2.2.2 mittels FHA-Analyse ermittelte Amplitude.

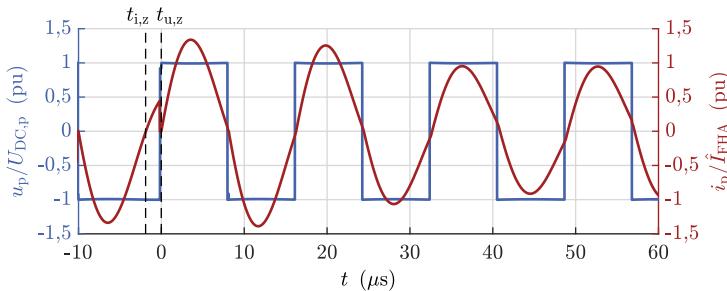


Abbildung 2.20: Simulierte, primäre Strom- und Spannungsverläufe während der Schaltfrequenzanpassung des LLC-DC/DC-Wandlers

Hochlaufphase

In der Hochlaufphase des LLC-DC/DC-Wandlers wird die sekundäre Zwi-schenkreisspannung $U_{\text{DC},s}$ von 0 V auf ihren Nennwert eingeregelt. Aufgrund der zu Beginn nicht existenten Gegenspannung fällt die gesamte primäre Zwi-schenkreisspannung $U_{\text{DC},p}$ über dem Schwingkreis ab. Die Sekundärseite des Transformators wird durch den entladenen Zwischenkreiskondensator $C_{\text{DC},s}$ kurzgeschlossen, was einem transformierten Ausgangersatzwiderstand R'_L von 0Ω entspricht. Ein direktes Einschalten in den Nennarbeitspunkt mit einem Tastverhältnis von 50 % und der Nennschaltfrequenz $f_{s,\text{LLC}}$ würde deshalb zu einem zu großen Einschaltstrom führen, der den LLC-DC/DC-Wandler zerstören würde. Aus diesem Grund muss der LLC-DC/DC-Wandler mit Hilfe einer Routine langsam in seinen Nennarbeitspunkt gebracht werden.

In der Literatur wird hierzu häufig eine trajektorienbasierte Routine verwendet [83, 84]. Bei dieser Methode wird die Frequenzabhängigkeit der Übertragungsfunktion M des LLC-DC/DC-Wandlers (siehe Kapitel 2.2.2) verwendet, um eine geringere Ausgangsspannung zu erzeugen und somit den Einschaltstrom zu begrenzen. Hierzu wird die Schaltfrequenz $f_{s,\text{LLC}}$ beim Aufladen der sekun-dären Zwischenkreisspannung erhöht. In der vorhandenen Anwendung wird der Schwingkreis, entsprechend Kapitel 2.2.3, auf einen möglichst hohen

Wirkungsgrad und eine geringe Lastabhängigkeit ausgelegt, was ein großes Induktivitätsverhältnis m_L von 148 zur Folge hat. Für den maximalen Nennstrom von 69,4 A ergibt sich nach Gleichung (2.30) eine Güte $Q_{LLC,n}$ von 0,05. Die entsprechende Übertragungsfunktion M ist in Abbildung 2.21 für das gegebene Induktivitätsverhältnis m_L sowie für die Güte $Q_{LLC,n}$ dargestellt. Es ist erkennbar, dass eine Regelung der Ausgangsspannung für die gegebenen Kennwerte nicht möglich ist, da die Variation der Übertragungsfunktion zu gering ist. Auch bei einer zehnmal höheren Güte und damit einem entsprechend zehnmal kleineren Lastwiderstand R'_L führt eine Verdopplung der Schaltfrequenz $f_{s,LLC}$ lediglich zu einer Reduktion der Ausgangsspannung $U_{DC,s}$ auf 76 % der Nennspannung. Aus diesem Grund wird auf die Verwendung einer trajektorienbasierten Routine verzichtet und ein modellbasiertes Verfahren entwickelt. Bei dem entwickelten Verfahren wird dabei zwischen zwei Modi unterschieden: dem Konstantstrommodus (CI) und dem Konstantspannungsmodus (CV) [E1].

Zu Beginn des Verfahrens wird die sekundäre Zwischenkreisspannung $U_{DC,s}$ auf 95 % ihres Nennwerts im Konstantstrommodus aufgeladen. Hierzu werden kurze Einschaltpulse verwendet, deren Längen mittels eines Modells ermittelt werden, sodass sich am Ende des Impulses ein definierter Strom einstellt.

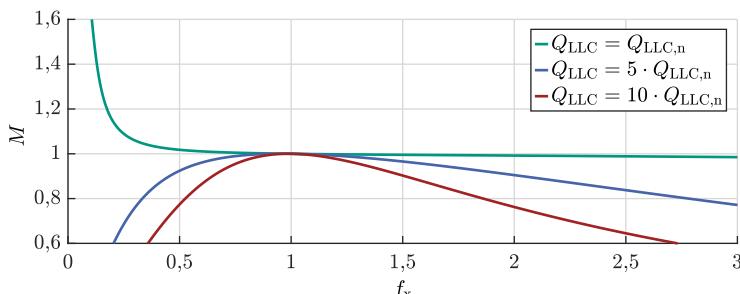


Abbildung 2.21: Übertragungsfunktion M des LLC-DC/DC-Wandlers für gegebenes Induktivitätsverhältnis m_L von 148

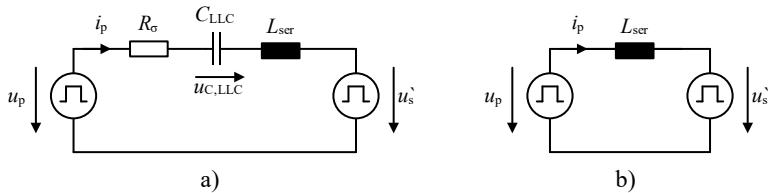


Abbildung 2.22: a) Ersatzschaltbild des LLC-DC/DC-Wandlers, b) vereinfachtes Modell für die Berechnung der Pulsdauer t_{Puls} im CI-Modus

Das verwendete Modell basiert auf dem in Abbildung 2.22 a) illustrierten Ersatzschaltbild des LLC-DC/DC-Wandlers. Das Ersatzschaltbild wird weiter vereinfacht, um die Berechnung auf der LCU des LLC-DC/DC-Wandlers zu ermöglichen. Dabei wird der Schwingkreiskondensator C_{LLC} im CI-Modus vernachlässigt, da nur kurze Stromimpulse verwendet werden und folglich der Spannungsabfall über dem Kondensator $u_{C,LLC}$ vernachlässigbar ist (vgl. Abbildung 2.24). Des Weiteren muss auch der parasitäre Widerstand R_σ unter der Annahme, dass die Pulsdauer t_{Puls} der verwendeten Strompulse im CI-Modus gegenüber der Zeitkonstante $\tau_{LR} = L_{ser}/R_\sigma$ vernachlässigbar ist, nicht berücksichtigt werden. Dadurch entsteht das vereinfachte Modell in Abbildung 2.22 b). Die Pulsdauer t_{Puls} kann folglich gemäß Gleichung (2.51) ermittelt werden.

$$t_{Puls} = \frac{\Delta i_p \cdot L_{ser}}{u_p - u'_s} \quad (2.51)$$

Δi_p entspricht dabei der gewünschten Höhe des Stromimpulses. Nachdem der sekundäre Zwischenkreiskondensator $C_{DC,s}$ auf einen Spannungswert von 95 % des Nennwerts aufgeladen ist, wechselt das Verfahren in den CV-Modus. In diesem Modus ist die sekundäre Zwischenkreisspannung nahezu konstant und der Aussteuergrad des LLC-DC/DC-Wandlers wird mit einem definierten Gradienten auf seinen Nennwert von 50 % erhöht. Nach dem Erreichen des Nennwerts ist der LLC-DC/DC-Wandler betriebsbereit und wechselt von der Hochlaufphase in die Betriebsphase.

Die Ergebnisse der simulativen Validierung des entwickelten Verfahrens sind in Abbildung 2.23 und Abbildung 2.24 dargestellt. Dabei wird ein exemplarischer Verlauf mit einer Stromimpulshöhe von 4 A im CI-Modus sowie einem Aussteuergradienten von 0,5 % pro Schaltperiode im CV-Modus betrachtet. In Abbildung 2.23 ist die gesamte Hochlaufphase abgebildet. Mit dem verwendeten Modell wird die gewünschte Stromimpulshöhe im Mittel mit einer

Variation von $\pm 5\%$ eingeregelt. Die Betrachtung einer einzelnen Schaltperiode ist in Abbildung 2.24 dargestellt. Hierbei ist ebenfalls der Spannungsabfall über dem Schwingkreiskondensator $u_{C,LLC}$ abgebildet. Die Vernachlässigung der Kapazität C_{LLC} im verwendeten Modell ist somit valide, da der Spannungsabfall über dem Kondensator lediglich $0,3\%$ der primären Spannung u_p beträgt.

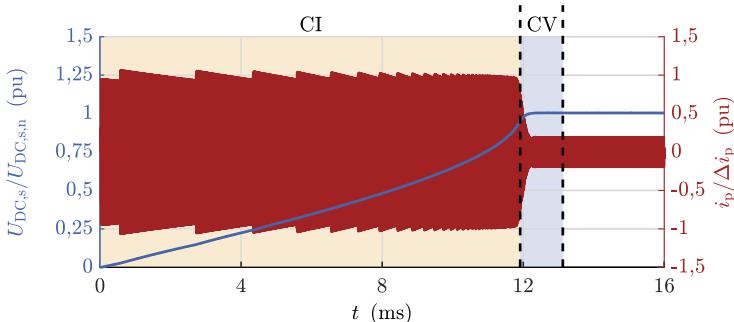


Abbildung 2.23: Simulierte sekundäre Zwischenkreisspannung $U_{DC,s}$ sowie primärer Schwingkreisstrom i_p

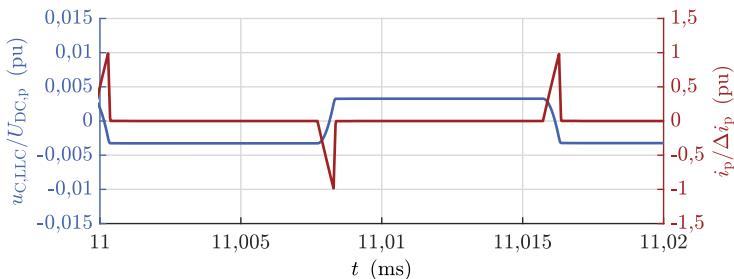


Abbildung 2.24: Primärer Strom i_p sowie Spannungsabfall des Schwingkreiskondensators $u_{C,LLC}$ im CI-Modus

Betriebsphase

Nach der Hochlaufphase befindet sich der LLC-DC/DC-Wandler samt CHB-Zelle in der Betriebsphase. In der Betriebsphase wird der Ausgang des Systems freigeschaltet und beispielsweise die Emulation einer Netzsituation gestartet. Eine kritische Größe für eine stabile und genaue Emulation stellt dabei die Latenz der Reaktion des PHIL-Systems $t_{L,D}$ dar (vgl. Kapitel 1). Um diese

möglichst gering zu halten, muss eine schnelle Reaktion des Ausgangs der CHB-Zelle gewährleistet sein. Hierzu wird ein serielles Kommunikationsprotokoll zwischen der zentralen Signalverarbeitung und der dezentralen Logikeinheit des LLC-DC/DC-Wandlers mit dem in Abbildung 2.25 dargestellten Kommunikationswort entwickelt [E1].



Abbildung 2.25: Kommunikationswort der seriellen Verbindung zwischen zentraler Signalverarbeitung und dezentraler Logikeinheit

Um eine kleine Reaktionszeit zu erreichen, werden zwei Kommunikationskanäle implementiert: ein Hochgeschwindigkeitskanal (P1 und P2) und ein Informationskanal (D1-D4). Der Informationskanal wird verwendet, um 16 Informationswörter mit 16 Bit zu übertragen. Hierbei wird die Adresse des Informationswortes mit dem ersten Kommunikationswort übertragen. In den anschließenden vier Kommunikationswörtern erfolgt die Übertragung des entsprechenden 16-Bit-Informationswortes. Die Unterscheidung zwischen Adressinformation und Daten erfolgt mit dem Steuerbit CB.

Der Hochgeschwindigkeitskanal (P1-P2) wird zur Übertragung des Zustands der Ausgangsvollbrücke der CHB-Zelle verwendet. Mit den beiden Bits kann definiert werden, ob der Ausgang ausgeschaltet ist oder entsprechend ± 30 V bzw. 0 V zur Verfügung stellt. Der verwendete LWL-Transceiver besitzt eine Übertragungsrate von 50 MBaud/s, weshalb der Zustand alle 200 ns vom zentralen Signalverarbeitungssystem an die CHB-Zelle übermittelt wird.

2.3 Analyse des Linearverstärkers

Im Folgenden wird zunächst eine Einführung in die Grundlagen der analogen Schaltungstechnik gegeben, die für das Verständnis des entwickelten Linearverstärkers erforderlich ist. Darauf aufbauend wird anschließend das neuartige Konzept des entwickelten Linearverstärkers hergeleitet und dessen Funktionsweise beschrieben.

2.3.1 Grundlagen der analogen Schaltungstechnik

Zur Beschreibung der Funktionsweise eines Linearverstärkers wird dieser in einzelne Funktionsgruppen untergliedert, deren Funktionen voneinander unabhängig betrachtet werden. Für die Analyse dieser Funktionsgruppen muss zunächst die Funktionsweise der verwendeten Bipolartransistoren betrachtet werden. Anschließend wird die grundlegende Struktur eines auf Bipolartransistoren basierenden Linearverstärkers beschrieben.

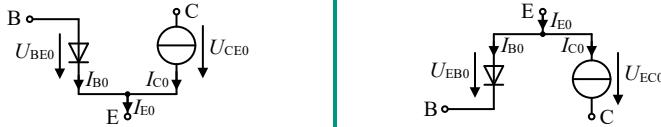
Bipolartransistoren

Bipolartransistoren können in Abhängigkeit der Dotierung ihres Halbleitermaterials in NPN- und PNP-Transistoren unterschieden werden. Die entsprechenden Schichtaufbauten mit den dazugehörigen Schaltbildern sind in Abbildung 2.26 dargestellt. Unabhängig vom Typ kann bei den Bipolartransistoren zwischen fünf Betriebsbereichen unterschieden werden: Sperrbereich, Verstärkungsbereich, Quasi-Sättigungsbereich, Sättigungsbereich und Inverser Verstärkungsbereich [85: S. 145ff]. Welcher Betriebsbereich aktiv ist, hängt von den vorliegenden Spannungen und Strömen ab. Für den Einsatz von Bipolartransistoren in einem Linearverstärker ist nur der Verstärkungsbereich entscheidend, der in Abbildung 2.27 im Ausgangskennlinienfeld eines NPN-Transistors grün schraffiert ist. In diesem Bereich muss eine positive Basis-Emitter-Spannung U_{BE} bei einem NPN-Transistor bzw. eine positive Emitter-Basis-Spannung U_{EB} bei einem PNP-Transistor vorliegen, wodurch der PN-Übergang zwischen Basis und Emitter in Durchlassrichtung betrieben wird. Des Weiteren wird eine positive Kollektor-Emitter-Spannung U_{CE} bzw. eine positive Emitter-Kollektor-Spannung U_{EC} benötigt, die betragsmäßig größer oder gleich U_{BE} bzw. U_{EB} ist, damit der PN-Übergang zwischen Basis und Kollektor in Sperrrichtung betrieben wird.

Schichtmodell und Schaltbild des NPN- bzw. PNP Transistors



Großsignal-Modell eines NPN- bzw. PNP Transistors



Kleinsignal-Modell eines NPN- und PNP-Transistors

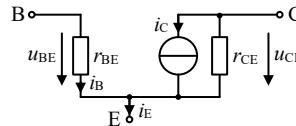


Abbildung 2.26: Schichtmodell, Schaltbild, Kleinsignal- und Großsignal-Modell eines NPN-Transistors (links) und eines PNP-Transistor (rechts)

In diesem Betriebsbereich gelten die in Abbildung 2.26 dargestellten Groß- und Kleinsignalmodelle. Das Großsignalmodell ist unabhängig von der Signalgröße verwendbar, solange der Transistor im Verstärkungsbereich arbeitet. Nachfolgend wird das Großsignalmodell nur für die Arbeitspunkteinstellung (Biasing) verwendet, welche notwendig ist, damit die Transistoren das gewünschte Verhalten besitzen. Das Kleinsignalmodell stellt ein linearisiertes Modell dar und ist nur für kleine Änderungen der Eingangsspannung U_{BE} bzw. U_{EB} verwendbar.

Zur besseren Unterscheidung wird bei der nachfolgenden Analyse des Linearverstärkers die folgende Nomenklatur verwendet:

- Großsignalgrößen: Große Formelzeichen
- Biasing-Größen: Große Formelzeichen + nachgestellte 0 im Index
- Kleinsignalgrößen: Kleine Formelzeichen

Um die Zusammenhänge der Ströme und der Spannungen analytisch beschreiben zu können, wird zunächst die Funktionsweise von Bipolartransistoren betrachtet. Nachfolgend wird lediglich der NPN-Transistor beschrieben. Durch die Substitution der Spannungen U_{BE} und U_{CE} durch U_{EB} und U_{EC} gelten für den PNP-Transistor die gleichen Zusammenhänge.

Aufgrund des in Durchlassrichtung betriebenen PN-Übergangs zwischen Basis und Emitter fließt ein Basisstrom I_B . Der Emitter ist wesentlich stärker dotiert als die Basis. Hierdurch fließen mehr Ladungsträger vom Emitter in die Basis. Infolge der unterschiedlichen Dotierung sind die Ladungsträger in der Basis, die vom Emitter ausgehen, Minoritätsladungsträger. Aufgrund der geringen Dotierung rekombiniert nur ein Bruchteil der ankommenden Ladungsträger mit den vorherrschenden Majoritätsladungsträgern der Basis, wodurch ein Minoritätsladungsträgerüberschuss entsteht.

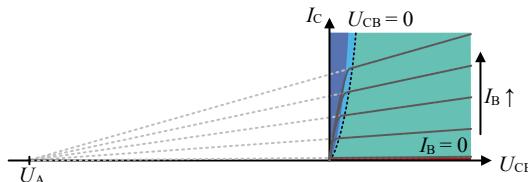


Abbildung 2.27: Ausgangskennlinienfeld eines NPN-Transistors mit verschiedenen Betriebsbereichen: Sättigungs- (blau), Quasi-Sättigungs- (hellblau), Verstärkungs- (grün) und Sperrbereich (rot).

Der zwischen Kollektor und Basis vorliegende PN-Übergang wird gleichzeitig in Sperrrichtung betrieben. Dies hat zur Folge, dass in dieser Raumladungszone sämtliche Minoritätsladungsträger der Basis in Richtung Kollektor abfließen. Es entsteht ein Konzentrationsgefälle und somit ein Diffusionsstrom der Minoritätsladungsträger innerhalb der Basis in Richtung Kollektor. Aufgrund der geringen Dicke der Basis und seiner geringen Dotierung entspricht dieser Strom dem Hauptstrom. Nur ein kleiner Teil der Ladungsträger rekombiniert innerhalb der Basis und fließt über den Basisanschluss ab. Dadurch wird gewährleistet, mit einem kleinen Basisstrom I_B einen wesentlichen größeren Kollektorstrom I_C steuern zu können. Der Zusammenhang zwischen I_B und I_C wird durch die Stromverstärkung B (Großsignal) bzw. β für Kleinsignale beschrieben. Es gilt:

$$I_C = B(I_{C0}, U_{CE0}) \cdot I_B \quad i_C = \beta(I_{C0}, U_{CE0}) \cdot i_B \quad (2.52)$$

Die vorliegende Stromverstärkung ist dabei sowohl von der Charakteristik des verwendeten Transistors als auch von dem eingestellten Arbeitspunkt abhängig. Der Arbeitspunkt wird so gewählt, dass sich die maximale Stromverstärkung β einstellt. Die maximale Stromverstärkung β von Kleinsignaltransistoren beträgt circa 100 bis 500 und wird bei einem Kollektorstrom I_{C0} von circa 1 – 10 mA erreicht [86: S. 46].

Neben der Stromverstärkung ist die Transkonduktanz g_m eine wichtige Charakteristik des Bipolartransistors. Sie beschreibt den Zusammenhang zwischen den Kleinsignalgrößen u_{be} und i_c .

$$g_m = \frac{i_c}{u_{BE}} = \frac{dI_C}{dU_{BE}} \quad (2.53)$$

Durch Kenntnis der Transkonduktanz g_m kann die im Kleinsignalmodell dargestellte Stromquelle (vgl. Abbildung 2.26) beschrieben werden. Zur Bestimmung der Transkonduktanz g_m muss zunächst der allgemeine Zusammenhang (Großsignal) zwischen U_{BE} und I_C betrachtet werden. Aufgrund des in Durchlassrichtung betriebenen PN-Übergangs zwischen Basis und Emitter kann die erweiterte Shockley-Gleichung für diesen Zusammenhang verwendet werden, die den Early-Effekt mitberücksichtigt [86: S. 43].

$$I_C = \underbrace{I_S \cdot \left(e^{\frac{U_{BE}}{U_T}} - 1 \right)}_{\text{Shockley-Gleichung}} \cdot \underbrace{\left(1 + \frac{U_{CE}}{U_A} \right)}_{\text{Early-Effekt}} \cong I_S \cdot e^{\frac{U_{BE}}{U_T}} \cdot \left(1 + \frac{U_{CE}}{U_A} \right) \quad (2.54)$$

Hierbei ist I_S der Sättigungssperrstrom, der zwischen $10^{-16} - 10^{-12}$ A liegt, U_T die Temperaturspannung, die bei 20 °C circa 26 mV beträgt, und U_A die Early-Spannung, die im Bereich zwischen 30 – 150 V liegt [86: S. 42].

Der Early-Effekt beschreibt die Abhängigkeit des Kollektorstroms I_C von der Kollektor-Emitter-Spannung U_{CE} , die durch die zunehmende Breite der Raumladungszonen mit zunehmender U_{CE} begründbar ist. Hierdurch sinkt die Dicke der Basis, sodass das Konzentrationsgefälle und entsprechend auch der Diffusionsstrom zunehmen [87: S. 110]. Die Early-Spannung U_A stellt dabei den Schnittpunkt der extrapolierten Ausgangskennlinien des Transistors dar (siehe Abbildung 2.27).

Zur Ermittlung der Transkonduktanz g_m wird die Ableitung des Kollektorstroms I_C gemäß der Bestimmungsgleichung (2.53) nach der Basis-Emitter-Spannung U_{BE} für den eingestellten Arbeitspunkt bestimmt.

$$g_m = \frac{dI_C}{dU_{BE}} = \frac{1}{U_T} \cdot \underbrace{I_S \cdot e^{\frac{U_{BE0}}{U_T}} \cdot \left(1 + \frac{U_{CE0}}{U_A} \right)}_{I_{C0}} = \frac{I_{C0}}{U_T} \quad (2.55)$$

Neben der Stromquelle müssen die beiden Widerstände r_{be} und r_{ce} , die den Zusammenhang zwischen u_{be} und i_b bzw. zwischen u_{ce} und i_c beschreiben, ermittelt werden. Für r_{be} gilt:

$$r_{be} = \frac{u_{be}}{i_b} = \frac{u_{be} \cdot \beta}{i_c} = \frac{\beta}{g_m} = \frac{\beta \cdot U_T}{I_{C0}} \quad (2.56)$$

Um den Widerstand r_{ce} zu ermitteln, wird die allgemeine Gleichung (2.54) nach U_{CE} umgestellt und nach I_C abgeleitet. Für r_{ce} gilt:

$$r_{ce} = \frac{dU_{CE}}{dI_C} = \frac{u_{ce}}{i_c} = \frac{U_A + U_{CEO}}{I_S \cdot e^{\frac{U_{BEO}}{U_T}} \left(1 + \frac{U_{CEO}}{U_A} \right)} = \frac{U_A + U_{CEO}}{I_{C0}} \quad (2.57)$$

Dieser Ausdruck wird für die lineare Schaltungsanalyse entsprechend Gleichung (2.58) weiter vereinfacht unter der Annahme, dass die Kollektor-Emitter-Spannung U_{CEO} gegenüber der Early-Spannung U_A klein ist [88: S. 146].

$$r_{ce} \approx \frac{U_A}{I_{C0}} \quad (2.58)$$

Unter Berücksichtigung der genannten Wertebereiche für die Early-Spannung U_A , für die Stromverstärkung β und für den Kollektorstrom I_{C0} liegen der Kollektor-Emitter-Widerstand r_{ce} typischerweise bei circa 100 kΩ und der Basis-Emitter-Widerstand r_{be} bei circa 1 – 10 kΩ.

Mit Hilfe der hergeleiteten Groß- und Kleinsignalmodelle werden nachfolgend die verwendeten Funktionseinheiten analysiert.

Transistorgrundschaltungen

Transistoren können in drei Grundschaltungen betrieben werden: Basis-, Emitter- und Kollektorschaltung. Die Grundschaltungen unterscheiden sich hinsichtlich ihrem Ein- und Ausgangswiderstand (r_{in} und r_a) sowie in ihrer Leerlaufspannungsverstärkung A_{V0} bzw. ihrer Spannungsverstärkung A_V , weshalb sie verschiedene Funktionen innerhalb eines LPAs erfüllen.

Mit Hilfe dieser charakteristischen Größen (r_{in} , r_a und A_{V0} bzw. A_V) können die Thévenin-Ersatzschaltung bzw. die Norton-Ersatzschaltung eines Zweitors nach Abbildung 2.28 a) bzw. b) ermittelt werden. Diese Ersatzschaltungen können nicht nur für die Grundschaltungen, sondern auch für alle später analysierten Funktionsgruppen eines LPAs verwendet werden. Dadurch

vereinfacht sich die Analyse des LPAs, da die einzelnen Funktionsgruppen zunächst unabhängig voneinander analysiert und anschließend zusammengeschaltet werden können, um die gewünschte Funktionalität zu erhalten.

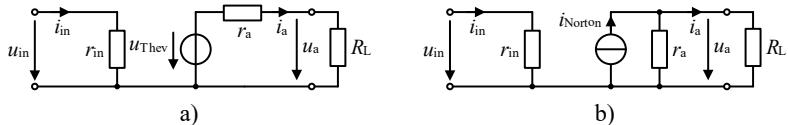


Abbildung 2.28: a) Thévenin-Ersatzschaltung und b) Norton-Ersatzschaltung eines Zweitors

Für die interne Spannung u_{Thev} und die interne Stromquelle i_{Norton} gelten folgende Beziehungen:

$$u_{\text{Thev}} = A_{V0} \cdot u_{\text{in}} \quad (2.59)$$

$$i_{\text{Norton}} = \frac{A_{V0} \cdot u_{\text{in}}}{r_a} \quad (2.60)$$

Des Weiteren gilt für die Spannungsverstärkung A_V , die den allgemeinen Zusammenhang zwischen u_{in} und u_A für einen Lastwiderstand R_L definiert.

$$A_V = \frac{u_A}{u_{\text{in}}} = A_{V0} \cdot \frac{R_L}{R_L + r_a} \quad (2.61)$$

Für den Leerlauffall ($R_L \rightarrow \infty$) gilt folgender Zusammenhang:

$$A_V = A_{V0} = \frac{u_{\text{Thev}}}{u_{\text{in}}} = \frac{u_A}{u_{\text{in}}} \quad (2.62)$$

Nachfolgend werden die drei Grundschatungen analysiert und deren charakteristischen Größen hergeleitet. Zunächst wird die Emitterschaltung mit Stromgegenkopplung betrachtet, die in Abbildung 2.29 a) dargestellt ist. Das dazugehörige Kleinsignalersatzschaltbild wird in Abbildung 2.29 b) gezeigt. Die Stromgegenkopplung wird durch den Widerstand R_E erreicht. Sie reduziert die Nichtlinearität sowie die Temperaturabhängigkeit des Arbeitspunkts [86: S. 114ff]. Insbesondere bei Leistungstransistoren kann es aufgrund des negativen Temperaturkoeffizienten ohne den Widerstand R_E zu einem Mitkoppeleffekt kommen, wodurch ein stabiler Betrieb nicht mehr gewährleistet werden kann [89: S. 277]. Zudem führt die Kleinsignaleingangsspannung u_{be} zu einer leichten Verschiebung des Arbeitspunkts und entsprechend zu einer

Variation des Stroms I_{C0} . Dies verursacht, nach Gleichung (2.55), eine Veränderung der Transkonduktanz g_m und somit eine Verzerrung des Ausgangssignals u_A [88: S. 211].

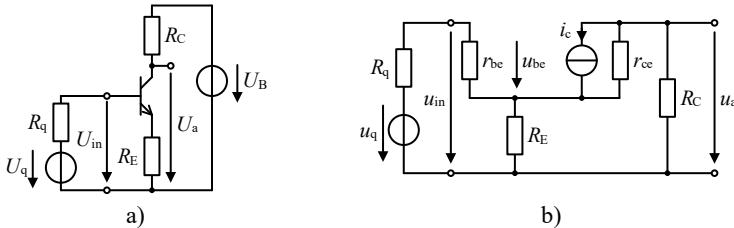


Abbildung 2.29: a) Emitterschaltung mit Stromgegenkopplung; b) Kleinsignalersatzschaltbild der Emitterschaltung mit Stromgegenkopplung

Die Ausprägungen beider Effekte werden durch Hinzufügen des Widerstands R_E reduziert. Aus diesem Grund wird die Emitterschaltung typischerweise nur mit der Stromgegenkopplung betrieben. Zur Beschreibung der Emitterschaltung können der charakteristische Ein- und Ausgangswiderstand (r_{in} und r_a) sowie die Leerlaufspannungsverstärkung A_{V0} nach den Gleichungen (2.63) bis (2.65) verwendet werden. Die Herleitung dieser Gleichungen ist in Anhang A.1.1 beschrieben.

$$r_{in} = r_{be} + \frac{(1+\beta) \cdot r_{ce} + R_C \| R_L}{r_{ce} + R_E + R_C \| R_L} \cdot R_E \quad (2.63)$$

$$r_a = R_C \| \left[r_{ce} \cdot \left(1 + \frac{\beta + \frac{r_{be} + R_q}{r_{ce}}}{1 + \frac{r_{be} + R_q}{R_E}} \right) \right] \quad (2.64)$$

$$A_{V0} = \frac{u_a}{u_{in}} = - \frac{g_m \cdot R_C \cdot \left(1 - \frac{R_E}{\beta \cdot r_{ce}} \right)}{1 + R_E \left(g_m \left(1 + \frac{1}{\beta} + \frac{R_C}{\beta \cdot r_{ce}} \right) + \frac{1}{r_{ce}} \right) + \frac{R_C}{r_{ce}}} \quad (2.65)$$

Diese Zusammenhänge können mit Hilfe den in (2.66) und (2.67) getroffenen Annahmen zu den Gleichungen (2.68) bis (2.70) weiter vereinfacht werden. Dabei sind die in (2.66) getroffenen Annahmen nur abhängig von den Transistoreigenschaften, die in (2.67) getroffenen Annahmen hingegen zusätzlich von der Beschaltung und somit von der jeweiligen Anwendung.

$$\beta \gg 1; \quad r_{ce} \gg r_{be} \quad g_m \cdot r_{ce} \gg 1 \quad (2.66)$$

$$r_{ce} \gg R_C, R_E ; \quad g_m \cdot R_E \gg 1 \quad (2.67)$$

$$r_{in} \stackrel{\beta \gg 1,}{\underset{r_{ce} \gg R_C, R_E}{\cong}} r_{be} + \beta \cdot R_E \quad (2.68)$$

$$r_a \stackrel{g_m \cdot r_{ce} \gg 1}{\cong} R_C \parallel \left[r_{ce} \cdot \left(1 + \frac{\beta \cdot R_E}{R_E + r_{be} + R_q} \right) \right] \stackrel{r_{ce} \gg R_C}{\cong} R_C \quad (2.69)$$

$$A_{VO} \stackrel{\beta \gg 1}{\cong} -\frac{g_m \cdot R_C}{1+g_m \cdot R_E} \stackrel{g_m \cdot R_E \gg 1}{\cong} -\frac{R_C}{R_E} \quad (2.70)$$

Entsprechend der Emitterschaltung können zudem eine Analyse der Basis- und der Kollektorschaltung erfolgen. Die Herleitung für die Gleichungen erfolgt im Anhang A.1.2 und A.1.3. Die dazugehörigen Schaltungen und Kleinsignalersatzschaltbilder sind in Abbildung 2.30 dargestellt.

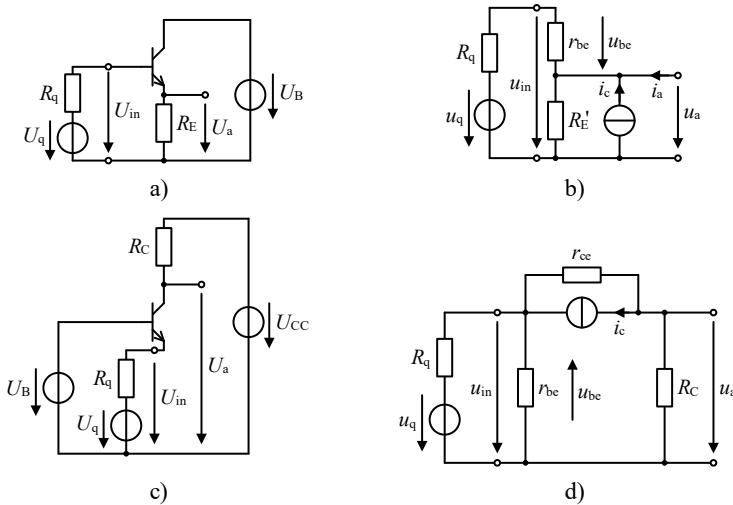


Abbildung 2.30: a) Kollektorschaltung; b) Kleinsignalersatzschaltbild der Kollektorschaltung; c) Basisschaltung; d) Kleinsignalersatzschaltbild der Basisschaltung

Die vereinfachten Zusammenhänge für den Eingangs- und Ausgangswiderstand sowie für die Leerlaufspannungsverstärkung der Kollektorschaltung werden unter Verwendung der in (2.66) und (2.67) getroffenen Annahmen in den Gleichungen (2.71) bis (2.73) dargelegt.

$$r_{in} \stackrel{\beta \gg 1}{\cong} r_{be} + (\beta \cdot R_E) \parallel r_{ce} \stackrel{r_{ce} \gg R_E}{\cong} r_{be} + \beta \cdot R_E \quad (2.71)$$

$$r_a \stackrel{\beta \gg 1}{\cong} \left(\frac{R_q}{\beta} + \frac{1}{g_m} \right) \parallel R_E \parallel r_{ce} \stackrel{r_{ce} \gg R_E}{\cong} \left(\frac{R_q}{\beta} + \frac{1}{g_m} \right) \parallel R_E \quad (2.72)$$

$$A_{V0} \stackrel{\beta \gg 1}{\cong} \frac{\frac{R_E \parallel r_{ce}}{R_E \parallel r_{ce} + \frac{1}{g_m}}}{\frac{R_E \parallel r_{ce} + \frac{1}{g_m}}{R_E + \frac{1}{g_m}}} \stackrel{r_{ce} \gg R_E}{\cong} \frac{R_E}{R_E + \frac{1}{g_m}} \stackrel{g_m \cdot R_E \gg 1}{\cong} 1 \quad (2.73)$$

Für die Basisschaltung sind die entsprechenden Ausdrücke in den Gleichungen (2.74) bis (2.76) angegeben.

$$r_{in} \stackrel{\beta \cdot r_{ce} \gg r_{be}}{\cong} r_{be} \parallel \frac{R_C + r_{ce}}{\beta \cdot r_{ce}} \stackrel{r_{ce} \gg R_C}{\cong} \frac{1}{g_m} \quad (2.74)$$

$$r_a \stackrel{\beta \cdot r_{ce} \gg r_{be}}{\cong} R_C \parallel \left[r_{ce} \cdot \left(1 + \frac{\beta \cdot R_q}{R_q + r_{be}} \right) \right] \stackrel{r_{ce} \gg R_C}{\cong} R_C \quad (2.75)$$

$$A_{V0} \stackrel{\beta \cdot r_{ce} \gg r_{be}}{\cong} g_m \cdot (R_C \parallel r_{ce}) \stackrel{r_{ce} \gg R_C}{\cong} g_m \cdot R_C \quad (2.76)$$

Die aufgeführten Zusammenhänge für die Widerstände sowie für die Leerlaufspannungsverstärkungen der drei Grundschaltungen werden nachfolgend für die Analyse der verschiedenen Funktionsgruppen und für die Analyse des gesamten Linearverstärkers verwendet.

Grundstruktur eines Linearverstärkers

Die Grundstruktur von Linearverstärkern (LPA) besteht aus drei aufeinanderfolgenden Stufen: einer Differenzverstärkerstufe (DVS), einer Spannungsverstärkerstufe (SVS) und einer Ausgangsstufe (AS). Ein Prinzipschaltbild eines solchen LPAs ist in Abbildung 2.31 dargestellt. Durch diese Kombination soll ein möglichst ideales Verhalten erreicht werden. Dies beinhaltet einen möglichst großen Eingangswiderstand $r_{in,LPA}$, eine möglichst große

Spannungsverstärkung $A_{V,LPA}$, einen möglichst kleinen Ausgangswiderstand $r_{a,LPA}$, eine möglichst hohe Dynamik bzw. Spannungssteilheit SR_{LPA} und eine möglichst hohe Bandbreite B_{LPA} .

Die **Differenzverstärkerstufe (DVS)** dient zur Verstärkung der Differenzspannung $U_{DIF} = U_{IN+} - U_{IN-}$ und zur Unterdrückung der Gleichtaktspannung $U_{GL} = \frac{1}{2}(U_{IN+} + U_{IN-})$. Die zwei wichtigsten Gütekriterien der DVS sind die Gleichtaktunterdrückung (CMRR, engl.: Common Mode Rejection Ratio), die das Verhältnis zwischen Differenz- $A_{V,DIF}$ und Gleichtaktverstärkung $A_{V,GL}$ darstellt [86: S. 364], sowie der Differenzeingangswiderstand $r_{in,DVS}$, der die Kleinsignaleingangsspannung u_{DIF} belastet und dem Eingangswiderstand des LPAs $r_{in,LPA}$ entspricht.

Für das Prinzipschaltbild können die in den Gleichungen (2.77) bis (2.81) gezeigten Beziehungen für die Differenzverstärkerstufe hergeleitet werden (siehe Anhang A.2). Dabei wird davon ausgegangen, dass die Transistoren $T1$ und $T2$ identisch sind und somit die charakteristischen Widerstände ($r_{be1} = r_{be2} = r_{be,DVS}$, $r_{ce1} = r_{ce2} = r_{ce,DVS}$) und die Transkonduktanzen ($g_{m1} = g_{m2} = g_{m,DVS}$) gleich groß sind.

$$A_{V,DIF} = \frac{u_{a,DVS}}{u_{DIF}} = -\frac{1}{2} g_{m,DVS} \cdot (R_{C,DVS} \parallel r_{in,SVS}) \quad (2.77)$$

$$A_{V,DIF} \underset{r_{ce} \gg r_{in,SVS}}{\cong} -\frac{1}{2} g_{m,DVS} \cdot (R_{C,DVS} \parallel r_{in,SVS}) \quad (2.78)$$

$$A_{V,GL} = \frac{u_{a,DVS}}{u_{GL}} = -\frac{1}{2} \frac{R_{C,DVS} \parallel r_{in,SVS}}{R_{E,DVS}} \quad (2.79)$$

$$CMRR = \frac{A_{V,DIF}}{A_{V,GL}} = g_{m,DVS} \cdot R_{E,DVS} \quad (2.80)$$

$$r_{in,DIF} = 2 \cdot r_{be,DVS} \quad (2.81)$$

Die **Spannungsverstärkerstufe (SVS)** soll das von der DVS erzeugte Ausgangssignal mit einer möglichst hohen Spannungsverstärkung $A_{V,SVS}$ verstärken und ist somit entscheidend für die Verstärkung des gesamten LPAs $A_{V,LPA}$. Neben der Spannungsverstärkung sind bei der SVS auch der Eingangswiderstand $r_{in,SVS}$ und der Ausgangswiderstand $r_{a,SVS}$ relevant. Der Eingangswiderstand belastet die DVS und reduziert somit deren Verstärkung; während der

Ausgangswiderstand Einfluss auf den wirksamen Ausgangswiderstand des LPAs $r_{a,LPA}$ hat.

In dem gezeigten Prinzipschaltbild entspricht die SVS einer Emitterschaltung. Für die Spannungsverstärkung $A_{V,SVS}$, den Eingangswiderstand $r_{in,SVS}$ und den Ausgangswiderstand $r_{a,SVS}$ gelten folgende Zusammenhänge:

$$A_{V,SVS} = -g_{m,SVS} \cdot (R_{C,SVS} \parallel r_{in,AS}) \quad (2.82)$$

$$r_{in,SVS} = r_{be,SVS} \quad (2.83)$$

$$r_{a,SVS} = R_{C,SVS} \parallel r_{ce,SVS} \quad (2.84)$$

Die in Abbildung 2.31 gezeigte Emitterschaltung der SVS ist um eine zusätzliche Korrekturkapazität C_M , parallel zur Millerkapazität des Transistors, erweitert. Diese Korrekturkapazität C_M dient zur Frequenzgangkorrektur des LPAs [86: S. 509ff]. Durch Erhöhen der Kapazität wird die Frequenz der dominanten Polstelle reduziert und somit eine zusätzliche Dämpfung für höhere Frequenzen erreicht. Dies führt wiederum zu einer höheren Phasenreserve und folglich zu einem stabileren Betrieb [89: S. 87f].

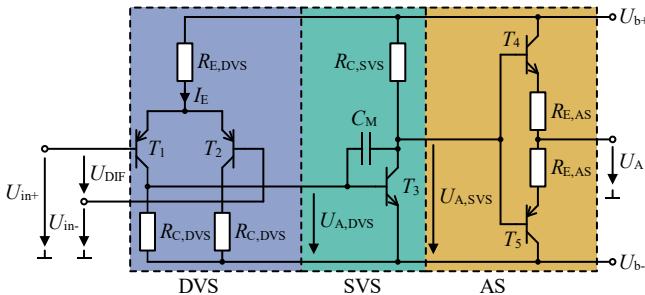


Abbildung 2.31: Prinzipschaltbild eines Linearverstärkers bestehend aus Differenzverstärkerstufe, Spannungsverstärkerstufe und Ausgangsstufe

Die letzte Stufe des LPAs ist die **Ausgangsstufe (AS)**, welche die Leistung des Ausgangssignals der SVS verstärkt und somit den wirksamen Ausgangswiderstand des LPAs $r_{a,LPA}$ reduziert.

Für das gezeigte Prinzipschaltbild können die resultierende Spannungsverstärkung $A_{V,AS}$, der Eingangswiderstand $r_{in,AS}$ und der Ausgangswiderstand $r_{a,AS}$ nach Gleichung (2.85) bis (2.87) berechnet werden. Dabei wird von einem

gleichen Verhalten der beiden Transistoren T_4 und T_5 ausgegangen. Die Herleitung der Gleichungen wird in Anhang A.3 beschrieben.

$$r_{in,AS} = \frac{1}{2} r_{be,AS} + \beta_{AS} \cdot R_L \quad (2.85)$$

$$r_{a,AS} = \frac{1}{2} \left(R_{E,AS} + r_{ce,AS} \parallel \left(\frac{1}{g_{m,AS}} + \frac{2 \cdot R_q}{\beta_{AS}} \right) \right) \quad (2.86)$$

$$A_{V,AS} = \frac{R_L}{\underbrace{\frac{1}{2 \cdot g_{m,AS}} + R_L}_{A_{V,AS}}} \quad (2.87)$$

Der Innenwiderstand der Quelle R_q entspricht dem Ausgangswiderstand der SVS $r_{a,SVS}$. Die drei Kenngrößen des LPAs für das gezeigte Prinzipschaltbild lauten somit:

$$r_{in,LPA} = 2 \cdot r_{be,DVS} \quad (2.88)$$

$$A_{V,LPA} = \underbrace{\frac{1}{2} g_{m,DVS} \cdot (R_{C,DVS} \parallel r_{in,SVS})}_{A_{V,DIF}} \cdot \underbrace{g_{m,SVS} \cdot (R_{C,SVS} \parallel r_{in,AS})}_{A_{V,SVS}} \cdot \underbrace{\frac{R_L}{\frac{1}{2 \cdot g_{m,AS}} + R_L}}_{A_{V,AS}} \quad (2.89)$$

$$r_{a,LPA} = \frac{1}{2} \left(R_{E,AS} + r_{ce,AS} \parallel \left(\frac{1}{g_{m,AS}} + \frac{r_{a,SVS}}{\beta_{AS}} \right) \right) \quad (2.90)$$

Stromquelle und Stromspiegel

Um eine hohe Spannungsverstärkung $A_{V,DIF}$ und eine große Gleichtaktunterdrückung CMRR zu erreichen, werden gemäß Gleichung (2.77) und (2.80) große Kollektork- und Emitterwiderstände benötigt. Die Verwendung größerer Widerstände würde jedoch den Spannungsabfall erhöhen und die Aussteuerbarkeit sowie den Kollektorruhestrom I_{C0} reduzieren. Dies würde wiederum zu einer geringen Transkonduktanz g_m (siehe Gleichung (2.55)) und einer geringen Bandbreite führen [90]. Aufgrund dessen werden die Widerstände durch Stromquellen bzw. Stromspiegel ersetzt. In Abbildung 2.32 a) ist die verwendete Stromquelle dargestellt, während in c) das vereinfachte Kleinsignalersatzschaltbild unter Verwendung des Norton-Theorems abgebildet ist. Das vereinfachte Kleinsignalersatzschaltbild sowie der dazugehörige

Kleinsignalausgangswiderstand $r_{a,CS}$ werden im Anhang A.4 hergeleitet. Für den Kleinsignalausgangswiderstand $r_{a,CS}$ gilt unter Verwendung der im Anhang beschriebenen Vereinfachungen:

$$r_{a,CS} = r_{CE1} \cdot \left(1 + \beta_1 \frac{\beta_2 \cdot R_{CS}}{r_{be2} + \beta_2 \cdot R_{CS}} \right) \quad (2.91)$$

Der Ausgangsstrom der Stromquelle I_{CS} wird durch die Basis-Emitter-Spannung des Transistors T_{CS2} definiert und beträgt:

$$I_{CS} = \frac{U_{BE2}}{R_{CS}} \quad (2.92)$$

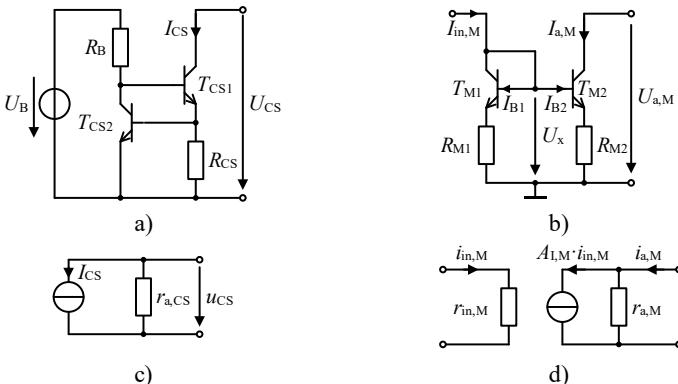


Abbildung 2.32: a) Prinzipschaltbild der verwendeten Stromquelle; b) Prinzipschaltbild des verwendeten Stromspiegels; c) Norton-Ersatzschaltung der Stromquelle; d) Norton-Ersatzschaltung des Stromspiegels

Neben Stromquellen sind auch Stromspiegel von enormer Bedeutung für den Aufbau eines leistungsfähigen LPAs. Sie werden z.B. bei der Differenzverstärkerstufe als Ersatz für die Kollektorwiderstände R_C als sogenannte *Active Load* verwendet. In Abbildung 2.32 b) ist das Prinzipschaltbild des verwendeten Stromspiegels dargestellt. Die dazugehörige Norton-Ersatzschaltung ist in Abbildung 2.32 d) zu sehen. Die Zusammenhänge des Stromspiegels werden in Anhang A.5 hergeleitet.

Für das Verhältnis zwischen Eingangsstrom $I_{in,M}$ und Ausgangsstrom $I_{a,M}$ gilt für den Fall, dass das Verhältnis der beiden Widerstände R_{M1} und R_{M2} dem reziproken Verhältnis der beiden Sättigungssperrströmen I_{S1} und I_{S2} der beiden Transistoren T_{M1} und T_{M2} entspricht, näherungsweise folgender Zusammenhang:

$$A_{I,M} = \frac{I_{a,M}}{I_{e,M}} = \frac{I_{S2}}{I_{S1}} = \frac{R_{M1}}{R_{M2}} \quad (2.93)$$

Die Gegenkopplungswiderstände R_{M1} und R_{M2} erhöhen hierbei den Ausgangswiderstand und stabilisieren das Übersetzungsverhältnis [86: S. 314]. Der Ausgangswiderstand $r_{a,M}$ des Stromspiegels kann näherungsweise nach Gleichung (2.94) bestimmt werden.

$$r_{a,M} = r_{ce2} \left(1 + \frac{\beta \cdot R_{M2}}{R_{M1} + R_{M2} + r_{be2}} \right) \quad (2.94)$$

Der Vorteil bei der Verwendung eines Stromspiegels als *Active Load* bei der DVS (siehe Abbildung 2.33) besteht darin, dass die Halbierung der Differenzverstärkung $A_{V,DIF}$ (siehe Gleichung (2.78)) kompensiert und somit eine Verdoppelung der Verstärkung verglichen zur Verwendung zweier unabhängiger Stromquellen erreicht werden kann. Für die Leerlaufverstärkung der Differenzverstärkerstufe $A_{V0,DIF}$ unter Verwendung einer *Active Load* gilt mit Stromgegenkopplungswiderstand R_E der Zusammenhang aus Gleichung (2.95) und ohne R_E der Zusammenhang aus Gleichung (2.96). Die Zusammenhänge werden im Anhang A.5 hergeleitet.

$$A_{V0,DIF} = \frac{u_{a,DVS}}{u_{DIF}} = \frac{g_{m,n} \cdot r_{a,M}}{1 + g_{m,n} \cdot R_E \cdot \left(1 + \frac{r_{a,M}}{\beta_n \cdot r_{ce,n}} \right) + \frac{r_{a,M}}{r_{ce,n}}} \quad (2.95)$$

$$A_{V0,DIF} = \frac{u_{a,DVS}}{u_{DIF}} = g_{m,n} \cdot (r_{a,M} \parallel r_{ce,n}) \quad (2.96)$$

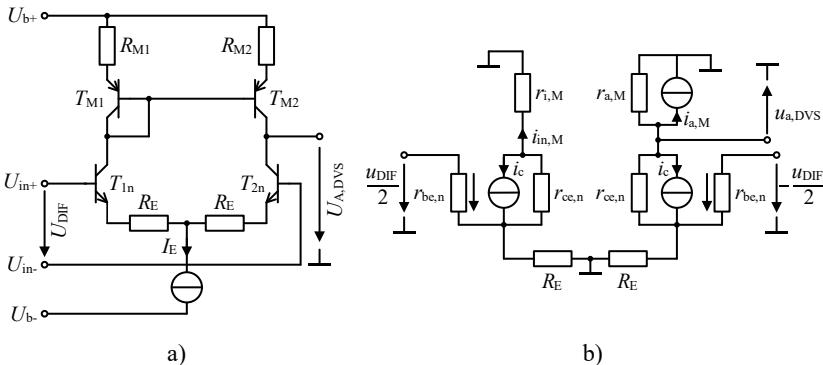


Abbildung 2.33: a) Prinzipschaltbild einer DVS mit *Active Load*, b) Kleinsignalersatzschaltbild einer DVS mit *Active Load*

Kaskodenschaltung

In Abbildung 2.34 a) ist eine Kaskodenschaltung bestehend aus den Transistoren T_{C1} und T_{C2} in Kombination mit einer Stromquelle I_{CS} dargestellt. Mit Hilfe der Kaskodenschaltung kann der Millereffekt des Transistors T_{C1} , der als Emitterschaltung arbeitet, reduziert werden. Dies wird realisiert, indem der Transistor T_{C2} , der als Basisschaltung arbeitet, das Kollektorpotential des Transistors T_{C1} konstant hält. Hierdurch wird die erreichbare Bandbreite erhöht [86: S. 345ff, 91: S. 328ff]. Des Weiteren kann der Spannungsabfall über dem Transistor T_{C1} vermindert werden. Daraus folgend können kleinere Signaltransistoren verwendet werden, wodurch eine höhere Dynamik und Stromverstärkung erzielt werden können.

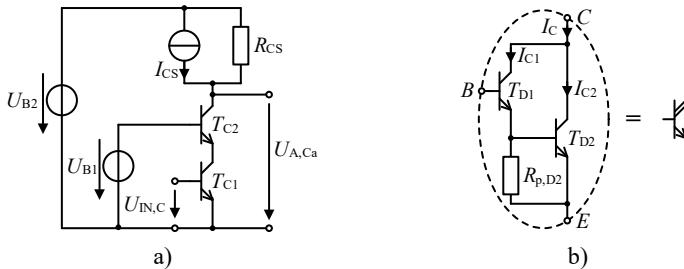


Abbildung 2.34: a) Kaskodenschaltung; b) Darlington-Schaltung und Schaltsymbol

Die Herleitung der Spannungsverstärkung $A_{V,Ca}$, der Transkonduktanz $g_{m,Ca}$, des Eingangs- $r_{in,Ca}$ und Ausgangswiderstands $r_{a,Ca}$ erfolgt im Anhang A.6. Unter Berücksichtigung der im Anhang definierten Vereinfachungen gelten für die Kenngrößen folgende Zusammenhänge:

$$A_{V,Ca} = \frac{u_{a,C}}{u_{in,C}} = -g_{m1} \cdot ((\beta_2 \cdot r_{ce2}) \parallel R_{CS}) \quad (2.97)$$

$$g_{m,Ca} = g_{m1} \quad (2.98)$$

$$r_{in,Ca} = r_{be1} \quad (2.99)$$

$$r_{a,Ca} = (\beta_2 \cdot r_{ce2}) \parallel R_{CS} \quad (2.100)$$

Darlington-Stufe

Bei der Darlington-Stufe werden zwei Transistoren in Emitterschaltung kaskadiert, um dadurch die Stromverstärkung zu erhöhen [86: S. 177ff, 88: S. 242]. Dieser Effekt wird zum einen bei der DVS genutzt, um den wirksamen Eingangswiderstand $r_{in,LPA}$ zu erhöhen, und zum anderen bei der Ausgangsstufe, um den wirksamen Ausgangswiderstand $r_{a,LPA}$ zu reduzieren.

Das Verhalten der Darlington-Stufe kann näherungsweise durch einen Ersatztransistor beschrieben werden [86: S. 183]. Das Schaltsymbol dieses Ersatztransistors sowie die dazugehörige Darlington-Schaltung sind in Abbildung 2.34 b) dargestellt. Die Transkonduktanz $g_{m,Da}$, die Stromverstärkung β_{Da} , der Basis-Emitter-Widerstand $r_{be,Da}$ sowie der Kollektor-Emitter-Widerstand $r_{ce,Da}$ des Darlingtontransistors können gemäß der Gleichungen (2.101) bis (2.104) berechnet werden. Diese Zusammenhänge können mit Hilfe der im Anhang A.7 getroffenen Annahmen vereinfacht werden zu den Gleichungen (2.105) bis (2.108).

$$g_{m,Da} = g_{m,D1} \cdot \frac{1+g_{m,D2} \cdot (r_{be,D2} \| R_{p,D2})}{1+g_{m,D1} \cdot (r_{be,D2} \| R_{p,D2})} \quad (2.101)$$

$$r_{be,Da} = r_{be,D1} + \beta_1 \cdot (r_{be,D2} \| R_{p,D2} \| r_{ce,D1}) \quad (2.102)$$

$$\beta_{Da} = r_{be,Da} \cdot g_{m,Da} \quad (2.103)$$

$$r_{ce,Da} = \left(r_{ce1} \cdot \frac{1+g_{m,D1} \cdot (r_{be,D1} \| R_{p,D2} \| r_{be,D2})}{1+g_{m,D2} \cdot (r_{be,D1} \| R_{p,D2} \| r_{be,D2})} \right) \| r_{ce,D2} \quad (2.104)$$

$$g_{m,Da} = \frac{g_{m,D2}}{2} \quad (2.105)$$

$$\beta_{Da} = \beta_{D1} \cdot \beta_{D2} \quad (2.106)$$

$$r_{be,Da} = 2 \cdot r_{be,D1} \quad (2.107)$$

$$r_{ce,Da} = \frac{2}{3} r_{ce,D2} \quad (2.108)$$

Dabei ist $g_{m,D2}$ die Transkonduktanz des Transistors T_{D2} , $r_{be,D1}$ der Basis-Emitter-Widerstand des Transistors T_{D1} und $r_{ce,D2}$ der Kollektor-Emitter-Widerstand des Transistors T_{D2} .

2.3.2 Konzeptionierung des Linearverstärkers

Beim verwendeten SHCHB-Emulationsumrichter wird die Ausgangscharakteristik maßgeblich durch den verwendeten LPA bestimmt. Dabei sind sieben Eigenschaften des LPAs für den Betrieb als Korrekturmrichter im SHCHB-Umrichter wichtig:

- Die maximale AC-Ausgangsspannung $U_{AC,LPA,max}$
- Die maximale DC-Ausgangsspannung $U_{DC,LPA,max}$
- Der maximale Ausgangsstrom $I_{LPA,max}$
- Der Eingangswiderstand $r_{in,LPA}$
- Die maximale Spannungssteilheit SR_{LPA}
- Die Latenz $t_{t,LPA}$
- Die Bandbreite B_{LPA}

Um die erzielbare Bandbreite B_{LPA} und Spannungssteilheit SR_{LPA} zu erhöhen, soll der LPA aus zwei Teilverstärkern, die als H-Brücke verschaltet sind, aufgebaut werden. Entsprechend Abbildung 2.35 a) wird der erste Teilverstärker als invertierender Verstärker und der zweite als nicht invertierender Verstärker verschaltet. Die zwei Verstärker arbeiten somit gegenläufig, wodurch sich in erster Näherung die erreichbare Spannungssteilheit SR_{LPA} verdoppeln lässt. Des Weiteren muss jeder Teilverstärker nur die halbe Ausgangsspannung des LPAs $U_{LPA,x}$ zur Verfügung stellen. Der Nachteil dieser Verschaltung besteht darin, dass der Eingangswiderstand des LPAs $r_{in,LPA}$ aufgrund des invertierenden Verstärkers dem Widerstand R_3 entspricht. Da dessen Widerstandswert in der gleichen Größenordnung wie die Werte von $R_{SP,1}$ bzw. $R_{SP,2}$ liegt, würde der Widerstandsteiler belastet und ein fehlerhaftes Übersetzungsverhältnis des Widerstandsteilers entstehen. Dies würde wiederum dazu führen, dass der LPA die Spannungsstufen der CHB-Zellen nicht korrekt kompensiert und somit größere Störimpulse bzw. Verzerrungen in der Ausgangsspannung des SHCHB-Umrichters sichtbar werden. Um diese Verzerrung zu verhindern, muss der Widerstandsteiler entkoppelt werden, d.h. die Eingangsimpedanz des LPAs maximiert werden. Der konventionelle Lösungsansatz besteht aus der Entkopplung mittels Impedanzwandler [86: S. 1189ff]. Hierdurch würde jedoch eine zusätzliche Totzeit in den analogen Regelkreis eingefügt werden.

Die Auswirkung dieser Totzeit auf die Güte der Ausgangsspannung des SHCHB-Umrichters ist in Abbildung 2.36 a) gezeigt. In der Abbildung ist der maximale, normierte Spannungsfehler ε_U am Ausgang des SHCHB-Umrichters während eines Umschaltevents der CHB-Zellen in Abhängigkeit der Totzeit $t_{t,LPA}$ des LPAs dargestellt.

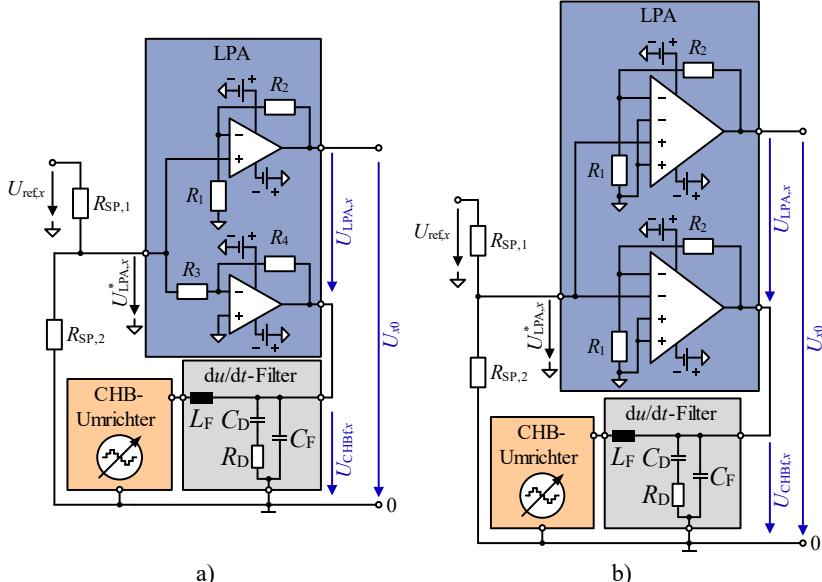


Abbildung 2.35: SHCHB-Umrichter mit Linearverstärker in H-Brücken Verschaltung: a) mit konventionellem Linearverstärker, b) mit neuem Linearverstärkerkonzept mit vier Eingängen

Zum Vergleich dazu ist in Abbildung 2.36 b) der Spannungsfehler über der maximalen Spannungsflankensteilheit SR_{LPA} des LPAs aufgetragen. Der Spannungsfehler wird auf die Amplitude einer Phase des SHCHB-Umrichters für ein 3-phasisches 400 V System normiert und in beiden Abbildungen für verschiedene Grenzfrequenzen des du/dt -Filters $f_{g,du/dt}$ dargestellt.

Nach Abbildung 2.36 b) ist eine Erhöhung des Spannungsfehlers selbst für eine Grenzfrequenz des du/dt -Filters von 1 MHz erst unter einer Flankensteilheit von ca. 65 V/ μ s zu erkennen. Mit dem entwickelten LPA wird gemäß Kapitel 3.3.2 eine Flankensteilheit von 120 V/ μ s erreicht. Somit ist der wesentlich kritischere Parameter die Latenz bzw. Reaktionszeit des LPAs $t_{t,LPA}$. Der Spannungsfehler ε_U weist dabei eine lineare Abhängigkeit zu der Latenz auf.

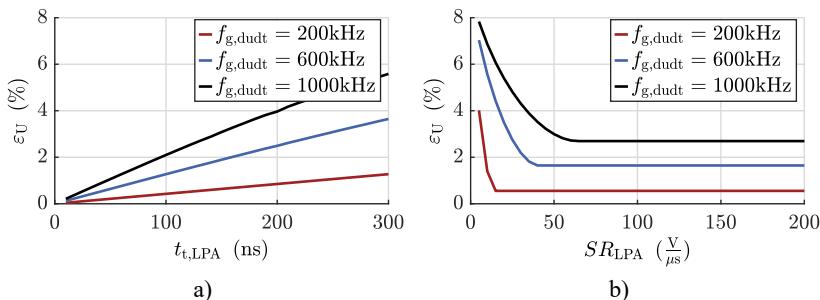


Abbildung 2.36: Spannungsfehler ε_U für verschiedene Grenzfrequenzen des du/dt -Filters $f_{g,du/dt}$: a) über der Latenz des LPAs $t_{t,LPA}$ für eine Flankensteilheit von $120 \text{ V}/\mu\text{s}$, b) über der maximalen Flankensteilheit des LPAs SR_{LPA} für eine Latenz $t_{t,LPA}$ von 150 ns

Aus diesem Grund wird von der Entkopplung mittels Impedanzwandler abgesehen und ein neuartiges Konzept für die DVS entwickelt. Dabei wird eine klassische DVS mit zwei Eingängen auf eine DVS mit vier voneinander unabhängigen Eingängen erweitert (siehe Abbildung 2.35 b)). Dadurch wird eine Entkopplung des Spannungsteilers, bestehend aus $R_{SP,1}$ und $R_{SP,2}$, über den Eingang des LPAs erreicht. Der Eingangswiderstand des LPAs liegt im $M\Omega$ -Bereich (siehe Kapitel 2.3.3) und ist somit deutlich größer als die gewählten Widerstandswerte des Spannungsteilers. Durch dieses neu entwickelte Konzept erfolgt die Entkopplung nicht in Serie zum Signalpfad, sondern parallel, wodurch die Totzeit des LPAs $t_{t,LPA}$ auf ein Minimum reduziert wird.

Ein Prinzipschaltbild des inneren Aufbaus eines Teilverstärkers des entwickelten LPAs mit der entwickelten DVS ist in Abbildung 2.37 dargestellt. Im Unterschied zu dem in Abbildung 2.31 vorgestellten Prinzipschaltbild eines LPAs wird bei dem entwickelten LPA ein symmetrischer Aufbau verwendet. Hierdurch werden Verzerrungen reduziert, die durch eine Arbeitspunktverschiebung aufgrund des zu verstärkenden Signals sowie unterschiedlicher positiver bzw. negativer Flankensteilheiten entstehen [89: S. 136ff]. Aufgrund dieses symmetrischen Aufbaus existiert bei der DVS und SVS ein oberer und ein unterer Signalpfad, welche sich am Ausgang der SVS wieder zu einem Pfad vereinen und das Eingangssignal der AS $U_{a,SVS}$ bilden.

Nachfolgend werden die drei Stufen eines Teilverstärkers des LPAs – DVS, SVS und AS – analysiert und deren Kenngrößen mit Hilfe der Grundlagen aus Kapitel 2.3.1 ermittelt.

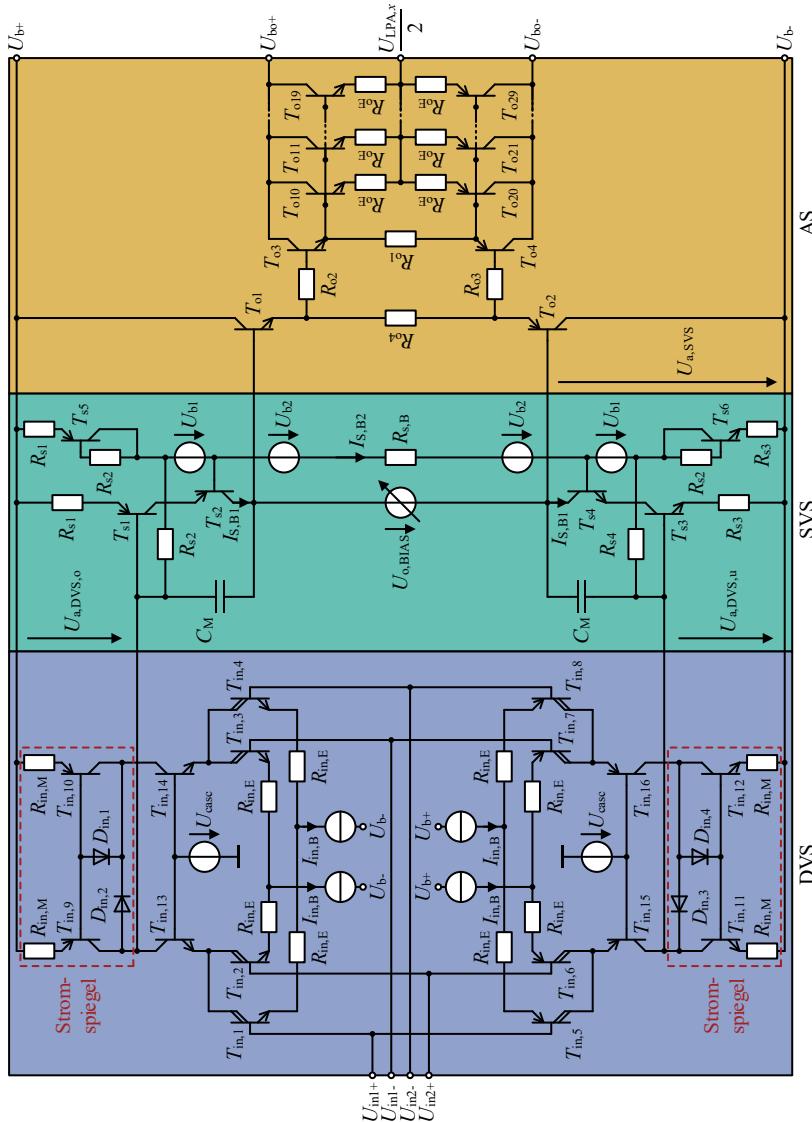


Abbildung 2.37: Prinzipschaltbild des internen Aufbaus eines, der in H-Brücken verschalteten, Teilverstärkers des entwickelten Linearverstärkers

Differenzverstärkerstufe (DVS)

Die Grundlage der neu entwickelten DVS bildet das Konzept der DVS des in [92, 93] vorgestellten sogenannten *Non-Slewing* Verstärkers, der eine sehr hohe Flankensteilheit von bis zu 300 V/µs aufweist. Basierend auf diesem Konzept ist eine DVS entwickelt worden, die eine beliebige gerade Anzahl an Eingängen zur Verfügung stellt [E9, E10, S1]. Im vorliegenden Anwendungsfall beträgt die Anzahl der Eingänge vier.

Die Eingangstransistoren $T_{in,1}$ bis $T_{in,8}$ sind als Darlingtonstufe ausgeführt, wodurch der Eingangswiderstand der DVS $r_{in,DVS}$, welcher dem doppelten Wert des Eingangswiderstands des LPAs $r_{in,LPA}$ entspricht, erhöht wird. Zusätzlich wird eine Kaskodenschaltung mit den Transistoren $T_{in,13}$ und $T_{in,14}$ sowie $T_{in,15}$ und $T_{in,16}$ verwendet, mit dem Ziel den Spannungsabfall über der Darlingtonstufe zu reduzieren. Dies ermöglicht einen höheren Biasstrom und die Verwendung performanterer Signaltransistoren, was wiederum zu einer Steigerung der erreichbaren Bandbreite und Flankensteilheit führt. Der Biasstrom der DVS $I_{in,B}$ wird mittels der in Abbildung 2.32 a) dargestellten Stromquelle erzeugt. Die Kollektorwiderstände werden durch Stromspiegel nach Abbildung 2.32 b) ersetzt, die um die Dioden $D_{in,1}$ bis $D_{in,4}$ erweitert werden. Die Dioden verhindern, dass die zwei Stromspiegel in Sättigung geraten, wodurch ihre Verstärkung reduziert und die erreichbare Flankensteilheit beeinflusst werden könnte [90].

Der mit diesem Konzept erreichbare Eingangswiderstand $r_{in,DVS}$ entspricht der Parallelschaltung des Eingangswiderstands des oberen bzw. unteren Pfads $r_{in,DVS,u}$ und $r_{in,DVS,o}$ (siehe Gleichung (2.109)). Der Eingangswiderstand eines Pfads kann mit Hilfe der Gleichung (2.110) berechnet werden, welche der Bestimmungsgleichung der Emitterschaltung mit Stromgegenkopplung (vgl. Gleichung (2.68)) entspricht. Der Widerstand $r_{be,Da}$ und die Stromverstärkung β_{Da} entsprechen den Kenngrößen der Darlingtontransistoren $T_{in,1}$ bis $T_{in,4}$ bzw. $T_{in,5}$ bis $T_{in,8}$.

$$r_{in,LPA} = \frac{1}{2} \cdot r_{in,DVS} = \frac{1}{2} (r_{in,DVS,u} \parallel r_{in,DVS,o}) \quad (2.109)$$

$$r_{in,DVS,u/o} = 2 \cdot (r_{be,Da,u/o} + \beta_{Da,u/o} \cdot R_{in,E}) \quad (2.110)$$

Die entsprechenden Spannungsverstärkungen der DVS $A_{V,DVS,o}$ und $A_{V,DVS,u}$ können nach Gleichung (2.111) berechnet werden. Sie beschreiben den Zusammenhang zwischen einer Differenzeingangsspannung und der

Ausgangsspannung $U_{A,DVS,o}$ bzw $U_{A,DVS,u}$. Der erste Bruch entspricht dabei der Leerlaufverstärkung einer DVS mit *Active Load* nach Gleichung (2.95) und der zweite Bruch dem entsprechenden Spannungsteiler aufgrund der Belastung durch die SVS. Für die Eingangswiderstände der SVS ($r_{in,SVS,o}$ und $r_{in,SVS,u}$) und für die Ausgangswiderstände der DVS ($r_{a,DVS,o}$ und $r_{a,DVS,u}$) gelten die Zusammenhänge nach Gleichung (2.116) und (2.112).

$$A_{V,DVS,o/u} = \frac{\frac{g_{m,in,Ca,o/u} \cdot r_{a,M,o/u}}{r_{a,M,o/u}}}{1 + g_{m,in,Ca,o/u} \cdot R_{in,E} \left(1 + \frac{r_{a,M,o/u}}{\beta_{in,Ca,o/u} \cdot r_{a,in,Ca,o/u}} \right) + \frac{r_{a,in,Ca,o/u}}{r_{a,DVS,o/u} + r_{in,SVS,o/u}}} \quad (2.111)$$

$$r_{a,DVS,o/u} = r_{a,M,o/u} \parallel r_{a,in,Ca,o/u} \quad (2.112)$$

Hierbei entsprechen $r_{a,M,o}$ bzw. $r_{a,M,u}$ den Ausgangswiderständen der Stromspiegel, $g_{m,in,Ca,o}$ und $g_{m,in,Ca,u}$ den Transkonduktanzen der Kaskodenschaltungen und $r_{a,in,Ca,o}$ bzw. $r_{a,in,Ca,u}$ den Ausgangswiderständen der Kaskoden- schaltungen, welche nach Gleichung (2.113), (2.114) und (2.115) berechnet werden können.

$$r_{a,M,o/u} = r_{ce,T_{in,9/11}} \left(1 + \frac{\beta_{T_{in,T9/11}} \cdot R_{in,M}}{2 \cdot R_{in,M} + r_{be,T_{in,9/11}}} \right) \quad (2.113)$$

$$g_{m,in,Ca,o/u} = g_{m,da,o/u} \quad (2.114)$$

$$r_{a,in,Ca,o/u} = \beta_{T_{in,13/15}} \cdot r_{ce,T_{in,13/15}} \quad (2.115)$$

Die Transkonduktanzen $g_{m,da,o}$ bzw. $g_{m,da,u}$ entsprechen den Transkonduktanzen der Darlingtontransistoren $T_{in,1}$ bis $T_{in,4}$ bzw. $T_{in,5}$ bis $T_{in,8}$.

Spannungsverstärkerstufe (SVS)

Bei der SVS wird ebenfalls eine Kaskodenschaltung bestehend aus den Transistoren T_{s1} und T_{s2} bzw. T_{s3} und T_{s4} verwendet. Dadurch ist es wie bei der DVS möglich, Kleinspannungstransistoren mit einer hohen Stromverstärkung β für T_{s1} und T_{s3} zu verwenden [92]. Die Transistoren T_{s1} und T_{s3} sind dabei als Emitterschaltung mit Stromgegenkopplung verschaltet.

Zur Erzeugung der Bias-Spannung $U_{o,BIAS}$ für die AS wird die in Abbildung 2.38 gezeigte Schaltung verwendet [E10, S1]. Mit der Bias-Spannung wird der Biasstrom durch die Transistoren der AS eingestellt, sodass möglichst keine Übernahmeverzerrungen bei der Kommutierung von den NPN-Transistoren $T_{o10} - T_{o19}$ auf die PNP-Transistoren $T_{o20} - T_{o29}$ entstehen [89; S. 290ff].

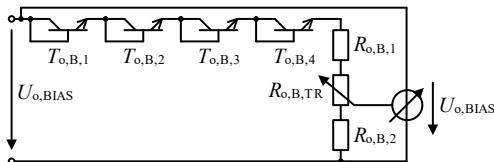


Abbildung 2.38: Schaltung zur Erzeugung der Bias-Spannung für die Ausgangsstufe

Aufgrund des negativen Temperaturkoeffizienten der Basis-Emitter-Spannung muss zudem ein thermischer Mitkopleleffekt der Transistoren der AS verhindert werden. Dafür werden die vier Transistoren $T_{o,B,1}$ bis $T_{o,B,4}$ thermisch gekoppelt und in die Nähe der Ausgangstransistoren T_{o1} bis T_{o20} platziert (siehe Kapitel 3.3.2). Hierdurch reduziert die Schaltung bei einer Erwärmung der Transistoren T_{o1} bis T_{o20} automatisch die Bias-Spannung $U_{o,BIAS}$ und verhindert somit einen thermischen Mitkopleleffekt.

Bei der Analyse der SVS können der obere Teil, bestehend aus den Transistoren T_{s1} und T_{s2} , und der untere Teil, bestehend aus T_{s3} und T_{s4} , jeweils durch eine Norton-Ersatzstromquelle (siehe Abbildung A.9 a)) ersetzt werden. Folglich wird die SVS durch das Ersatzschaltbild aus Abbildung 2.39 repräsentiert.

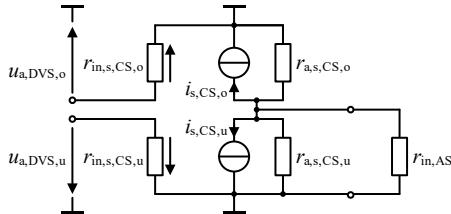


Abbildung 2.39: Ersatzschaltung der SVS mit Norton-Ersatzstromquellen

Die Herleitung der Parameter stützt sich auf die Zusammenhänge der Emitterschaltung mit Stromgegenkopplung und der Kaskodenschaltung, entsprechend Kapitel 2.3.1. Für die Eingangswiderstände der Norton-Ersatzstromquellen ($r_{in,s,CS,o}$ und $r_{in,s,CS,u}$), die den Eingangswiderständen der SVS ($r_{in,SVS,o}$ und $r_{in,SVS,u}$) entsprechen, gilt:

$$r_{in,SVS,o/u} = r_{in,s,CS,o/u} = r_{be,T_{s1/3}} + \beta_{T_{s1/3}} \cdot R_{s1/3} \quad (2.116)$$

Für deren Ausgangsströme ($i_{a,s,CS,o}$ und $i_{a,s,CS,u}$) sowie deren Ausgangswiderstände ($r_{a,s,CS,o}$ und $r_{a,s,CS,u}$) gelten, unter der Annahme, dass die Widerstände R_{s1} bzw. R_{s3} vernachlässigbar sind, folgende Zusammenhänge:

$$i_{s,CS,o/u} = g_{m,s,Ca,o/u} \cdot u_{a,DVS,o/u} = g_{m,T_{s1/3}} \cdot u_{a,DVS,o/u} \quad (2.117)$$

$$r_{a,s,CS,o/u} = r_{a,s,Ca,o/u} = \beta_{T_{s2/4}} \cdot r_{ce,T_{s2/4}} \quad (2.118)$$

Für den Ausgangswiderstand $r_{a,SVS}$ der SVS, der einer Parallelschaltung der beiden Ausgangswiderstände entspricht, sowie für die Spannungsverstärkungen der SVS ($A_{V,SVS,o}$ und $A_{V,SVS,u}$) gelten folgende Zusammenhänge:

$$r_{a,SVS} = r_{a,s,CS,o} \parallel r_{a,s,CS,u} = (\beta_{T_{s2}} \cdot r_{ce,T_{s2}}) \parallel (\beta_{T_{s3}} \cdot r_{ce,T_{s3}}) \quad (2.119)$$

$$A_{V,SVS,o/u} = \frac{u_{a,SVS}}{u_{a,DVS,o/u}} = -g_{m,T_{s1/s3}} \cdot (r_{a,SVS} \parallel r_{in,AS}) \quad (2.120)$$

Der Eingangswiderstand der AS lässt sich dabei nach Gleichung (2.124) bestimmen. Der Biasstrom der SVS wird mit Hilfe der Spannungsquellen U_{b1} und U_{b2} , den Transistoren T_{s5} und T_{s6} sowie dem Widerstand $R_{s,B}$ eingestellt. Für den Biasstrom $I_{s,B2}$ durch den Widerstand $R_{s,B}$ gilt dabei näherungsweise folgender Zusammenhang:

$$I_{S,B2} \cong \frac{U_{b+} - U_{b-} - 2 \cdot (U_{b1} + U_{b2}) - U_{eb0,Ts5} - U_{be0,Ts6}}{R_{S,B}} \quad (2.121)$$

Dabei sind $U_{eb0,Ts5}$ und $U_{be0,Ts6}$ die Basis-Emitter-Biasspannung der Transistoren T_{s5} und T_{s6} . Für den Fall, dass die beiden Transistoren T_{s1} und T_{s5} bzw. T_{s3} und T_{s6} die gleiche Charakteristik aufweisen, wird sich ein identischer Basisstrom einstellen. Unter der Annahme, dass der jeweilige Basisstrom gegenüber dem Kollektorstrom vernachlässigbar ist, gilt:

$$I_{S,B2} = I_{c,Ts5} = I_{c,Ts1} = I_{S,B1} \quad (2.122)$$

$$I_{S,B2} = I_{c,Ts6} = I_{c,Ts3} = I_{S,B1} \quad (2.123)$$

Somit entspricht der Biasstrom $I_{S,B1}$ durch die Transistoren T_{s1} bis T_{s4} dem Biasstrom durch den Widerstand $R_{S,B}$.

Ausgangsstufe (AS)

Als Ausgangsstufe wird ein sogenannter Triple-Emitterfolger in T-Type Konfiguration verwendet [94, 95]. Durch die Kaskadierung von drei Emitterfolgerstufen wird eine sehr hohe Stromverstärkung erreicht. Durch diese ist der wirksame Lastwiderstand für die SVS sehr hoch, wodurch eine sehr hohe Spannungsverstärkung $A_{V,SVS}$ erreicht werden kann. Gleichzeitig sind der wirksame Ausgangswiderstand des LPAs und somit auch der Spannungsabfall und die daraus resultierende Verzerrung sehr gering. Die Herleitung der Kenngrößen nach Gleichung (2.124) bis (2.126) wird im Anhang A.8 beschrieben.

$$r_{in,AS} \cong \frac{1}{2} r_{be,T_{o1}} + \beta_{T_{o1}} \cdot \left\{ \frac{1}{2} r_{be,T_{o3}} + \beta_{T_{o3}} \cdot \left[\frac{1}{2 \cdot 10} r_{be,T_{o10}} + \beta_{T_{o10}} \cdot \left(\frac{1}{2 \cdot 10} R_{oE} + R_L \right) \right] \right\} \quad (2.124)$$

$$A_{V,AS} \cong \frac{\frac{1}{2} r_{be,T_{o3}} + \beta_{T_{o3}} \cdot \left[\frac{1}{2 \cdot 10} r_{be,T_{o10}} + \beta_{T_{o10}} \cdot \left(\frac{1}{2 \cdot 10} R_{oE} + R_L \right) \right]}{\frac{1}{2 \cdot g_{m,T_{o1}}} + \frac{1}{2} r_{be,T_{o3}} + \beta_{T_{o3}} \cdot \left[\frac{1}{2 \cdot 10} r_{be,T_{o10}} + \beta_{T_{o10}} \cdot \left(\frac{1}{2 \cdot 10} R_{oE} + R_L \right) \right]} \cdot \\ \frac{\frac{1}{2 \cdot 10} r_{be,T_{o10}} + \beta_{T_{o10}} \cdot \left(\frac{1}{2 \cdot 10} R_{oE} + R_L \right)}{\frac{1}{2 \cdot g_{m,T_{o3}}} + \frac{1}{2 \cdot 10} r_{be,T_{o10}} + \beta_{T_{o10}} \cdot \left(\frac{1}{2 \cdot 10} R_{oE} + R_L \right)} \cdot \\ \frac{\frac{1}{2 \cdot 10} R_{oE} + R_L}{\frac{1}{2 \cdot 10 \cdot g_{m,T_{o10}}} + \frac{1}{2 \cdot 10} R_{oE} + R_L} \quad (2.125)$$

$$r_{a,AS} \cong \frac{1}{2 \cdot 10} R_{oE} + \frac{1}{2 \cdot 10 \cdot g_{m,T_{o10}}} + \frac{1}{\beta_{T_{o10}}} \left[\frac{1}{2 \cdot g_{m,T_{o3}}} + \frac{1}{\beta_{T_{o3}}} \left(\frac{1}{2 \cdot g_{m,T_{o1}}} + \frac{r_{a,SVS}}{\beta_{T_{o1}}} \right) \right] \quad (2.126)$$

Parameter des LPAs

Aus den ermittelten Parametern der DVS, SVS und AS lassen sich der Eingangswiderstand $r_{in,LPA}$, der Ausgangswiderstand $r_{a,LPA}$ und die Spannungsverstärkung $A_{V,LPA}$ des gesamten LPAs ermitteln. Der Eingangswiderstand $r_{in,LPA}$ entspricht dabei dem halben Eingangswiderstand der DVS $r_{in,DVS}$ nach Gleichung (2.109) aufgrund der eingangsseitigen Parallelschaltung der beiden Teilverstärker:

$$r_{in,LPA} = \frac{1}{2} \cdot r_{in,DVS} = \frac{1}{2} (r_{in,DVS,u} \parallel r_{in,DVS,o}) \quad (2.127)$$

Die Spannungsverstärkung des LPAs $A_{V,LPA}$ entspricht dem doppelten Wert des Produkts der Spannungsverstärkung der drei einzelnen Stufen (DVS, SVS und AS). Dabei ist zu berücksichtigen, dass bei der DVS und der SVS zwei Signalpfade existieren, die am Ausgang der SVS wieder zusammengeführt werden. Es gilt:

$$A_{V,LPA} = 2 \cdot (A_{V,DVS,o} \cdot A_{V,SVS,o} + A_{V,DVS,u} \cdot A_{V,SVS,u}) \cdot A_{V,AS} \quad (2.128)$$

Zur Bestimmung des Ausgangswiderstands des LPAs $r_{a,LPA}$ muss dessen Be- schaltung nach Abbildung 2.35 berücksichtigt werden. Die beiden Teilverstärker des entwickelten LPAs arbeiten als nicht invertierende Verstärker. Für die Bestimmung des Ausgangswiderstands des LPAs werden das in Abbildung 2.40 gezeigte vereinfachte Ersatzschaltbild sowie der dazugehörige Signal- flussgraph eines nicht invertierenden Verstärkers verwendet.

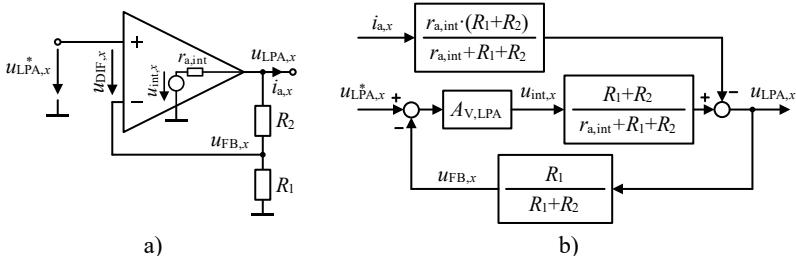


Abbildung 2.40: a) Vereinfachtes Ersatzschaltbild eines nicht invertierenden Verstärkers; b) Signalflussgraph eines nicht invertierenden Verstärkers

Entsprechend dem Signalflussgraph kann für den Ausgangswiderstand des nicht invertierenden Verstärkers $r_{a,n.inv}$ folgender Zusammenhang hergeleitet werden:

$$r_{a,n.inv} = \frac{\frac{1}{2} \cdot u_{LPA,x}}{i_{a,x}} = \frac{r_{a,int} \cdot (R_1 + R_2)}{r_{a,int} + R_1 + R_2 + \frac{1}{2} A_{V,LPA} \cdot R_1} \quad (2.129)$$

Dieser Ausdruck kann unter der Annahme, dass die Verstärkung des LPAs $A_{V,LPA}$ typischerweise im Bereich von 10^6 liegt, die Widerstände R_1 und R_2 die gleiche Größenordnung haben und R_1 bzw. R_2 größer als $r_{a,int}$ sind, vereinfacht werden zu:

$$r_{a,n.inv} \approx \frac{r_{a,int}}{\frac{1}{2} A_{V,LPA}} \cdot \frac{R_1 + R_2}{R_1} = \frac{2 \cdot r_{a,int}}{A_{V,LPA}} \cdot A_{V,n.inv} \quad (2.130)$$

Der Widerstand $r_{a,int}$ stellt den internen Ausgangswiderstand des LPAs dar, der durch die AS definiert ist (siehe Gleichung (2.126)). Die durch die externe Beschaltung des nicht invertierenden Verstärkers definierte Verstärkung wird als $A_{V,n.inv}$ bezeichnet. Da beim LPA zwei Teilverstärker in Serie verschaltet sind, gilt für den Ausgangswiderstand des LPAs $r_{a,LPA}$:

$$r_{a,LPA} = 2 \cdot r_{a,n.inv} = \frac{2 \cdot r_{a,AS}}{A_{V,LPA}} \cdot 2 \cdot A_{V,n.inv} \quad (2.131)$$

Mit Hilfe der drei Parameter ($r_{in,LPA}$, $r_{a,LPA}$ und $A_{V,LPA}$) kann die Übertragungscharakteristik des entwickelten LPA-Konzepts beschrieben und zur Bestimmung der Übertragungsfunktion des gesamten SHCHB-Umrichters in Kapitel 2.1.1 verwendet werden.

2.3.3 Dimensionierung des Linearverstärkers

Die für die Dimensionierung des LPAs benötigten Nenndaten können aus den Nenndaten des SHCHB-Umrichters entsprechend Kapitel 1.2 abgeleitet werden. Da der LPA in Serie zum Ausgang geschaltet ist, entspricht der maximale effektive Ausgangstrom des LPAs I_{LPA} dem des SHCHB-Umrichters $I_{a,x}$ von 72,5 A. Aufgrund der Ausgangsspannung einer CHB-Zelle $U_{DC,s}$ von 30 V, entsprechend Kapitel 2.1.1, muss der LPA eine maximale DC-Ausgangsspannung $U_{DC,LPA,max}$ von ± 15 V zur Verfügung stellen. Hierdurch kann die Kompensation der Spannungsstufen der Ausgangsspannung der CHB-Zellen $u_{CHBf,x}$ gewährleistet werden. Des Weiteren beträgt die maximale Amplitude des sinusförmigen Testsignals 32,5 V. Aus diesem Grund wird eine maximale AC-Ausgangsspannung des LPAs von ± 40 V gefordert.

Der verwendete LPA besteht, entsprechend der Abbildung 2.35, aus zwei Teilverstärkern in H-Brücken-Verschaltung, weshalb jeder Teilverstärker nur die halbe Ausgangsspannung zur Verfügung stellen muss. Zur Erzeugung der Versorgungsspannungen der zwei Ausgangsstufen (U_{bo+} und U_{bo-}) werden vier 24 V Netzteile vom Typ *RSP-2400-34* verwendet, deren Ausgangsspannung jeweils auf 22 V eingestellt ist [D10] (siehe Abbildung 2.37).

Die DVS und SVS werden separat mit ± 40 V (U_{b+} und U_{b-}) über den Linearregler *TL783* versorgt [D11], der wiederum von den 48 V Schaltnetzteilen *LRS-35-48* gespeist wird [D12]. Diese Trennung ist zum einen notwendig, um eine Sättigung der SVS durch die Spannungsabfälle der AS zu verhindern [95], und zum anderen ergeben sich dadurch mehrere Vorteile: Durch die Trennung der Versorgung der AS wird ein höherer Wirkungsgrad erreicht, da die Versorgungsspannung für die AS reduziert werden kann. Des Weiteren wird die Versorgung der DVS und SVS über einen Linearregler ermöglicht, wodurch die erreichbare Betriebsspannungsunterdrückung (PSSR, engl.: Power Supply Rejection Ratio) erhöht und somit der Ausgang rauschärmer wird.

Komponentenauswahl und Biasing

Nachfolgend werden die wichtigsten Komponenten des LPAs beschrieben sowie die daraus resultierenden Kenngrößen bestimmt.

Für die Darlingtonstufe der DVS ist es wichtig, dass die Darlingtonstufenpaare ($T_{in,1}$ und $T_{in,4}$, $T_{in,2}$ und $T_{in,3}$, $T_{in,5}$ und $T_{in,8}$ sowie $T_{in,6}$ und $T_{in,7}$) nahezu identisch sind. Dadurch wird eine hohe CMRR und somit ein möglichst ideales Verhalten erreicht [86: S. 361ff]. Um dies zu erreichen, werden sogenannte

integrierte Doppeltransistoren eingesetzt. Bei diesen werden zwei Transistoren auf dem gleichen Chip gefertigt, wodurch sie nahezu das gleiche Verhalten aufweisen. Für den entwickelten LPA werden hierzu für die Eingangstransistoren der Darlingtonstufe die NPN-Transistoren *PMP4201Y* bzw. PNP-Transistoren *PMP5201Y* [D13, D14] und für die Ausgangstransistoren der Darlingtonstufe die NPN-Transistoren *FMBM5551* bzw. PNP-Transistoren *FMBM5401* verwendet [D15, D16]. Diese sollten bei einem Biasstrom zwischen 1 – 10 mA betrieben werden, da in diesem Bereich die Stromverstärkung β am größten und der Unterschied zwischen den beiden Transistoren am geringsten ist. Aus diesem Grund wird der Biasstrom $I_{in,B}$ der DVS auf 12 mA definiert, wodurch ein Strom von 6 mA durch jeden Transistor fließt. Damit der Stromfluss durch alle vier Darlingtontransistoren der oberen ($T_{in,1}, T_{in,2}, T_{in,3}, T_{in,4}$) bzw. unteren DVS Hälften ($T_{in,5}, T_{in,6}, T_{in,7}, T_{in,8}$) gleich ist, werden für die Transistoren T_{CS2} (siehe Abbildung 2.32 a)) der Stromquellen für die untere bzw. obere DVS-Hälfte ebenfalls die Doppeltransistoren *PMP4201Y* bzw. *PMP5201Y* verwendet. Dies ist notwendig, da die Eigenschaften der Darlingtontransistoren vom Biasstrom abhängen und somit ein symmetrischer Aufbau nur dann erreicht werden kann, wenn nahezu der gleiche Biasstrom durch alle Transistoren fließt.

Die beiden Stromspiegel der DVS werden ebenfalls mit den Doppeltransistoren *PMP4201Y* bzw. *PMP5201Y* aufgebaut. Für alle weiteren Transistoren der DVS werden die NPN-Transistoren *2N5551* bzw. PNP-Transistoren *2N5401* verwendet [D17, D18].

Bei der SVS müssen die beiden Transistoren T_{s1} und T_{s5} bzw. T_{s3} und T_{s6} entsprechend Kapitel 2.3.2 möglichst identisches Verhalten aufweisen. Aus diesem Grund werden für diese ebenfalls die Doppeltransistoren *PMP4201* bzw. *PMP5201* verwendet. Für die Transistoren T_{s2} und T_{s4} werden die Transistoren *2N5401* und *2N5551* eingesetzt. Die Biasspannung $U_{o,BIAS}$ (siehe Abbildung 2.38) wird mit Hilfe der Serienspannungsreferenz *TL431* generiert. Der Biasstrom $I_{s,B2}$ wird nach Gleichung (2.121) auf 12 mA ausgelegt.

Bei der Ausgangsstufe werden bis auf die Transistoren T_{o1} und T_{o2} die NPN-Transistoren *MJL4281A* und die PNP-Transistoren *MJL4302A* verwendet. Für die Transistoren T_{o1} und T_{o2} werden der NPN-Transistor *KSC3503* und der PNP-Transistor *KSA1381* eingesetzt [D19, D20]. Die Grobeinstellung der Biasströme der AS erfolgt mit Hilfe einer SPICE-Simulation des LPAs, sodass keine Übernahmeverzerrungen bei der Kommutierung des Ausgangsstroms von den PNP- auf die NPN-Transistoren bzw. von den NPN- auf die PNP-

Transistoren entstehen (siehe Kapitel 3.3.2). Hierzu wird ein Biasstrom für die Transistoren T_{010} bis T_{029} von circa 500 mA eingestellt. Der Biasstrom der Transistoren T_{03} und T_{04} beträgt entsprechend 150 mA und von den Transistoren T_{01} und T_{02} circa 30 mA. Die Feinjustage der Biasströme erfolgt anschließend anhand von Messungen am aufgebauten LPA.

Mit Hilfe der in dem Datenblatt gegebenen Charakteristiken der Transistoren sowie der verwendeten Widerstände lassen sich die Kenngrößen der einzelnen Funktionsgruppen nach den in Kapitel 2.3.2 hergeleiteten Gleichungen berechnen. Die Kenngrößen der DVS, SVS und AS sowie die daraus resultierenden Kenngrößen des LPAs sind in Tabelle 2.3 aufgeführt. Es erfolgt hierbei eine Unterscheidung zwischen den erreichbaren Kenngrößen mit den minimalen, typischen und maximalen Stromverstärkungen β der verwendeten Transistoren. Die Berechnung erfolgt für einen Lastwiderstand R_L von 146 mΩ. Dieser Widerstandswert führt bei einer Amplitude der Ausgangsspannung des LPAs von 15 V, die zur Kompensation einer Spannungsstufe der CHB-Zellen benötigt wird, zu dem Nennstrom des LPAs von 72,5 A.

Mit dem entwickelten Konzept wird ein typischer Eingangswiderstand $r_{in,LPA}$ von 0,82 MΩ erreicht, wodurch die benötigte Entkopplung des Spannungssteilers entsprechend Kapitel 2.3.2 entsteht. Der Ausgangswiderstand des LPAs beträgt lediglich 1,9 μΩ. Dieser Wert ist jedoch frequenzabhängig, da er von der Spannungsverstärkung des LPAs $A_{V,LPA}$ beeinflusst wird, die mit zunehmender Frequenz abnimmt. Der Verlauf des Ausgangswiderstands $r_{a,LPA}$ über der Frequenz wird in Kapitel 3.3.2 betrachtet.

Die Validierung des entwickelten Linearverstärkerkonzepts und die Ermittlung dessen dynamischer Eigenschaften erfolgt mit Hilfe einer SPICE-Simulation. Entsprechend der SPICE-Simulation besitzt der LPA einen Eingangswiderstand von 956 kΩ, eine Bandbreite von circa 400 kHz, eine mittlere Flankensteilheit von 10 % auf 90 % von 130 V/μs sowie eine maximale Flankensteilheit von circa 320 V/μs. Die ausführliche Diskussion der SPICE-Ergebnisse erfolgt in Kapitel 3.3.2.

Tabelle 2.3: Übersicht der Parameter des entwickelten LPAs abhängig von der Stromverstärkung der einzelnen Transistoren

Parameter	min. β	typ. β	max. β
Eingangswiderstand DVS (obere Pfad) $r_{in,DVS,o}$	1,95 M Ω	2,52 M Ω	11,7 M Ω
Eingangswiderstand DVS (unterer Pfad) $r_{in,DVS,u}$	1,5 M Ω	3,35 M Ω	11,3 M Ω
Spannungsverstärkung DVS (obere Pfad) $A_{V,DVS,o}$	56,8	69,3	81,1
Spannungsverstärkung DVS (unterer Pfad) $A_{V,DVS,u}$	39	43,4	49,8
Ausgangswiderstand DVS (obere Pfad) $r_{a,DVS,o}$	7,62 k Ω	7,66 k Ω	7,68 k Ω
Ausgangswiderstand DVS (unterer Pfad) $r_{a,DVS,u}$	3,94 k Ω	3,96 k Ω	3,97 k Ω
Eingangswiderstand SVS (oberer Pfad) $r_{in,SVS,o}$	7,1 k Ω	10,8 k Ω	16,0 k Ω
Eingangswiderstand SVS (unterer Pfad) $r_{in,SVS,u}$	7,1 k Ω	9,58 k Ω	16,0 k Ω
Spannungsverstärkung SVS (oberer Pfad) $A_{V,SVS,o}$	$25,7 \cdot 10^3$	$112 \cdot 10^3$	$192 \cdot 10^3$
Spannungsverstärkung SVS (unterer Pfad) $A_{V,SVS,u}$	$25,7 \cdot 10^3$	$112 \cdot 10^3$	$192 \cdot 10^3$
Ausgangswiderstand SVS $r_{a,SVS}$	0,36 M Ω	0,72 M Ω	1,28 M Ω
Eingangswiderstand AS $r_{in,AS}$	78,1 k Ω	461 k Ω	769 k Ω
Spannungsverstärkung AS $A_{V,AS}$	0,84	0,84	0,84
Ausgangswiderstand AS $r_{a,AS}$	306 m Ω	95,3 m Ω	78,1 m Ω
Eingangswiderstand LPA $r_{in,LPA}$	0,48 M Ω	0,82 M Ω	3,29 M Ω
Leerlaufverstärkung LPA $A_{V,LPA}$	$3,1 \cdot 10^6$	$14,4 \cdot 10^6$	$26,8 \cdot 10^6$
Ausgangswiderstand LPA $r_{a,LPA}$	34,5 $\mu\Omega$	1,9 $\mu\Omega$	0,75 $\mu\Omega$

Verlustleistungsanalyse

Aufgrund der hohen Ströme, die vom LPA zu Verfügung gestellt werden müssen, liegt bei der Dimensionierung des LPAs ein Augenmerk auf den Verlusten, die während des Betriebs in der AS entstehen. Die Analyse der Verluste des LPAs erfolgt für die Nennausgangsleistung des SHCHB-Umrichters von 50 kVA bei einem 3-phasigen 400 V Netz, wodurch ein effektiver Ausgangstrom $I_{a,x}$ von 72,5 A vorliegt. Es wird von einer gleichmäßigen Verlustleistungsverteilung zwischen den Transistoren T_{o10} bis T_{o29} der AS ausgegangen, weshalb nachfolgend nur die Betrachtung der NPN-Transistoren T_{o10} bis T_{o19} erfolgt. Für die Verluste der NPN-Transistoren eines Teilverstärkers des LPAs gilt allgemein:

$$P_{v,AS,NPN} = \left(U_{bo+} - \frac{U_{LPA,x}}{2} \right) \cdot I_{a,x} \quad (2.132)$$

Die Ausgangsspannung des LPAs $u_{LPA,x}$ kann für eine sinusförmige Ausgangsspannung des SHCHB-Umrichters ($u_{x0}(t) = \hat{U}_{x0} \cdot \sin(\omega_{gr} t)$) abschnittsweise nach Gleichung (2.133) für $\omega_{gr} t = [0, \pi/2[$ beschrieben werden und ist in Abbildung 2.41 für eine gesamte Grundschwingungsperiode dargestellt. Aufgrund der Periodizität der Ausgangsspannung $u_{LPA,x}$ kann der restliche Verlauf der Ausgangsspannung von $\pi/2$ bis 2π aus dem Verlauf von 0 bis $\pi/2$ abgeleitet werden.

Unter Annahme eines sinusförmigen Ausgangsstroms des SHCHB-Umrichters ($i_{a,x}(t) = \hat{i}_{a,x} \cdot \sin(\omega_{gr} t - \varphi_{gr})$) ergibt sich ein Verlustleistungsverlauf nach Abbildung 2.42 für einen Winkel $\varphi_{gr} = 0$. Die Abhängigkeit der Verlustleistung der NPN-Transistoren von dem Winkel φ_{gr} ist in Abbildung 2.43 dargestellt.

$$\begin{aligned} u_{LPA,x}(t) &= \hat{U}_{x0} \cdot \sin(\omega_{gr} t) \\ &\text{für } \omega_{gr} t = \left[0, \arcsin\left(\frac{\frac{1}{2}U_{DC,s}}{\hat{U}_{x0}}\right) \right] \\ &= \hat{U}_{x0} \cdot \sin(\omega_{gr} t) - \left(\frac{1}{2} + n\right) \cdot U_{DC,s} \\ &\text{für } \omega_{gr} t = [\omega_{gr} \cdot t_n, \omega_{gr} \cdot t_{n+1}[\\ &t_n = \arcsin\left(\frac{\left(\frac{1}{2} + n\right) \cdot U_{DC,s}}{\hat{U}_{x0}}\right) \\ &n = \left\{ \mathbb{N}_0 \mid n = \left[0; \left\lfloor \frac{\hat{U}_{x0}}{U_{DC,s}} \right\rfloor \right] \right\} \end{aligned} \quad (2.133)$$

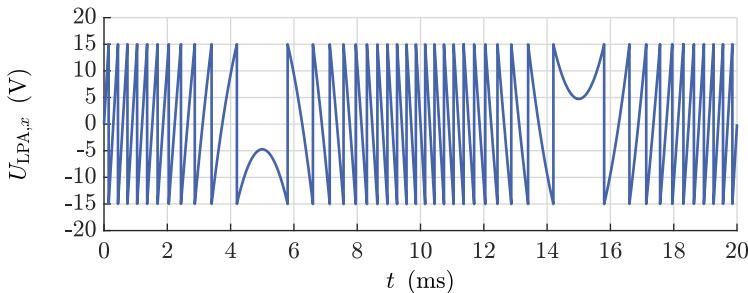


Abbildung 2.41: Zeitverlauf der Ausgangsspannung des LPAs $U_{\text{LPA},x}$ für eine sinusförmige Ausgangsspannung des SHCHB-Umrichters U_{x0} mit einer Grundfrequenz von 50 Hz und einer Amplitude von $\sqrt{2} \cdot 230$ V

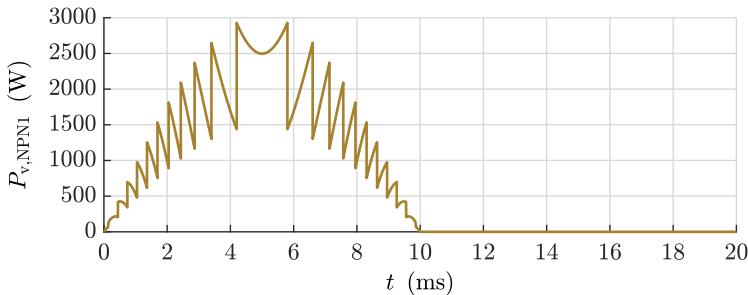


Abbildung 2.42: Zeitverlauf der Verlustleistung der NPN-Transistoren eines Teilverstärkers des LPAs bei einem sinusförmigen Ausgangstrom $I_{a,x}$ und $\varphi_{\text{gr}} = 0^\circ$

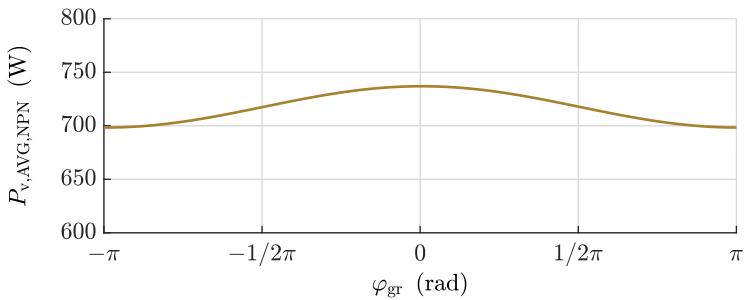


Abbildung 2.43: Mittlere Verlustleistung der NPN-Transistoren eines Teilverstärkers des LPAs in Abhängigkeit des Winkels φ_{gr} für einen effektiven Ausgangstrom $I_{a,x}$ von 72,5 A

Durch die Serienschaltung des LPAs mit den 12 CHB-Zellen ist die entstehende Verlustleistung im LPA nur geringfügig abhängig von dem Winkel φ_{gr} . Dadurch besitzt der SHCHB-Umrichter gegenüber einem rein LPA basierenden Emulator den Vorteil, dass ein Vierquadrantenbetrieb ohne eine Leistungsreduktion in einzelnen Arbeitspunkten möglich ist. Die maximal entstehende Verlustleistung der NPN-Transistoren eines Teilverstärkers beträgt bei einem Winkel φ_{gr} von Null 671 W. Aufgrund der Parallelschaltung von 10 NPN-Transistoren liegt die Verlustleistung eines Transistors bei 67,1 W. Da der LPA aus zwei Teilverstärkern aufgebaut ist, ist die Gesamtverlustleistung der Ausgangsstufen eines LPAs für eine Ausgangsphase viermal so groß und beträgt somit 2684 W.

Um diese Verlustleistung abzuführen wird ein Kühlkonzept mit Heatpipes verwendet. Die Konstruktion des Kühlkonzept sowie des gesamten LPAs wird in Kapitel 3.3.2 beschrieben.

2.3.4 Ansteuerung des Linearverstärkers

Die Erzeugung der Referenzspannung $U_{\text{ref},x}$ entsprechend Abbildung 2.44 erfolgt mit dem DAC *LTC1667* von *Analog Devices* [D21] mit einer Auflösung von 14 Bit. Der DAC wird über einen 16-Bit Parallelbus vom zentralen Signalverarbeitungssystem (CCU, engl.: Central Control Unit) mit einer Taktfrequenz von 10 MHz gesteuert. Zur Verstärkung des Ausgangssignals des DACs wird eine Operationsverstärkerschaltung mit dem *LT1363CS8* verwendet [D22]. Die maximale Ausgangsspannung dieser Schaltung $U_{\text{ref,max}}$ beträgt circa $\pm 13,5$ V [E10]. Die maximale Ausgangsspannung des SHCHB-Umrichters $U_{x0,\text{max}}$, die mittels $U_{\text{ref},x}$ gesteuert werden muss, beträgt 400 V. Zur Bestimmung der Beschriftung des LPAs (R_1 und R_2) sowie des Spannungsteilers ($R_{\text{SP},1}$ und $R_{\text{SP},2}$) muss der Zusammenhang zwischen $U_{\text{ref},x}$ und U_{x0} betrachtet werden. Nach Abbildung 2.44 gilt für die Ausgangsspannung der LPAs

$$U_{\text{LPA},x} = \left[U_{\text{ref},x} \cdot \frac{\frac{R_{\text{SP},2} + Z_{\text{CHB}}}{R_{\text{SP},1} + R_{\text{SP},2} + Z_{\text{CHB}}} - \left(U_{\text{CHBF},x} + \frac{U_{\text{LPA},x}}{2} \right)}{\frac{R_{\text{SP},1}}{R_{\text{SP},1} + R_{\text{SP},2}}} \right] \cdot 2 \cdot \underbrace{\frac{R_1 + R_2}{R_1}}_{A_{\text{V,n.inv.}}} \quad (2.134)$$

Hierbei ist $A_{V,n,inv}$ die resultierende Verstärkung des als nicht invertierenden Verstärkers beschalteten LPAs. Für den Fall, dass die Widerstände R_1 bzw. R_2 ein ganzzahliges Vielfaches von $R_{SP,1}$ bzw. $R_{SP,2}$ sind, kann die Gleichung vereinfacht werden zu:

$$U_{LPA,x} = U_{ref,x} \cdot \frac{R_{SP,2} + Z_{CHB}}{R_{SP,1} + R_{SP,2} + Z_{CHB}} \cdot \frac{R_{SP,1} + R_{SP,2}}{R_{SP,1}} - U_{CHBF,x} \quad (2.135)$$

Für die Ausgangsspannung U_{x0} gilt somit:

$$U_{x0} = U_{LPA,x} + U_{CHBF,x} = U_{ref,x} \cdot \frac{R_{SP,2} + Z_{CHB}}{R_{SP,1} + R_{SP,2} + Z_{CHB}} \cdot \frac{R_{SP,1} + R_{SP,2}}{R_{SP,1}} \quad (2.136)$$

Der Ausdruck entspricht dem Zusammenhang aus Gleichung (2.15) für einen einfachen LPA ohne H-Brückenverschaltung zweier Teilverstärker. Falls $R_{SP,1}$ und $R_{SP,2}$ so dimensioniert werden, dass die Ausgangsimpedanz der CHB-Zellen Z_{CHB} ihnen gegenüber vernachlässigbar ist, gilt für den Zusammenhang zwischen Referenzspannung $U_{ref,x}$ und Ausgangsspannung U_{x0} :

$$\frac{U_{x0}}{U_{ref,x}} = \frac{R_{SP,2}}{R_{SP,1}} = \frac{R_2}{R_1} = A_{V,n,inv} - 1 \quad (2.137)$$

Aufgrund des vorhandenen Verhältnisses der Referenzspannung $U_{ref,x}$ zur Ausgangsspannung U_{x0} von 13,5 V zu 400 V wird die Verstärkung der LPAs $A_{V,n,inv}$ auf 35 festgelegt. Die resultierenden Widerstandswerte für $R_{SP,1}$ und $R_{SP,2}$ betragen 1 kΩ und 34 kΩ. Entsprechend Kapitel 2.4 beträgt Z_{CHB} maximal 9,7 Ω und ist somit mindestens um Faktor 100 kleiner und folglich vernachlässigbar.

Zum Abgleich eines möglichen Offsetfehlers wird mittels eines Trimpotentiometers R_{P0} eine einstellbare Spannung an den für die Funktionen nicht benötigten positiven Eingang der beiden Teilverstärker angelegt (siehe Abbildung 2.44). Ein möglicher Verstärkungsfehler wird über die Veränderung des Widerstands R_2 kompensiert.

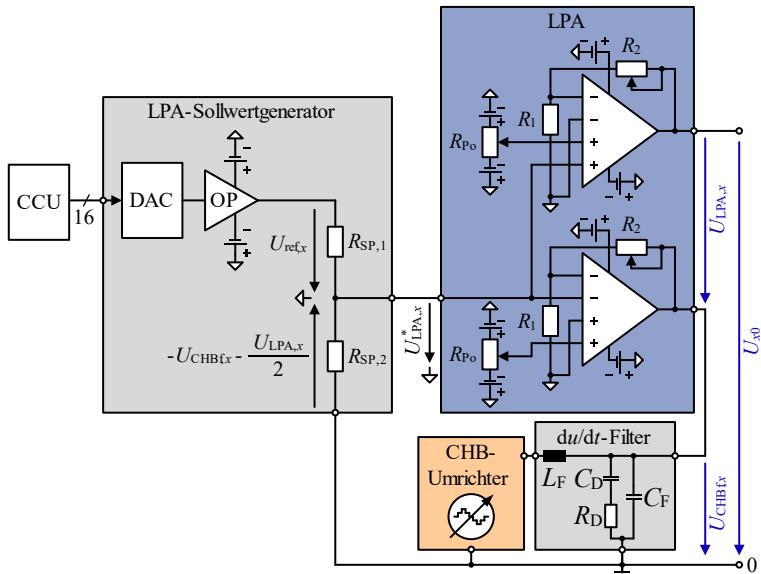


Abbildung 2.44: Prinzipschaltbild der Ansteuerung der LPAs

2.4 Dimensionierung des Spannungssteilheitsfilters

Das Spannungssteilheitsfilter, auch du/dt -Filter genannt, reduziert die Flankensteilheit der Ausgangsspannung der CHB-Zellen $u_{\text{CHB},x}$ ($x \in \{1,2,3\}$) so weit, dass der LPA der jeweiligen Phase in der Lage ist, die Ausgangsspannung der schaltenden CHB-Zellen zu kompensieren. Dadurch kann eine verzerrungarme Ausgangsspannung u_{x0} generiert werden. Für die Dimensionierung des du/dt -Filters müssen sowohl die Kenngrößen des LPAs, wie die maximale Flankensteilheit SR_{LPA} , die Totzeit $t_{\text{t,LPA}}$ und die Bandbreite B_{LPA} , als auch der maximal zulässige Störimpuls berücksichtigt werden, der beim Umschalten einer Schaltzelle in der Ausgangsspannung u_{x0} auftritt. Die Flankensteilheit des LPAs SR_{LPA} beträgt circa $120 \text{ V}/\mu\text{s}$, die Laufzeit $t_{\text{t,LPA}}$ 90 ns und die Bandbreite B_{LPA} bzw. die 3dB-Grenzfrequenz $f_{g,\text{LPA}}$ 398 kHz (siehe Kapitel 3.3.2). Die zulässige maximale Flankensteilheit des Filters wird auf 80 % der Flankensteilheit des Linearverstärkers festgelegt. Zudem soll die Höhe des am Ausgang des SHCHB-Umrichters wirksamen Störimpulses während der Umschaltung einer CHB-Zelle weniger als 1 % der AC-Nennspannung von 400 V betragen. Des Weiteren soll die Grenzfrequenz höchstens 80 % der Bandbreite des LPAs ausmachen. Um Schwingungen des Filters zu vermeiden, die durch den Linearverstärker zusätzlich kompensiert werden müssten, wird das Filter für einen asymptotischen Grenzfall mit einer Dämpfung D von 1 ausgelegt.

Es werden zwei mögliche Filtertopologien für die Umsetzung des du/dt -Filters untersucht: zum einen ein LCR-Filter, der typischerweise bei umrichtergespeisten Motoren als Spannungssteilheitsfilter verwendet wird [96–98], und zum anderen ein bedämpfter LC-Filter mit einem zusätzlichen Abblockkondensator C_D , der nachfolgend als LCRC-Filter bezeichnet wird. Beide Topologien sind in Abbildung 2.45 dargestellt und die Übertragungsfunktionen in Gleichung (2.138) und (2.139) gezeigt.

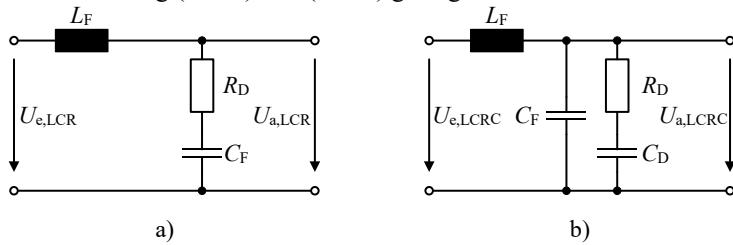


Abbildung 2.45: Spannungssteilheitsfilter: a) LCR-Filter, b) LCRC-Filter

$$G_{\text{LCR}}(s) = \frac{U_{\text{a,LCR}}}{U_{\text{e,LCR}}} = \frac{1+s \cdot R_{\text{D}} \cdot C_{\text{F}}}{s^2 \cdot C_{\text{F}} \cdot L_{\text{F}} + s \cdot R_{\text{D}} \cdot C_{\text{F}} + 1} = \frac{\left(1 + \frac{2 \cdot D_{\text{LCR}} \cdot s}{\omega_{\text{g,LCR}}}\right)}{\frac{s^2}{\omega_{\text{g,LCR}}^2} + \frac{2 \cdot D_{\text{LCR}} \cdot s}{\omega_{\text{g,LCR}}} + 1} \quad (2.138)$$

$$G_{\text{LCRC}}(s) = \frac{U_{\text{a,LCRC}}}{U_{\text{e,LCRC}}} = \frac{1 + \frac{1}{s \cdot R_{\text{D}} \cdot C_{\text{D}}}}{s^2 \cdot C_{\text{F}} \cdot L_{\text{F}} + s \cdot \frac{L_{\text{F}}}{R_{\text{D}}} \left(1 + \frac{C_{\text{F}}}{C_{\text{D}}}\right) + 1 + \frac{1}{s \cdot R_{\text{D}} \cdot C_{\text{D}}}} \\ = \frac{\left(1 + \frac{\omega_{\text{RC}}}{s}\right)}{\frac{s^2}{\omega_{\text{g,LCRC}}^2} + \frac{2 \cdot D_{\text{LCRC}} \cdot s}{\omega_{\text{g,LCRC}}} + \left(1 + \frac{\omega_{\text{RC}}}{s}\right)} \quad (2.139)$$

Hierbei sind D_{LCR} bzw. D_{LCRC} die Dämpfungen und $\omega_{\text{g,LCR}}$ bzw. $\omega_{\text{g,LCRC}}$ die Eigenkreisfrequenzen des LCR-Filters bzw. des LCRC-Filters. $\omega_{\text{g,RC}}$ ist die Eigenkreisfrequenz für die Serienschaltung aus R_{D} und C_{D} . Es gilt:

$$D_{\text{LCR}} = \frac{1}{2} \cdot R_{\text{D}} \sqrt{\frac{L_{\text{F}}}{C_{\text{F}}}} \quad (2.140)$$

$$D_{\text{LCRC}} = \frac{1}{2 \cdot R_{\text{D}}} \cdot \sqrt{\frac{L_{\text{F}}}{C_{\text{F}}}} \quad (2.141)$$

$$\omega_{\text{g,LCR}} = 2\pi f_{\text{g,LCR}} = \frac{1}{\sqrt{L_{\text{F}} \cdot C_{\text{F}}}} \quad (2.142)$$

$$\omega_{\text{g,LCRC}} = 2\pi f_{\text{g,LCRC}} = \frac{1}{\sqrt{L_{\text{F}} \cdot C_{\text{F}}}} \quad (2.143)$$

$$\omega_{\text{RC}} = \frac{1}{R_{\text{D}} \cdot C_{\text{D}}} \quad (2.144)$$

Für die Analyse des LCRC-Filters wird angenommen, dass der Filterkondensator C_{F} gegenüber dem Abblockkondensator C_{D} sehr klein ist. Des Weiteren wird angenommen, dass die Reaktanz des Abblockkondensators $X_{\text{CD}} = 1/(\omega C_{\text{D}})$ gegenüber dem Dämpfungswiderstand R_{D} für den im Sprungmoment entscheidenden Frequenzbereich vernachlässigbar ist. Somit gilt für die Übertragungsfunktion des LCRC-Filters folgender Zusammenhang:

$$G_{\text{LCRC}}(s) \underset{X_{\text{CD}} \ll R_{\text{D}}}{\cong} \frac{1}{s^2 \cdot C_{\text{F}} \cdot L_{\text{F}} + s \cdot \frac{L_{\text{F}}}{R_{\text{D}}} \left(1 + \frac{C_{\text{F}}}{C_{\text{D}}}\right) + 1} = \frac{1}{\frac{s^2}{\omega_{\text{g,LCRC}}^2} + \frac{2 \cdot D_{\text{LCRC}} \cdot s}{\omega_{\text{g,LCRC}}} + 1} \quad (2.145)$$

Da die Dämpfung auf 1 festgelegt ist, muss für die vollständige Beschreibung des Filters nur die jeweilige Grenzfrequenz ermittelt werden. Hierzu werden ausgehend von den Übertragungsfunktionen (2.138) und (2.145) die Sprungantworten für den aperiodischen Grenzfall ($D_{LCR} = D_{LCRC} = 1$) entsprechend den Gleichungen (2.146) und (2.147) ermittelt.

$$u_{a,LCR}(t) = U_{e,LCR} \cdot (1 + \omega_{g,LCR} \cdot t \cdot e^{-\omega_{g,LCR} \cdot t} - e^{-\omega_{g,LCR} \cdot t}) \quad (2.146)$$

$$u_{a,LCRC}(t) = U_{e,LCRC} \cdot (1 - \omega_{g,LCRC} \cdot t \cdot e^{-\omega_{g,LCRC} \cdot t} - e^{-\omega_{g,LCRC} \cdot t}) \quad (2.147)$$

Die Sprunghöhe der Eingangsspannungen $U_{e,LCR}$ und $U_{e,LCRC}$ entspricht der sekundären Zwischenkreisspannung der CHB-Zellen $U_{CHB,DC,S}$. Die maximale Steigung der Sprungantwort des LCR-Filters liegt bei $t = 0$ und die des LCRC-Filters bei $t = 1/\omega_{g,LCRC}$. Die dazugehörigen maximalen Spannungssteilheiten der Filterausgänge sind:

$$\max_t \frac{du_{a,LCR}}{dt} = U_{CHB,DC,S} \cdot 2 \cdot \omega_{g,LCR} \quad (2.148)$$

$$\max_t \frac{du_{a,LCRC}}{dt} = \frac{U_{CHB,DC,S}}{e} \cdot \omega_{g,LCRC} \quad (2.149)$$

Mit Hilfe der ermittelten maximalen Spannungssteilheiten der Filter können die maximal zulässigen Grenzfrequenzen des LCR-Filters $f_{g,LCR}$ bzw. des LCRC-Filters $f_{g,LCRC}$ nach Gleichung (2.150) bzw. (2.151) ermittelt werden. Die jeweilige Grenzfrequenz entspricht dem Minimum von drei Termen. Der erste Term wird aus der maximalen Flankensteilheit des LPAs abgeleitet. Der zweite Term ergibt sich aus dem maximal zulässigen Störimpuls der Ausgangsspannung u_{x0} . Hierzu wird die Spannungsänderung, die durch die ermittelte Spannungssteilheit des Filters während der Totzeit des LPAs entsteht, bestimmt. Die Spannungsänderung muss kleiner als der maximal zulässige Störimpuls von 1 % der Ausgangsspannung u_{x0} sein. Der letzte Term ergibt sich aus der Grenzfrequenz des LPAs und der Vorgabe, dass die Grenzfrequenz des du/dt -Filters maximal 80 % von der des LPAs sein darf.

$$f_{g,LCR} = \min \left(\frac{0,8 \cdot SR_{LPA}}{2\pi \cdot 2 \cdot U_{CHB,DC,S}}, \frac{0,01 \cdot \bar{U}_{x0}}{2\pi \cdot 2 \cdot U_{CHB,DC,S} \cdot t_{t,LPA}}, 0,8 \cdot f_{g,LPA} \right) \quad (2.150)$$

$$f_{g,LCRC} = \min \left(\frac{e \cdot 0,8 \cdot SR_{LPA}}{2\pi \cdot U_{CHB,DC,S}}, \frac{e \cdot 0,01 \cdot \bar{U}_{x0}}{2\pi \cdot U_{CHB,DC,S} \cdot t_{t,LPA}}, 0,8 \cdot f_{g,LPA} \right) \quad (2.151)$$

Beim LCR-Filter wird die Grenzfrequenz $f_{g,LCR}$ durch den zweiten Term auf 66,4 kHz festgelegt, während beim LCRC-Filter die Grenzfrequenz $f_{g,LCRC}$ durch den dritten Term auf 318,4 kHz definiert wird. Mit Hilfe der ermittelten Grenzfrequenzen und der gegebenen Dämpfung können anschließend die notwendigen Bauteilwerte ermittelt werden. Als Filterinduktivität L_F wird ein Wert von 20 μH festgelegt. Der Abblockkondensator C_D des LCRC-Filters wird so dimensioniert, dass bei der Eigenkreisfrequenz des LCRC-Filters $\omega_{g,LCRC}$ das ohmsche Verhalten der RC-Serienschaltung dominiert. Deshalb wird die Eigenkreisfrequenz der RC-Serienschaltung $\omega_{g,RC}$ zwei Dekaden unter der Eigenkreisfrequenz des LCRC-Filters gewählt. Für den Abblockkondensator C_D gilt somit:

$$C_D = \frac{100}{2\pi \cdot f_{g,LCRC} \cdot R_D} \quad (2.152)$$

Für die Bauteilwerte der beiden Spannungssteilheitsfilter ergeben sich folgende theoretischen Werte:

Tabelle 2.4: Theoretische Bauteilwerte der Spannungssteilheitsfilter

Parameter	LCR-Filter	LCRC-Filter
L_F	20 μH	20 μH
R_D	16,7 Ω	20 Ω
C_F	287 nF	12,5 nF
C_D	-	2,5 μF

In Abbildung 2.46 a) sind die Sprungantworten des LCR- und des LCRC-Filters dargestellt. Das LCR-Filter hat gegenüber dem LCRC-Filter den Nachteil, dass ein Überschwinger von 13,5 % bei einer Dämpfung von 1 entsteht [97]. Dieser Überschwinger muss zusätzlich durch den LPA kompensiert werden.

Das Bode-Diagramm der beiden Filter ist in Abbildung 2.46 b) dargestellt. Das LCR-Filter besitzt einen Amplitudenabfall von nur 20 dB/Dekade. Das LCRC-Filter hingegen hat einen Amplitudenabfall von 40 dB/Dekade, wodurch hochfrequente Störimpulse, die beim Umschalten der CHB-Zellen entstehen können, besser gedämpft werden.

Das LCR-Filter hat den Vorteil, dass die ohmschen Verluste im Dämpfungs-widerstand R_D bei einer Nennspannung von 400 V und einer Frequenz von 50 Hz nur 11 mW betragen. Im Vergleich dazu treten beim LCRC-Filter im

gleichen Arbeitspunkt Verluste von 0,4 W im Dämpfungswiderstand auf. Des Weiteren steigen die Verluste für eine Ausgangsspannung von 400 V mit zunehmender Frequenz beim LCRC-Filter wesentlich schneller an als beim LCR-Filter, wie in Abbildung 2.47 a) zu sehen ist. Bei einer maximalen abführbaren Verlustleistung des Dämpfungswiderstands R_D von 1800 W (vgl. Kapitel 3.3.3) muss die Ausgangsspannung des PHIL-Systems entsprechend der Abbildung 2.47 b) reduziert werden.

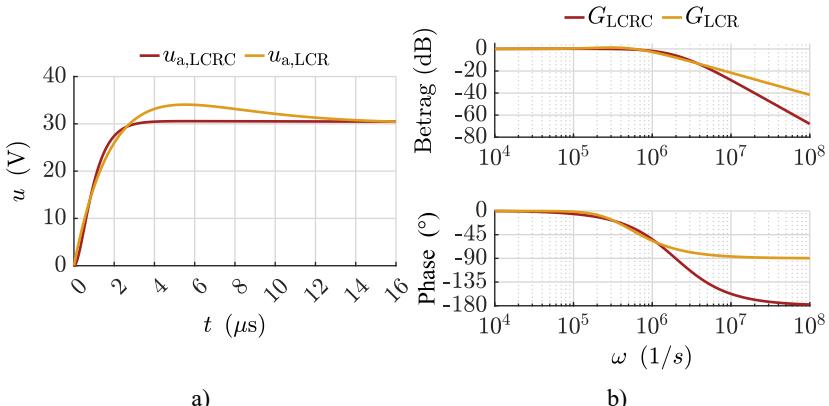


Abbildung 2.46: a) Sprungantwort des LCR-Filters und des LCRC-Filters; b) Bode-Diagramm der Übertragungsfunktion des LCR-Filters und des LCRC-Filters

Für den Betrieb des SHCHB-Umrichters ist die wirksame Impedanz des du/dt -Filters ebenfalls von Bedeutung, da die Impedanz des du/dt -Filters bei der Sollwertgenerierung des LPAs zu Fehlern und somit zu einer Verzerrung der Ausgangsspannung führen kann (siehe Kapitel 2.3.4). Die Impedanz kann nach Gleichung (2.153) für das LCR-Filter und nach Gleichung (2.154) für das LCRC-Filter bestimmt werden. Die Verläufe der beiden Impedanzen (Z_{LCR} und Z_{LCRC}) über der Frequenz sind in Abbildung 2.48 dargestellt. Die Impedanz des LCR-Filters Z_{LCR} konvergiert für hohe Frequenzen gegen ihr Maximum, das dem Wert des Dämpfungswiderstands R_D von $16,7 \Omega$ entspricht. Im Gegensatz dazu erreicht die Impedanz des LCRC-Filters ihr Maximum von $9,73 \Omega$ bei einer Frequenz von 285 kHz. Bei einer Frequenz von 50 Hz liegt die Impedanz beider Filter bei circa $6,3 \text{ m}\Omega$.

$$Z_{LCR}(s) = \frac{s \cdot (L_F + s \cdot L_F \cdot C_F \cdot R_D)}{s^2 \cdot L_F \cdot C_F + s \cdot R_D \cdot C_F + 1} \quad (2.153)$$

$$Z_{LCRC}(s) = \frac{s \cdot L_F \cdot \left(1 + \frac{1}{s \cdot R_D \cdot C_D}\right)}{s^2 \cdot C_F \cdot L_F + s \cdot \frac{L_F}{R_D} \left(1 + \frac{C_F}{C_D}\right) + \left(1 + \frac{1}{s \cdot R_D \cdot C_D}\right)} \quad (2.154)$$

Zusammenfassend besitzt das LCRC-Filter einen höheren Amplitudenabfall und somit eine höhere Dämpfung der von den CHB-Zellen erzeugten Störimpulse als das LCR-Filter. Darüber hinaus besitzt die Sprungantwort des LCRC-Filters keinen Überschwinger, der vom LPA kompensiert werden müsste. Die Verluste des LCRC-Filters steigen jedoch mit zunehmender Frequenz schneller an als die des LCR-Filters. Da das PHIL-System zur Emulation eines 50 Hz Systems bzw. DC-Systems konzeptioniert ist, sind die höheren Verluste des LCRC-Filters im Vergleich zur Gesamtleistung des PHIL-Systems vernachlässigbar. Aus diesen Gründen wird das LCRC-Filter für das PHIL-System verwendet, dessen Umsetzung im Kapitel 3.3.3 beschrieben wird.

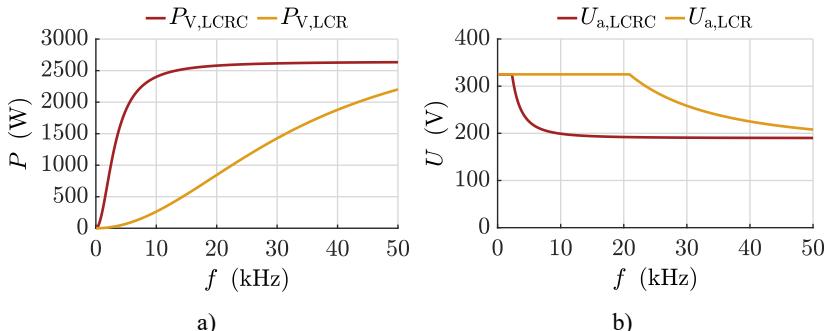


Abbildung 2.47: a) Verlustleistung des Dämpfungswiderstands R_D des LCR- und LCRC-Filters; b) maximale zulässige Ausgangsspannung des LCR- und LCRC-Filters

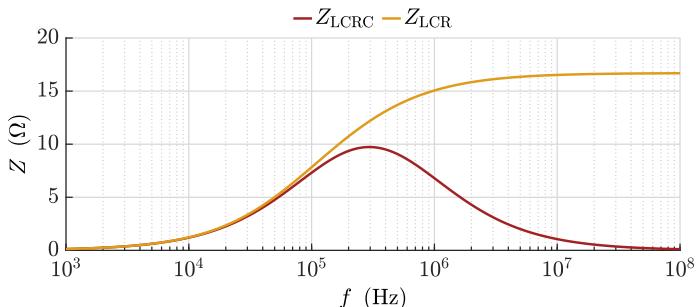


Abbildung 2.48: Impedanzverlauf des LCR- und des LCRC-Filters

3

Versuchsaufbau und Charakterisierung des SHCHB-Umrichters

In dem nachfolgenden Abschnitt werden der Versuchsaufbau des entwickelten SHCHB-Umrichters und dessen Charakterisierung vorgestellt. Der Emulationsumrichter besteht dabei aus dem Leistungsteil, welcher aus den CHB-Zellen, den LPAs und den du/dt -Filtern gebildet wird, dem Signalverarbeitungssystem sowie der benötigten Peripherie. Zur Charakterisierung des SHCHB-Umrichters sowie dessen Teilkomponenten werden sowohl quasistationäre als auch dynamische Messungen durchgeführt. Anhand dieser Messungen kann die Leistungsfähigkeit des PHIL-Systems, basierend auf dem SHCHB-Umrichter, unter Beweis gestellt werden.

Um die closed-loop-Fähigkeit des entwickelten PHIL-Systems zu analysieren, wird der Versuchsaufbau durch einen Testumrichter (DUT) vervollständigt. Hierdurch kann das entwickelte Netzmodell, das auf dem entwickelten PHIL-System implementiert wird (vgl. Kapitel 6), reproduzierbar getestet werden.

3.1 Messequipment

In der vorliegenden Arbeit werden die gezeigten Spannungs- und Strommessungen mit dem Oszilloskop *MDA 8058HD* von *LeCroy* mit einer Auflösung von 12 Bit sowie einer Bandbreite von 500 MHz gemessen [D23]. Zur Spannungsmessung werden die differentiellen Tastköpfe *DP10007* von *Micsig* mit einem Spannungsbereich von 70 V bzw. 700 V bei einem Teilerfaktor von 10:1 bzw. 100:1 verwendet [D24]. Zur Strommessung werden die Strommesszangen 3274 und 3276 von *Hioki* mit einem Messbereich von 150 A bzw. 30 A eingesetzt [D25]. Die Wirkungsgradmessung aus Kapitel 3.3.1 erfolgt mit dem Leistungsmessgerät *LMG 500* von *Zimmer* [D26]. Dabei werden die interne Spannungserfassung sowie die *Hioki* Strommesszangen verwendet. Die ermittelten Bode-Diagramme aus Kapitel 3.3.2 werden mit dem *Bode 100* von *OMICRON Lab* ermittelt [D27].

3.2 Signalverarbeitungssystem

In diesem Abschnitt werden die wichtigsten Komponenten des verwendeten Signalverarbeitungssystem nach Kapitel 2.1.2 beschrieben. Das Kernstück bilden hierbei das am Institut entwickelte ETI-SoC-System sowie die dazugehörigen Erweiterungskarten [E7, E11].

3.2.1 Zentrales Signalverarbeitungssystem (CCU)

In Abbildung 3.1 a) ist das verwendete CCU basierend auf dem ETI-SoC-System dargestellt. Das ETI-SoC-System ist in einem 19-Zoll-Einschub untergebracht und kann mit bis zu zwei Mainboards bestückt werden. Auf jedem Mainboard ist ein *PICOZED 7030* System-on-Module (SOM) montiert, wie in Abbildung 3.1 b) zu sehen ist. Auf dem SOM ist der SoC *XC7Z030* bestehend aus einem *Dual Core ARM Cortex A9* und einem *Kintex-7* FPGA mit den in Tabelle 3.1 aufgelisteten Leistungsdaten verbaut [D28]. Der Funktionsumfang des ETI-SoC-Systems kann mit Erweiterungskarten an die jeweilige Anwendung angepasst werden. Hierzu stehen 8 Steckplätze pro Mainboard zur Verfügung. Jeder Steckplatz wird über einen 16 Bit breiten Bus direkt mit dem FPGA-Kern des SoCs verbunden. Zusätzlich existiert ein 48 Bit breiter Bus zur Kommunikation zwischen den Steckplätzen. Im Anhang A.10 werden die

Erweiterungskarten, die für das entwickelte PHIL-System benötigt werden und in Abbildung 2.4 gezeigt sind, detailliert beschrieben.

Für den Datenaustausch zwischen den zwei Mainboards stehen pro Mainboard 4 GTX-Schnittstellen mit einer Datenrate von bis zu 6,6 GBit/s zur Verfügung [D29]. Die Kommunikation zur HMI bzw. zum Computer erfolgt mittels Ethernet.

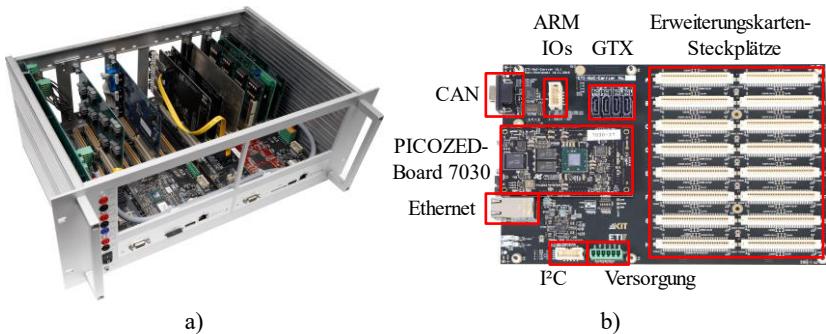


Abbildung 3.1:
a) 19-Zoll-Einschub des ETI-SoC-Systems mit zwei Mainboards und einer dedizierten Anzahl an Erweiterungskarten sowie Spannungsversorgungsplatine auf der linken Seite; b) Mainboard des ETI-SoC-Systems

Tabelle 3.1: Leistungsdaten des PICOZED 7030 SOM bzw. des verbauten SoC XC7Z030 [D28, D30]

Eigenschaft	Wert
Prozessorkern	Dual Core ARM Cortex A9
On-Chip Memory	256 kByte
Schnittstellen	CAN, UART, I2C, GTX, Ethernet
Taktrate	667 MHz
Arbeitsgeschwindigkeit	1334 MFLOPS
Speicher	1 GByte DDR
FPGA-Kern	KINTEX-7
Logikzellen	125000
Verfügbare FPGA-Pins	135

3.2.2 Dezentrale Kontrolleinheit (LCU)

Die dezentrale Kontrolleinheit wird für die Steuerung der CHB-Zellen und der Temperaturregelungseinheit verwendet. Das Blockschaltbild sowie die Abbildung der LCU ist in Abbildung 3.2 abgebildet. Die LCU besitzt einen LWL-Sender sowie einen LWL-Empfänger, zwei optische Ausgänge, einen integrierten AD-Wandler mit neun analogen Kanälen und 32 digitale Ein-/Ausgänge. Für die Implementierung von Steuerungs- und Regelungsfunktionen wird auf der LCU das FPGA *10M08SAE144* verwendet [D31].

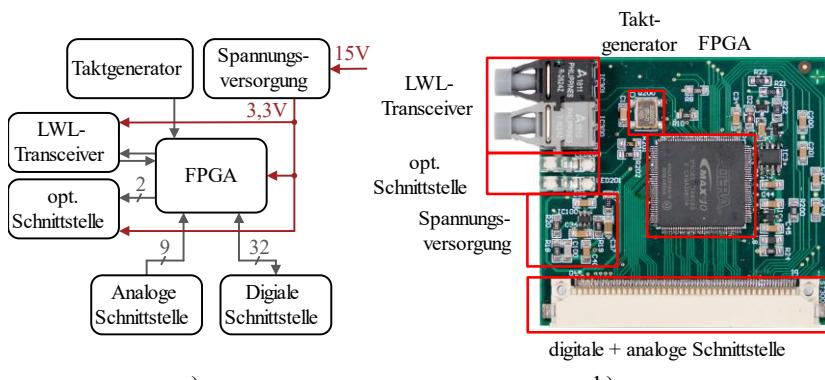


Abbildung 3.2: a) Blockschaltbild der LCU; b) Abbildung der LCU

3.2.3 LPA-Sollwertgenerator und Temperaturregelungseinheit

In Abbildung 3.3 a) und b) sind der LPA-Sollwertgenerator sowie das dazugehörige Blockschaltbild dargestellt. Der LPA-Sollwertgenerator wandelt die von der Dig2Diff-Karte kommenden differentiellen Signale wieder in asymmetrische digitale Signale um. Anschließend erfolgt eine Potentialtrennung mit Hilfe des digitalen Isolators *ISO7760* [D32], sodass der darauffolgende 14-Bit DAC *LTC1667* auf dem Bezugspotential des LPAs liegt [D21]. Das Ausgangssignal des DACs wird daraufhin durch eine Operationsverstärkerschaltung verstärkt. Des Weiteren wird entsprechend Kapitel 2.3.4 die Spannung über den CHB-Zellen mittels eines Widerstandsteilers auf das Signal des DAC aufmoduliert. Der generierte Sollwert wird dann mit zwei SMA-Kabeln an die Eingänge der beiden Teilverstärker eines LPAs geleitet.

In Abbildung 3.3 c) und d) ist Temperaturregelungseinheit sowie deren Blockschaltbild dargestellt. Die Temperaturregelungseinheit erfasst von jedem LPA jeweils zwei Temperaturen mit Hilfe des NTCs *TO103J2K* [D33]. Deren Spannungen ($U_{\text{NTC}1}$ und $U_{\text{NTC}2}$) werden zunächst mit Hilfe des Delta-Sigma-Wandlers *AMC1035* digitalisiert, anschließend mit dem digital Isolator *ISOW7821* galvanisch getrennt und von einer LCU ausgewertet [D34, D35]. Auf der LCU sind drei Temperaturregler implementiert, welche die Temperaturen der drei LPAs regeln. Zur Regelung der Temperatur wird die Drehzahl der Lüfter der Kühlkörper der drei LPAs gesteuert. Dazu wird die anliegende Spannung an den Lüftern mithilfe eines Netzteils pro LPA über die drei Sollwerte $U_{\text{PS},\text{set},123}$ festgelegt.

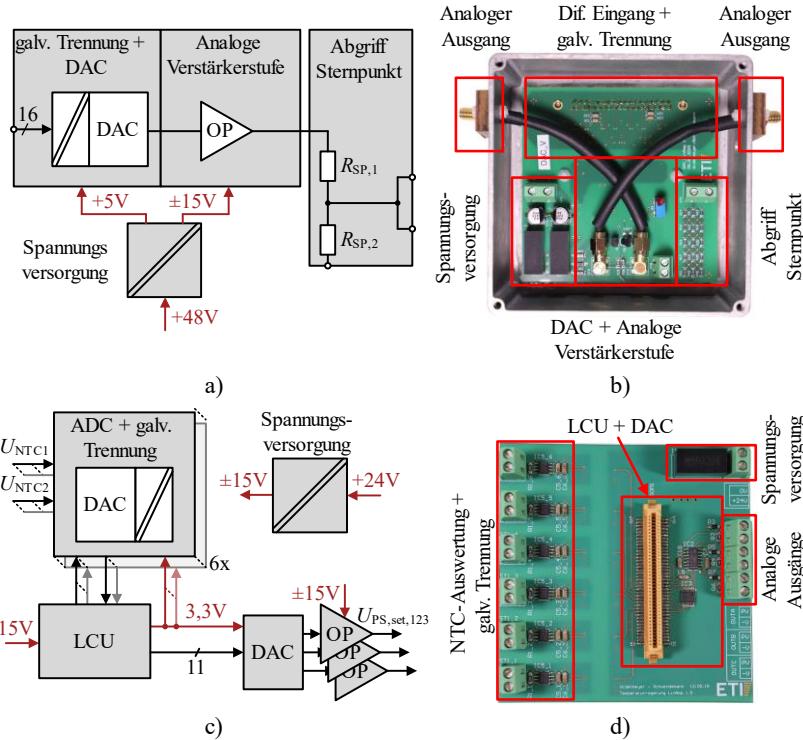


Abbildung 3.3: a) Blockschaltbild des LPA-Sollwertgenerators; b) LPA-Sollwertgenerator; c) Blockschaltbild der Temperaturregelungseinheit; d) Temperaturregelungseinheit

3.3 PHIL-Leistungsteil

Nachfolgend werden die drei Hauptkomponenten des Leistungsteils des PHIL-Systems – CHB-Zellen, Linearverstärker und du/dt -Filter – vorgestellt sowie anhand von Messungen deren Funktion validiert und hinsichtlich ihrer Leistungsfähigkeit beurteilt.

3.3.1 CHB-Zellen

Die entwickelte Platine der CHB-Zellen ist so konstruiert, dass zwei CHB-Zellen einschließlich der dazugehörigen LLC-DC/DC-Wandler darauf platziert sind. Die resultierende Platine ist in Abbildung 3.4 dargestellt.

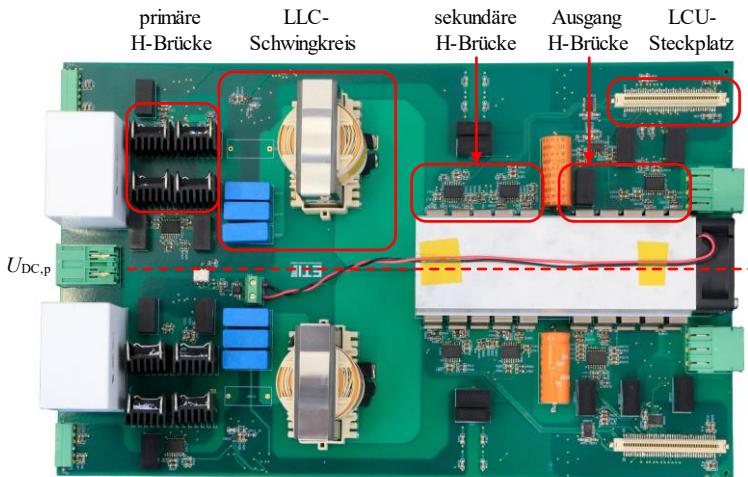


Abbildung 3.4: Entwickelte Platine der CHB-Zellen einschließlich der LLC-DC/DC-Wandler

Die Eingangsspannung $U_{DC,p}$ von 660 V wird auf der linken Seite zugeführt. Die Trennung zwischen den beiden CHB-Zellen wird durch die gestrichelte horizontale Linie in der Mitter der Platine visualisiert. Wie in Kapitel 2.2.3 beschrieben, teilen sich die sekundären MOSFETs der beiden CHB-Zellen einen Kühlkörper. Jede CHB-Zelle besitzt einen Steckplatz für eine LCU, welche die CHB-Zelle einschließlich des LLC-DC/DC-Wandlers steuert. Die Ausgangsspannung der Serienschaltung der beiden CHB-Zellen einer Platine wird über die beiden Stecker auf der rechten Seite bereitgestellt.

Um die CHB-Zelle bei ihrer Nennleistung betreiben zu können, muss zunächst die Schaltfrequenz des LLC-DC/DC-Wandlers $f_{s,LLC}$ an die Resonanzfrequenz des LLC-Schwingkreises f_{res} angepasst werden. Diese Anpassung erfolgt mit dem im Kapitel 2.2.4 vorgestellten Algorithmus, der automatisch die Schaltfrequenz $f_{s,LLC}$ auf $1,02 \cdot f_{res}$ einstellt. In Abbildung 3.5 ist diese Anpassung der Schaltfrequenz $f_{s,LLC}$ durch den Algorithmus zu sehen. Abbildung 3.6 zeigt die Strom- und Spannungsverläufe nach der Adaption der Schaltfrequenz für das Einschalten des SiC-MOSFETs $T1$ (siehe Abbildung 2.10) für den sekundären Nennstrom der CHB-Zelle $I_{a,CHB}$ von 70 A.

Die Schaltfrequenzanpassung wird für einen Ausgangsstrom $I_{a,CHB}$ ausgeführt, der circa 40 % des Nennstroms beträgt. Dies führt nach Gleichung (2.24) zu einem primären Schwingkreisstrom $I_{p,FHA}$ von 1,41 A ($\hat{I}_{p,FHA} = 2$ A). Wie in Abbildung 3.5 zu sehen ist, stellt sich der berechnete Stromwert nach der Adaption der Schaltfrequenz ein. Somit konnte das verwendete FHA-Modell des LLC-DC/DC-Wandlers messtechnisch validiert werden. Des Weiteren kann durch die in Abbildung 3.6 gezeigte Messung das gewünschte spannungslose Einschalten (ZVS) bei der gewählten Schaltfrequenz $f_{s,LLC}$ bestätigt werden, da die Drain-Source-Spannung $u_{DS,T1}$ vor dem Einschalten des Gates auf nahezu 0 V abgefallen ist.

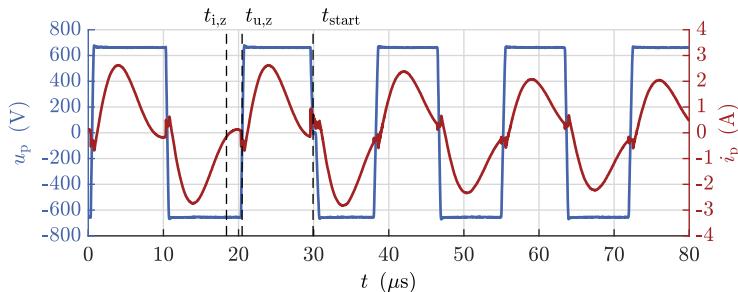


Abbildung 3.5: Messung des LLC-Stroms i_p und der primären Eingangsspannung u_p während der Schaltfrequenzanpassung

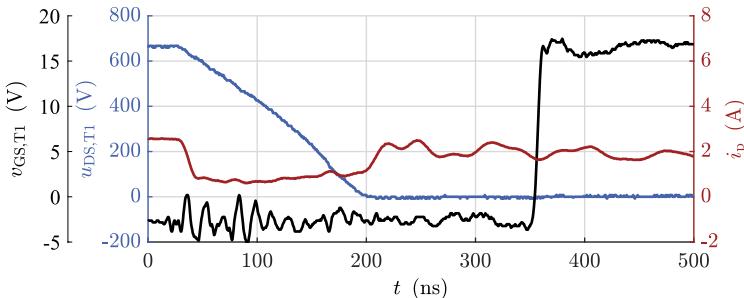


Abbildung 3.6: LLC-Strom i_p , Gate-Source-Spannung $u_{GS,T1}$, und Drain-Source-Spannung $u_{DS,T1}$ für den Einschaltvorgang des primären SiC-MOSFETs T1

Bevor die Zelle in der Betriebsphase die Nennausgangsleistung zur Verfügung stellen kann, muss zunächst die sekundäre Zwischenkreiskapazität $C_{DC,s}$ auf die Nennspannung $U_{DC,s}$ aufgeladen werden. Die Aufladung erfolgt in der Hochlaufphase, die in Abbildung 3.7 gezeigt wird. Die gewünschte maximale Stromimpulshöhe während des Konstantstrommodus (CI) wird auf 4 A festgelegt, welche entsprechend Abbildung 3.8 nicht überschritten wird. Es ist zu beachten, dass aufgrund des langen Messbereichs und der sehr kurzen Strompulse in Abbildung 3.7 die Strompulse nicht präzise erfasst werden können, was zu einer verkleinerten Darstellung ihrer Größe führt. Die tatsächliche Größe der Strompulse ist in Abbildung 3.8 zu erkennen.

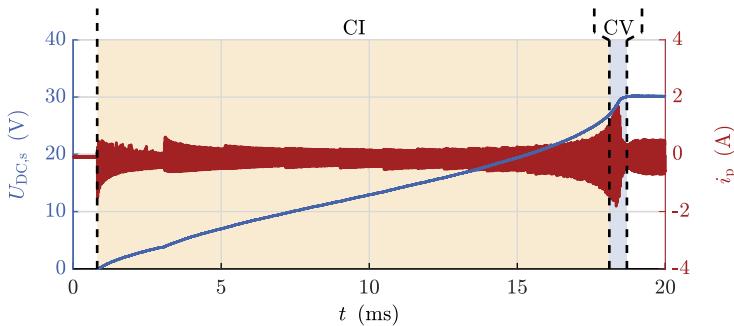


Abbildung 3.7: Sekundäre Zwischenkreisspannung $U_{DC,s}$ und primärer Schwingkreisstrom i_p während der Hochlaufphase, die aus dem Konstantstrommodus (CI) und dem Konstantspannungsmodus (CV) besteht

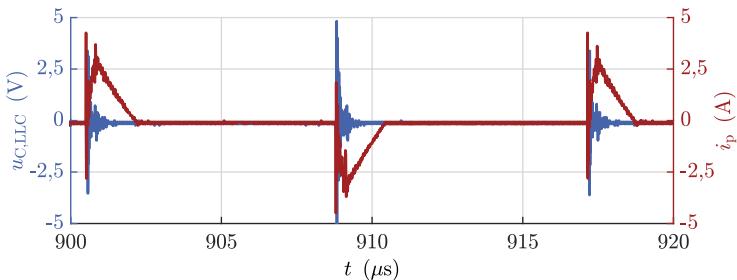


Abbildung 3.8: Primärer Strom i_p und Spannungsabfall über dem Schwingkreiskondensator des LLC-DC/DC-Wandlers $u_{C,LLC}$ während eines Ausschnitts der Hochlaufphase

Des Weiteren ist in der Abbildung 3.8 zu erkennen, dass der Spannungsabfall über dem Schwingkreiskondensator $u_{C,LLC}$, wie in Kapitel 2.2.4 angenommen, gegenüber der primären Zwischenkreisspannung $U_{DC,p}$ von 660 V vernachlässigbar ist. Die Eignung des verwendeten Modells sowie die getroffenen Vereinfachungen nach Kapitel 2.2.4 können folglich validiert werden.

Während der Betriebsphase ist einerseits die Latenz der CHB-Zellen auf eine gewünschte Sollwertänderung im ETI-SoC-System entscheidend und andererseits sind auch die quasi-stationären Eigenschaften wie der Wirkungsgrad sowie der damit zusammenhängende interne Spannungsabfall einer CHB-Zelle maßgeblich.

Die gemessene Latenz vom Sollwertberechnungsblock im FPGA des ETI-SoC-Systems bis zum Ausgang der CHB-Zelle (vgl. Abbildung 2.7) beträgt circa 490 ns.

Die gemessenen Wirkungsgrade η_{CHB} aller CHB-Zellen über deren Ausgangstrom $I_{a,CHB}$ sind in Abbildung 3.9 a) durch die gestrichelten Linien illustriert. Die rote Linie $\eta_{CHB,Avg}$ stellt den Mittelwert aller CHB-Zellen dar. Der höchste Wirkungsgrad von 98,4 % wird bei einem Ausgangstrom $I_{a,CHB}$ von 25 A erreicht. Bei dem maximalen Ausgangstrom von 70 A wird ein Wirkungsgrad von 95,9 % erzielt.

In Abbildung 3.9 b) ist die Ausgangsspannung $U_{a,CHB}$ einer CHB-Zelle über deren Ausgangstrom $I_{a,CHB}$ dargestellt. Beim maximalen Ausgangstrom von 70 A beträgt die Ausgangsspannung 28,8 V. Aus dem gemessenen Spannungsabfall wird ein gemittelter, äquivalenter Ersatzwiderstand $R_{CHB,eq}$ einer aktiven CHB-Zelle einschließlich des LLC-DC/DC-Wandlers von 18,8 mΩ

berechnet. Die an dem Widerstand abfallende Spannung wird im Betrieb zum einen durch den im Kapitel 2.1.3 vorgestellten Modulator berücksichtigt, was zu veränderten Umschaltzeitpunkten führt. Zum anderen wird der restliche Spannungsabfall durch den LPA und dessen analoge Regelschleife kompensiert, weshalb dieser am Ausgang des SHCHB-Umrichters nicht wirksam ist. Mit den dargestellten Messungen kann somit die Funktionsfähigkeit der CHB-Zellen für die Verwendung im SHCHB-Umrichter nachgewiesen werden.

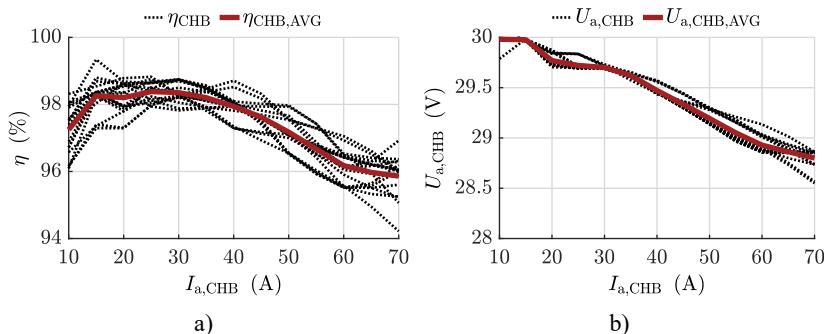


Abbildung 3.9: a) Wirkungsgradverlauf der CHB-Zellen; b) Spannungsabfall innerhalb einer CHB-Zelle

3.3.2 Linearverstärker

Bei der Konstruktion des LPAs muss auf eine möglichst performante Kühlung geachtet werden, da hohe Verluste aufgrund der hohen Strombelastung des LPAs anfallen können. Für die maximale Ausgangsleistung von 50 kVA bei einem 3-phasigen 400 V System muss, entsprechend Kapitel 2.3.3, eine Verlustleistung von 2684 W pro LPA bzw. 67 W pro Ausgangsstufentransistor T_{o10} bis T_{o29} (vgl. Abbildung 2.37) abgeführt werden.

Um die entstehenden Verluste möglichst gut abführen zu können, werden die Transistoren T_{o10} bis T_{o29} der AS direkt über Heatpipes platziert, wie in Abbildung 3.10 a) zu sehen ist. Die Transistoren sind entsprechend der Einfärbung in Abbildung 3.10 a) und b) zwischen den zwei Teilverstärkern V_1 und V_2 eines LPAs aufgeteilt. In Abbildung 3.10 b) werden die parallelgeschalteten NPN-Transistoren T_{o10} bis T_{o19} eines Teilverstärkers durch T_{n1} bzw. T_{n2} und die PNP-Transistoren T_{o20} bis T_{o29} durch T_{p1} bzw. T_{p2} zusammengefasst.

Durch die Heatpipes wird die entstehende Verlustleistung gleichmäßiger über die Kupferplatten verteilt. Die Isolation der Transistoren erfolgt erst nach

dieser Wärmespreizung zwischen den Kupferplatten und dem Kühlkörper mit der Wärmeleitfolie U85 von *Kerafol* [D36]. Die einzelnen Kupferplatten sind somit mit dem Potential der Versorgungsspannung der AS (U_{bo+} oder U_{bo-}) verbunden. Als Kühlkörper wird der LA-V15-40 mit dem Lüfter 4114 NH6 verwendet, wodurch ein thermischer Widerstand $R_{th,HA}$ von 0,02 K/W für den gesamten Kühlkörper erzielt wird [D37, D38].

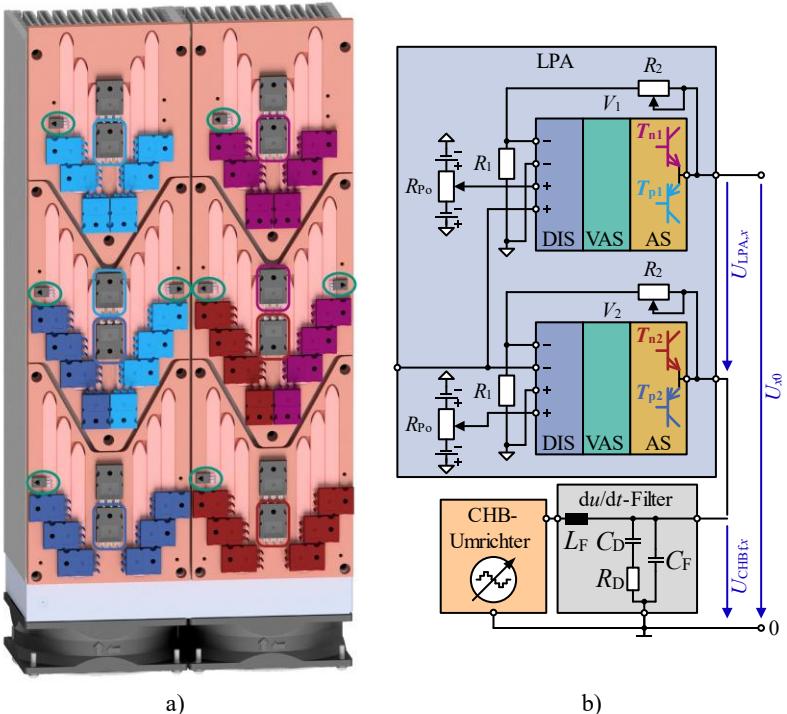


Abbildung 3.10: a) CAD-Zeichnung des Kühlkonzepts einschließlich der Transistoren, der Heatpipes, der Kupferplatten und des Kühlkörpers; b) Prinzipschaltbild einer Phase des SHCHB-Umrichters mit den hervorgehobenen Ausgangsstufentransistoren des LPAs

Die grün gekennzeichneten Transistoren in Abbildung 3.10 a) dienen der Temperaturreckkopplung bei der Generierung der Biasspannung für die AS (vgl. Abbildung 2.38 $T_{o,B,1}$ bis $T_{o,B,4}$). Die jeweiligen Vorstufentransistoren T_{o1} bzw. T_{o2} der AS sind mit der entsprechenden Farbe der von ihnen angesteuerten Ausgangsstufentransistoren gekennzeichneten. Im Gegensatz zum

Prinzipschaltbild eines Teilverstärkers (vgl. Abbildung 2.37) werden konstruktionsbedingt die Vorstufentransistoren T_{01} bzw T_{02} durch mehrere, parallele Transistoren umgesetzt. Um diese Vorstufentransistoren sind die dazugehörigen Ausgangsstufentransistoren V-förmig angeordnet, wodurch ein möglichst symmetrischer Aufbau erreicht wird.

In den vier nicht markierten TO247-Gehäusen in Abbildung 3.10 a) sind Dioden verbaut, die für einen möglichen Betrieb als Klasse-G Verstärker benötigt werden. Dieser Klasse-G-Betrieb wird in der vorhandenen Anwendung jedoch nicht genutzt, weshalb die Dioden kurzgeschlossen sind.

Das entwickelte Kühlkonzept ermöglicht es, unter der Annahme einer Umgebungstemperatur von 30 °C und einer maximalen Sperrschiichttemperatur der Transistoren von 130 °C etwa 120 W pro Transistor abzuführen [S1]. Da für die Bereitstellung des angestrebten 3-phasigen AC-Systems mit 50 kVA lediglich 67 W pro Transistor benötigt werden, kann das entwickelte Kühlkonzept eingesetzt werden.

Für den Fall, dass eine reine DC-Spannung gestellt werden soll, muss der Ausgangsstrom des SHCHB-Umrichters $I_{a,x}$ jedoch auf 55 A reduziert werden, da nur die Hälfte der Ausgangsstufentransistoren Strom führen und somit die gesamte Verlustleistung an ihnen abfällt. Dadurch würde die Sperrschiichttemperatur der aktiven Ausgangsstufentransistoren die maximale Sperrschiichttemperatur bei einem Ausgangsstrom von 70 A überschreiten.

Der entwickelte LPA – einschließlich der DVS, SVS und AS – ist in Abbildung 3.11 zu sehen. Die DVS und SVS der zwei Teilverstärker sind auf zwei separaten Vorstufenplatten untergebracht. Die Sollwertspannung wird über ein SMA-Kabel vom Sollwertgenerator an die zwei Vorstufenplatten übertragen. Die Verbindung von den Vorstufenplatten zu den sechs Platten der AS, die die Ausgangsstufentransistoren miteinander verbinden, erfolgt über geschirmte Leitungen.

Die dynamischen Eigenschaften des LPAs werden sowohl mit Hilfe einer SPICE-Simulation als auch durch Messungen am LPA bestimmt. Hierzu werden die Bode-Diagramme für das Groß- und Kleinsignalverhalten sowie die Sprungantwort des LPAs ermittelt. Anhand der Sprungantwort werden die erreichbare Spannungssteilheit SR_{LPA} und die Latenz des LPAs $t_{t,LPA}$ bestimmt.

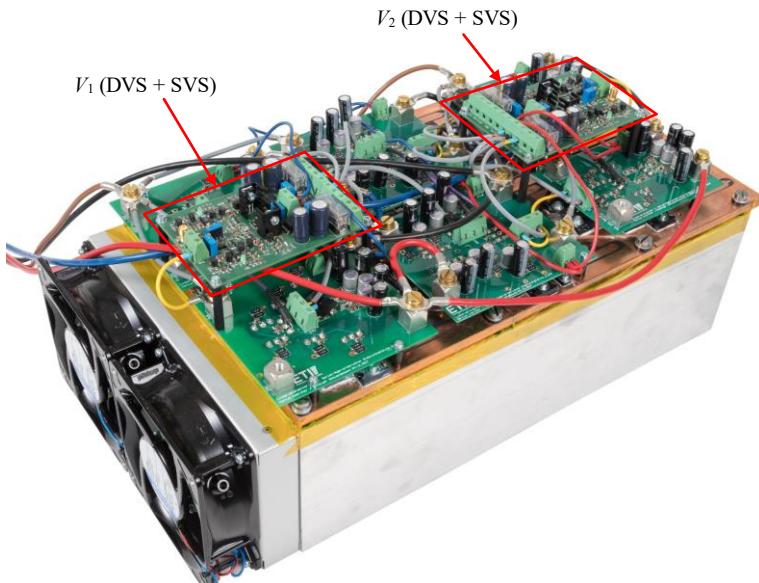


Abbildung 3.11: Konstruierter Linearverstärker

Die resultierenden Bode-Diagramme für das Groß- und Kleinsignalverhalten sind in der Abbildung 3.12 dargestellt. Zur Bestimmung des Kleinsignals wird eine Amplitude der Ausgangsspannung von 1 V und für das Großsignal von 30 V eingestellt. Der LPA wird mit einem Lastwiderstand von 2Ω belastet. Die messtechnisch ermittelte 3 dB Grenzfrequenz für das Groß- und Kleinsignal liegt bei 398 kHz. In Abbildung 3.12 ist zudem das anhand der SPICE-Simulation bestimmte Bode-Diagramm dargestellt (schwarz). Es ist zu erkennen, dass das Bode-Diagramm im Betrag übereinstimmt. Die gemessene Phase weist mit zunehmender Frequenz eine höhere Phasendrehung auf. Diese zusätzliche Phasendrehung kann durch die in der Simulation nicht berücksichtigten Signallaufzeiten sowie die Totzeiten der Messwerterfassung erklärt werden. Die zu der Phasendrehung gehörende Totzeit beträgt circa 40 ns.

In Abbildung 3.13 a) ist exemplarisch die gemessene sinusförmige Ausgangsspannung des LPAs für ein Großsignal mit einer Amplitude von 30 V und einer Frequenz von 100 kHz dargestellt. Die Messung erfolgt unter Belastung mit einem Widerstand von 2Ω . In Abbildung 3.13 b) ist das dazugehörige Frequenzspektrum zu sehen. Der THD-Wert der Ausgangsspannung $u_{LPA,x}$ beträgt nur 0,26 % und kann somit vernachlässigt werden.

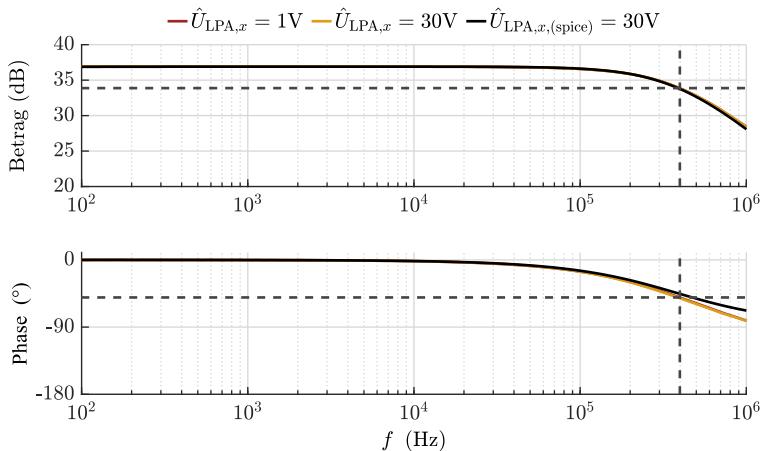


Abbildung 3.12: Gemessenes Bode-Diagramm des LPAs für eine Ausgangsspannungsamplitude $\hat{U}_{\text{LPA},x}$ von 1 V und 30 V sowie das Bode-Diagramm der SPICE-Simulation des LPAs

Die Sprungantwort des LPAs wird anhand eines 100 kHz Rechtecksignals mit einer Amplitude von 30 V gemessen. In Abbildung 3.14 ist das Rechtecksignal über mehrere Perioden sowie über einen einzelnen Sprungmoment dargestellt. Die aus der Sprungantwort ermittelte Latenz des LPAs $t_{\text{t,LPA}}$ beträgt circa 90 ns und die Anstiegszeit von 10 % auf 90 % $t_{\text{LPA},10,90}$ circa 400 ns. Die resultierende mittlere Flankensteilheit zwischen 10 % und 90 % liegt somit bei 120 V/ μ s und die maximale Flankensteilheit während des Sprungmoments bei 251 V/ μ s. Neben den messtechnisch ermittelten Verläufen ist auch die durch die SPICE-Simulation erzeugte Sprungantwort zu sehen. Es wird, wie auch beim Bode-Diagramm, eine gute Übereinstimmung erreicht, sodass die Korrektheit der SPICE-Simulation validiert werden kann.

Neben den dynamischen Eigenschaften wird der Eingangswiderstand des LPAs $R_{\text{in,LPA}}$ ebenfalls simulativ und messtechnisch ermittelt. Zur messtechnischen Bestimmung des Widerstands wird eine Eingangsspannung von 400 mV an den LPA angelegt und der in den LPA fließende Strom wird mit dem Tischmultimeter *DMM6500* gemessen. Der gemessene Eingangswiderstand beträgt 912 k Ω und der per SPICE-Simulation ermittelte Wert 956 k Ω . Beide Werte liegen innerhalb des im Kapitel 2.3.3 analytisch bestimmten Wertebereichs. Somit können das analytische und das simulative Modell des LPAs anhand der Messungen validiert werden. Der Eingangswiderstand $R_{\text{in,LPA}}$ ist dabei um Faktor 1000 größer als der resultierende Widerstand des

Sollwertgenerators, der der Parallelschaltung der beiden Widerstände $R_{SP,1}$ und $R_{SP,2}$ entspricht (siehe Kapitel 2.3.4). Die durch die Belastung des Widerstandsteilers entstehende Verzerrung ist somit vernachlässigbar.

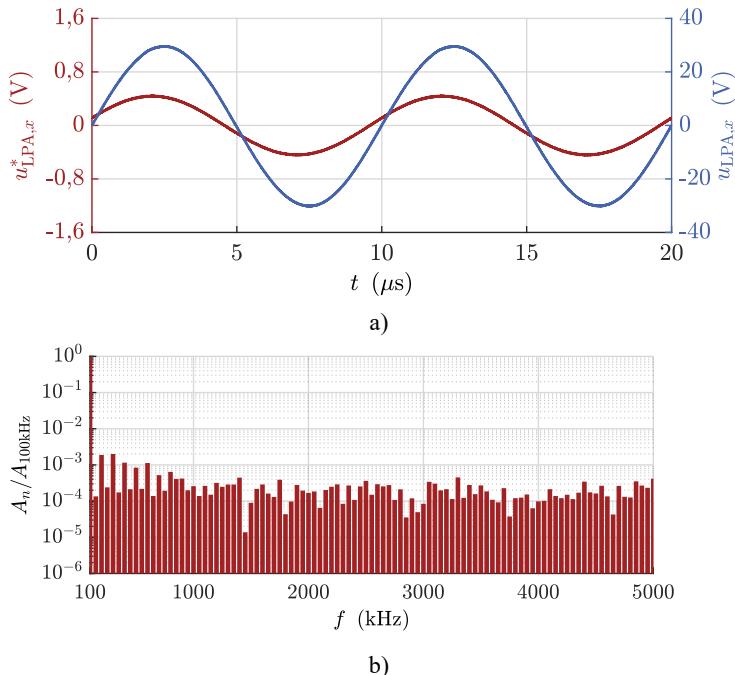


Abbildung 3.13: a) Exemplarische Messung einer sinusförmigen Ausgangsspannung des LPAs mit einer Amplitude von 30 V und einer Frequenz von 100 kHz; b) korrespondierendes Spektrum der Ausgangsspannung

Aufgrund des sehr kleinen Werts kann der wirksame Ausgangswiderstand $r_{a,LPA}$ messtechnisch nicht erfasst werden. Daher ist in Abbildung 3.15 nur der aus der SPICE-Simulation gewonnene Verlauf dargestellt. Der Ausgangswiderstand $r_{a,LPA}$ ist bis zu einer Frequenz von circa 1 kHz konstant und beträgt $5,5 \mu\Omega$. Dieser Wert befindet sich innerhalb des analytisch bestimmten Wertebereichs des Ausgangswiderstands (siehe Tabelle 2.3). Ab 1 kHz nimmt der Ausgangswiderstand bis zu einem Wert von $6,6 \text{ m}\Omega$ bei 1 MHz zu.

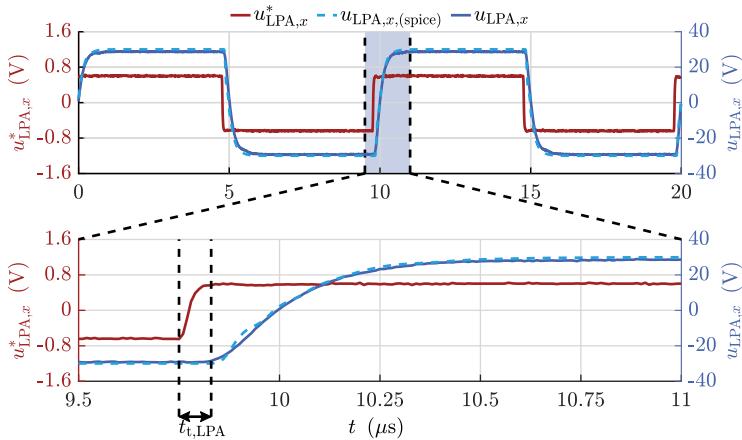


Abbildung 3.14: Rechteckförmige Ausgangsspannung mit einer Amplitude von 30 V und einer Frequenz von 100 kHz

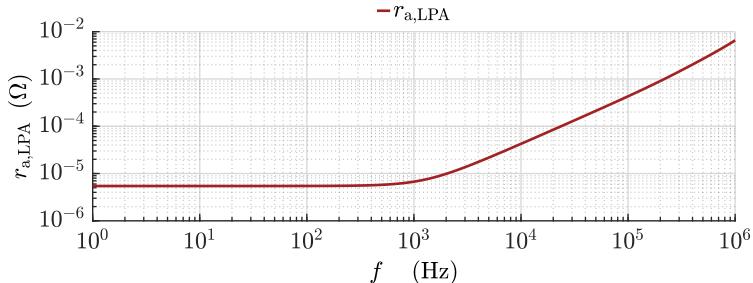


Abbildung 3.15: Ausgangswiderstand des LPAs $r_{a,LPA}$ über der Frequenz

Zusammenfassend kann anhand der messtechnisch ermittelten Werte die Genauigkeit sowohl der analytischen als auch der simulativen Betrachtung validiert werden. Des Weiteren wird dargelegt, dass der entwickelte LPA in der Lage ist, alle Anforderungen zu erfüllen, die durch die vorhandene Anwendung an ihn gestellt werden. Im Vergleich zu kommerziell erhältlichen LPAs der entsprechenden Leistungsklasse kann insbesondere die Totzeit um den Faktor 10 reduziert und die Spannungsflankensteilheit um den Faktor 2 erhöht werden [D2, D39–D41]. Diese Verbesserungen der LPA-Charakteristik sind maßgeblich für eine erfolgreiche Verwendung des LPAs im SHCHB-Umrichter.

3.3.3 du/dt -Filter

Das du/dt -Filter besteht aus zwei Platinen pro Phase. Auf der ersten Platine sind entsprechend Abbildung 3.16 a) vier Gruppen mit je zwei parallelgeschalteten *WE-HCFT* SMD-Induktivitäten in Serie geschaltet. Jede Induktivität hat einen Wert von $10 \mu\text{H}$ und einen Sättigungsstrom von 62 A [D42]. Der resultierende Induktivitätswert entspricht somit dem geforderten Wert für die Filterinduktivität L_F von $20 \mu\text{H}$ bei einem maximalen Strom von circa 124 A .

Auf der zweiten Platine sind die Kondensatoren und die Dämpfungswiderstände installiert. Die Filterkapazität C_F wird aus den zwei parallelen Kondensatoren *B32671L0123* und *B32671L8222* mit einer resultierenden Kapazität von $14,2 \text{ nF}$ umgesetzt [D43]. Der Dämpfungswiderstand R_D besteht aus zwei Gruppen mit je fünf parallelgeschalteten 50Ω *HXP-600* Widerständen, die in Serie geschaltet sind [D44]. In Kombination mit dem gewählten Kühlkörper *LA 8 200 24* kann unter Annahme einer maximalen Temperatur des Widerstands von 145°C und einer Umgebungstemperatur von 30°C eine Gesamtverlustleistung von 1855 W abgeführt werden [D45]. In Serie zu den Dämpfungswiderständen wird der Kondensator *B32754C4205* für die Kapazität C_D mit einem Kapazitätswert von $2 \mu\text{F}$ eingesetzt [D46].

Neben dem Filter wird auf der Platine ebenfalls das Sternpunktpotential abgegriffen, das vom LPA-Sollwertgenerator benötigt wird, um die Sollwertspannung für den LPA zu erzeugen.

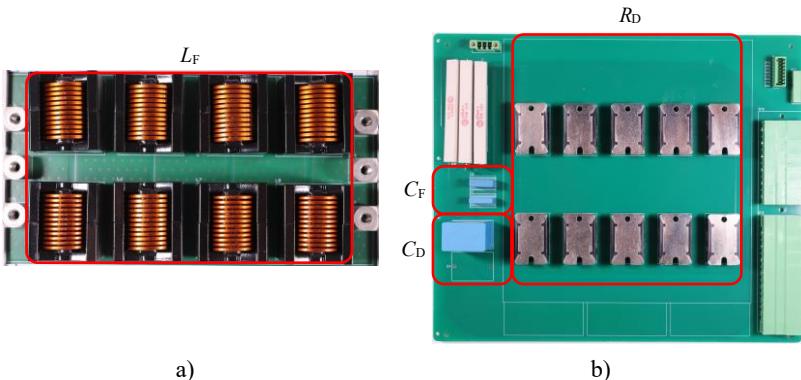


Abbildung 3.16: Platinen des du/dt -Filters: a) Drosselplatine, b) Sternpunktplatine mit den Filterkapazitäten und den Dämpfungswiderständen

3.4 PHIL-System

Das entwickelte PHIL-System, bestehend aus dem SHCHB-Umrichter, dem Signalverarbeitungssystem sowie der benötigten Peripherie, ist in Abbildung 3.18 dargestellt. An der Vorderseite sind die CHB-Zellen und das ETI-SoC-System installiert, welches als zentrales Signalverarbeitungssystem dient. Die CHB-Zellen sind hierbei in drei Baugruppenträger untergebracht, wobei jeder Baugruppenträger die 12 CHB-Zellen einer Phase beinhaltet.

An der Rückseite sind im oberen Bereich die drei LPAs installiert. Vor den LPAs sind die drei Sollwertgeneratoren befestigt. Hinter den LPAs, im Innenraum des Schaltschranks, sind die zu den LPAs gehörenden Netzteile (vgl. Kapitel 2.3.3) platziert. Unterhalb der LPAs sind die eingangs- und ausgangsseitigen Anschlussklemmen sowie die dazugehörigen Sicherungen installiert. Im unteren Bereich sind die drei Sternpunktplatinen sowie die drei AFEs, die den SHCHB-Umrichter versorgen, eingebaut. Die zu den AFEs gehörenden Netzinuktivitäten sind auf dem Boden des Schaltschranks platziert. Jedes der drei AFEs basiert auf einem am Institut entwickelten 2L-VSC mit einer Leistung von 25 kVA (siehe Abbildung 3.25 a)) [E11, E12]. Die Induktivitätsplatinen das du/dt -Filter sind im Innenraum des Schaltschranks platziert.

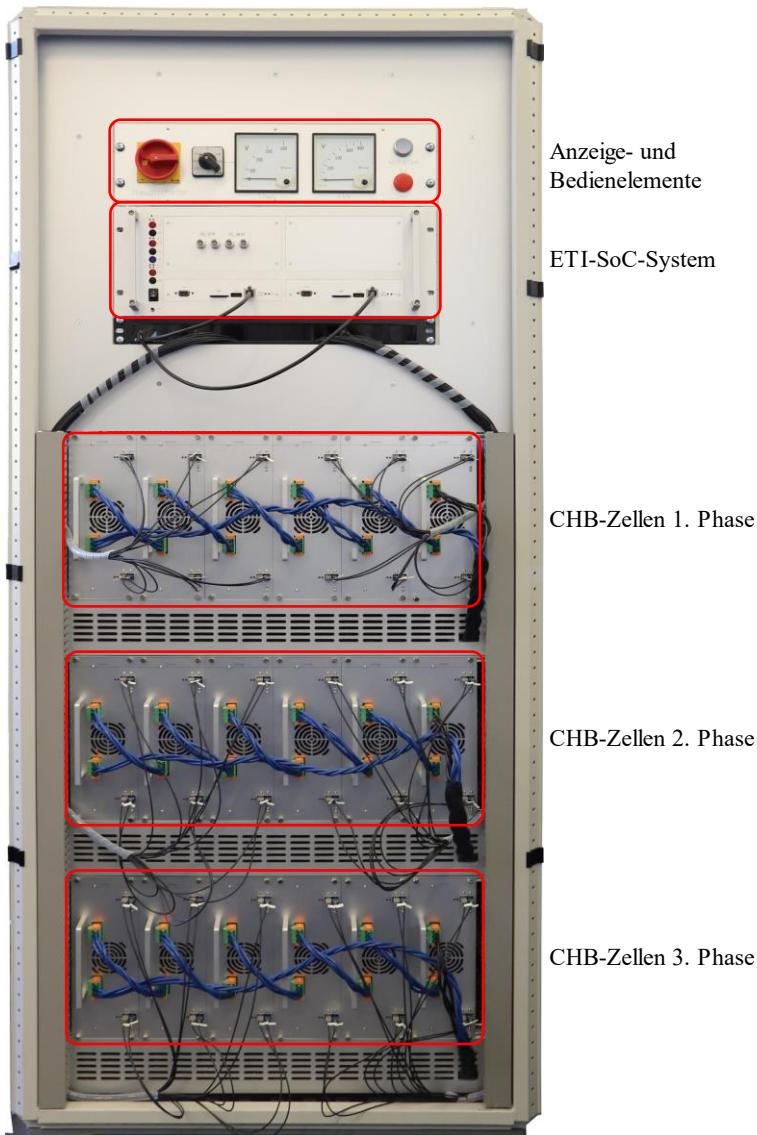


Abbildung 3.17: Vorderansicht des konstruierten PHIL-Prüfstands

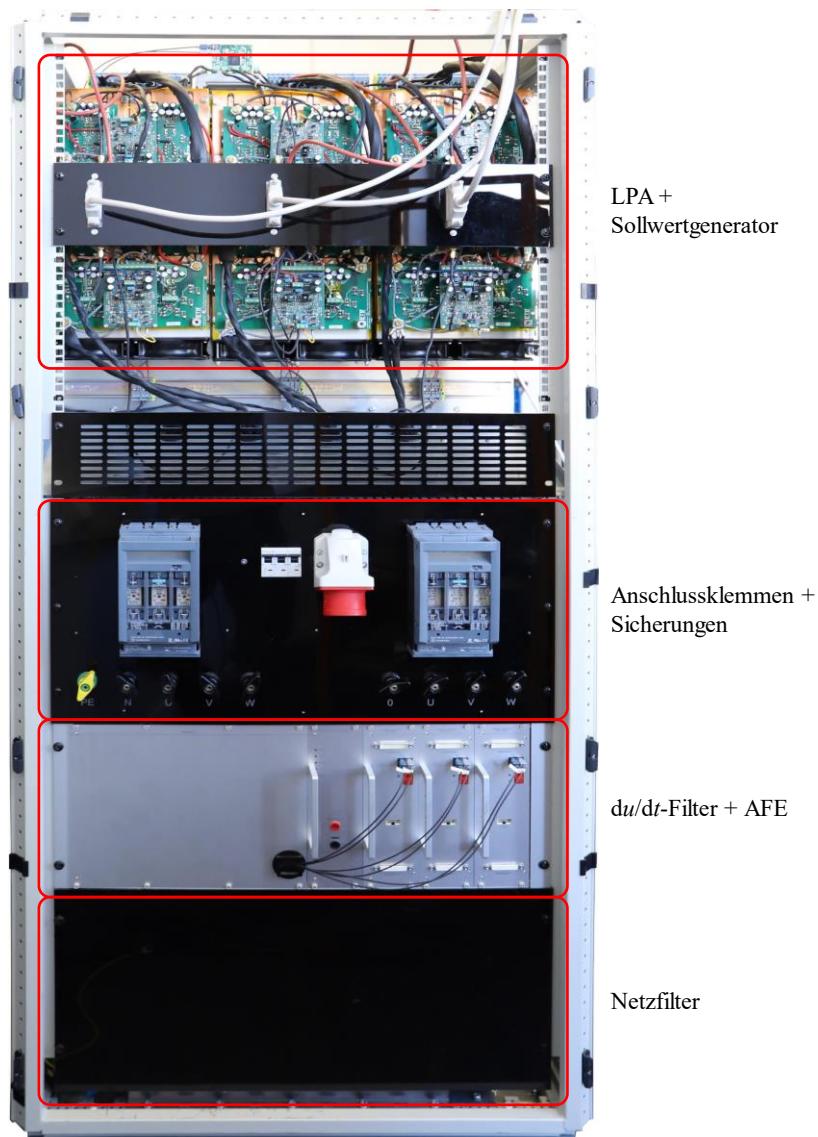


Abbildung 3.18: Rückansicht des konstruierten PHIL-Prüfstands

Zur Charakterisierung der Ausgangsspannung des SHCHB-Umrichters wird dieser zunächst mit einem 14Ω Lastwiderstand betrieben. Dadurch wird gewährleistet, dass die Messergebnisse nicht durch Störungen verfälscht werden, die durch ein taktendes DUT entstehen können. In Abbildung 3.19 sind der Verlauf der Ausgangsspannung des du/dt -Filters $u_{\text{CHBf},x}$, des LPAs $u_{\text{LPA},x}$, des gesamten SHCHB-Umrichters u_{x0} und der Sollwert für die Ausgangsspannung $u_{\text{ref},x}$ dargestellt. Des Weiteren wird der Bereich eines Umschaltzeitpunktes näher betrachtet. Der maximale Spannungsfehler während des Umschaltzeitpunkts beträgt circa 6 V und ist nach circa 2 μs wieder ausgeregelt. Somit beträgt der relative Fehler im Umschaltzeitpunkt circa 1,8 % bezogen auf die Nennspannung des SHCHB-Umrichters und verlässt das gewünschte Fehlerband von $\pm 1\%$, welches bei der Auslegung des du/dt -Filters in Kapitel 2.4 definiert wird. Das Fehlerband ist in der Abbildung 2.4 durch die gestrichelte Linie gekennzeichnet.

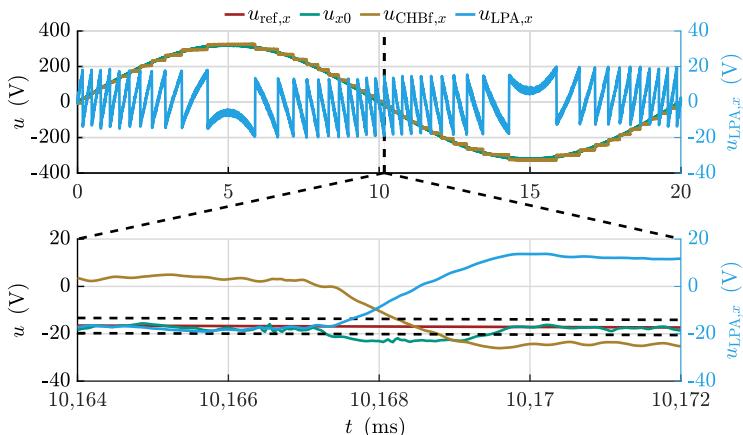


Abbildung 3.19: Ausgangsspannung des SHCHB-Umrichters u_{x0} , des du/dt -Filters $u_{\text{CHBf},x}$ und des LPAs $u_{\text{LPA},x}$

Um die Auswirkung dieses zu großen Spannungsfehlers im Umschaltmoment auf die Güte der Ausgangsspannung zu ermitteln, wird ein ideales 400 V-System mit einer Grundschwingungsfrequenz von 50 Hz und 1000 Hz erzeugt. Als Last wird erneut ein 14Ω Lastwiderstand verwendet. Anschließend werden die dazugehörigen Spektren und THD-Werte ermittelt. Die Spannungsverläufe und Spektren sind in Abbildung 3.20 dargestellt. Aus den Spektren wird ersichtlich, dass lediglich der Grundschwinganteil ausgeprägt ist. Der

THD-Wert beträgt bei 50 Hz nur 0,22 % und bei 1000 Hz 0,32 %. Es kann somit von einer nahezu idealen Sinusspannung ausgegangen werden. Daher wird zugunsten einer höheren Bandbreite des SHCHB-Umrichters auf eine Anpassung des du/dt -Filters zur Reduktion des Spannungsfehlers im Umschaltmoment verzichtet.

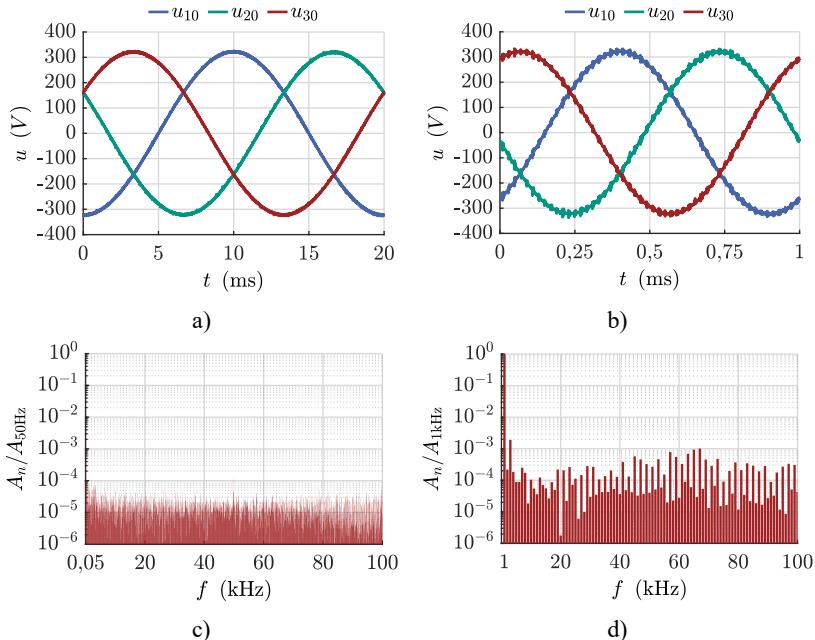


Abbildung 3.20: Messergebnisse eines 3-phasigen 400 V-Systems für eine Grundfrequenz von a) 50 Hz und b) 1000 Hz sowie das dazugehörige Spektrum für c) 50 Hz und d) 1000 Hz

Neben der Erzeugung eines 3-phasigen AC-Systems, soll das PHIL-System ebenfalls in der Lage sein, die harmonische Impedanz eines DUTs zu vermesen. Hierzu wird eine definierte Spannungsharmonische auf das 50 Hz AC-System aufmoduliert. In Abbildung 3.21 a) ist ein beispielhafter Verlauf für die Vermessung der 7. Harmonischen gezeigt. Das generierte Testsignal hat in diesem Fall eine Amplitude von 10 V. Das Testsignal und die Grundschwingung sind im dargestellten Spektrum mit den entsprechenden Werten existent. Der THD-Wert ohne Berücksichtigung der 7. Harmonischen liegt bei 0,22 %. Es ist somit eine genaue Messung der harmonischen Impedanz für eine einzelne definierte Frequenz möglich.

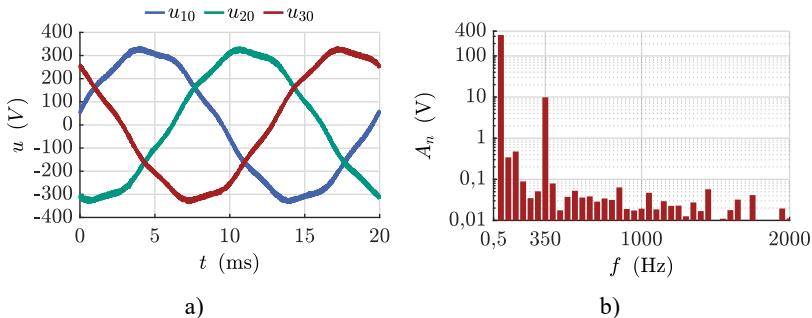


Abbildung 3.21: 3-phasisches 400 V System mit überlagertem sinusförmigem Testsignal mit einer Amplitude von 10 V und einer Frequenz von 350 Hz:
a) Zeitverlauf, b) Spektrum

Zusätzlich zum quasistationären Betrieb werden die dynamischen Eigenschaften des PHIL-Systems überprüft. In Abbildung 3.22 a) ist die Sprungantwort des SHCHB-Umrichters von 0 V auf 300 V dargestellt. Es erfolgt keine Begrenzung des LPA-Sollwerts gemäß Kapitel 2.1.3, weshalb der LPA sättigt und folglich den Überschwinger des du/dt -Filters nicht ausregeln kann. Dies resultiert in einem Überschwinger der Ausgangsspannung u_{x0} von circa 10 %. Die Anregelzeit bis zum erstmaligen Erreichen des neuen Sollwerts beträgt 3,1 μ s. Die Ausregelzeit, um das $\pm 1\%$ Toleranzband (dargestellt durch gestrichelte Linien) zu erreichen, beträgt 7,5 μ s.

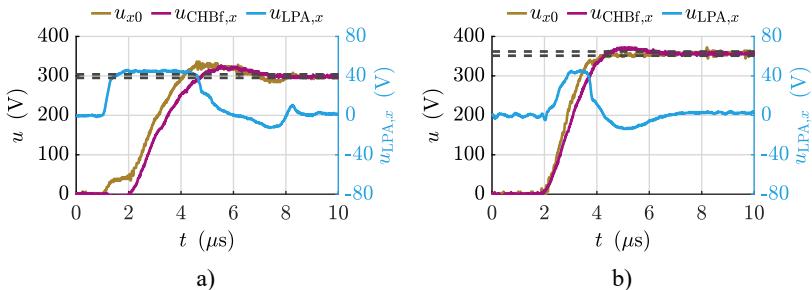


Abbildung 3.22: Sprungantwort des SHCHB-Umrichters: a) ohne Sollwertbegrenzung der LPA-Spannung und b) mit Sollwertbegrenzung anhand eines Modells des du/dt -Filters

Im Vergleich hierzu ist bei der in Abbildung 3.22 b) gezeigten Messung der Sprungantwort auf 360 V die Sollwertbegrenzung mit Hilfe eines Modells des du/dt -Filters aktiviert. Dabei zeigt sich, dass der LPA in der Lage ist, den

Überschwinger zu kompensieren, der durch das du/dt -Filter entsteht. Hierdurch wird ein Ausregelverhalten der Ausgangsspannung u_{x0} ohne Überschwinger erzielt und die Ausregelzeit (1 % Toleranzband) entspricht der Anregelzeit von 2,3 μs . Die mittlere Spannungssteilheit der Ausgangsspannung u_{x0} im Bereich zwischen 10 % und 90 % der Sprunghöhe beträgt 175 V/ μs .

Neben dem Führungsgrößenverhalten wird auch das Störgrößenverhalten des SHCHB-Umrichters analysiert. Hierbei werden zwei Testfälle betrachtet. Im ersten Fall wird eine DC-Ausgangsspannung von 400 V zwischen den Phasen 1 und 2 des SHCHB-Umrichters eingestellt und ein Lastsprung von 0 auf 21 kW mit Hilfe eines zuschaltbaren Widerstands von 7,6 Ω und einer in Serie geschalteten Induktivität von 240 μH durchgeführt.

Im zweiten Fall erzeugt der SHCHB-Umrichter ein 3-phasisches 400 V Netz. In diesem Fall wird der Prüflingsumrichter als Last verwendet (siehe Kapitel 3.5), der einen Lastsprung von -15 kW auf +20 kW erzeugt.

Die Messung der ersten Phase für den ersten Testfall ist in der Abbildung 3.23 dargestellt. Es ist erkennbar, dass die Spannung über dem du/dt -Filter $u_{\text{CHBF},1}$ durch den schnellen Lastsprung mit einer maximalen Stromsteilheit von circa 4 A/ μs um circa 35 V einbricht. Aufgrund von Totzeiten innerhalb des LPAs und der Höhe des Spannungseinbruchs ist der LPA nicht in der Lage, den Spannungsabfall über dem du/dt -Filter direkt im Schaltmoment vollständig zu kompensieren. Aus diesem Grund kann in der Ausgangsspannung u_{10} ebenfalls ein reduzierter Spannungseinbruch von circa 12 V beobachtet werden. Durch den LPA wird dieser dynamische Spannungseinbruch bereits nach circa 1 μs ausgeregelt und damit deutlich bevor die Spannung des du/dt -Filters $u_{\text{CHBF},1}$ ihren stationären Endwert erreicht. Zudem kompensiert der LPA ebenfalls den statischen Spannungsabfall über dem du/dt -Filter, der durch den höheren Ausgangsstroms entsteht.

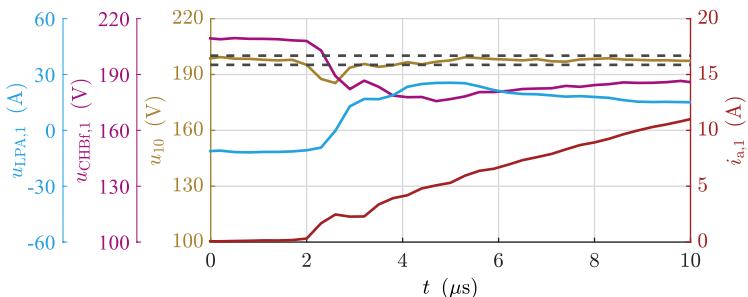


Abbildung 3.23: Störverhalten des SHCHB-Umrichters für einen Lastsprung von 21 kW und einer DC-Ausgangsspannung zwischen Phase 1 und 2 von 400 V, maximale Stromsteilheit 4 A/ μ s

Im zweiten Testfall wird der Lastsprung durch den Testumrichter erzeugt, was auch den späteren Anwendungsfall widerspiegelt. Der Lastsprung von -15 kW auf $+20 \text{ kW}$ erfolgt bei 0 ms . In Abbildung 3.24 sind die Spannungen und Ströme der zweiten Phase dargestellt. Zusätzlich sind ebenfalls die durch den Testumrichter generierten d- und q-Ströme gezeigt, anhand derer der Lastsprung besser sichtbar wird. Die Spannung über dem du/dt -Filter $u_{CHBF,2}$ fällt um circa 10 V ab, gefolgt von einer leichten Schwingung. Die Ausgangsspannung der entsprechenden Phase u_{20} verlässt in diesem Fall jedoch zu keinem Zeitpunkt das $\pm 1\%$ Toleranzband um den gewünschten Sollwert. Dies lässt sich durch die geringere Stromsteilheit des Lastsprungs verglichen zum ersten Testfall begründen. Durch diese geringere Stromsteilheit ist der LPA in der Lage den Spannungseinbruch und die Schwingung, die nach dem Lastsprung auftritt, vollständig zu kompensieren.

Das Störverhalten des SHCHB-Umrichters ist folglich von der Stromsteilheit des Lastsprungs und der Spannungsreserve des LPAs abhängig. Die verfügbare Spannungsreserve wird durch die vom LPA gestellte Spannung vor dem Lastsprung definiert und liegt im Bereich von 25 V bis 55 V . Die korrespondierende maximale Stromsteilheit, die einen solchen Spannungseinbruch am du/dt -Filter erzeugt, wird anhand einer Spice-Simulation ermittelt. Sie liegt für einen Spannungseinbruch von 25 V bzw. 55 V bei $0,74 \text{ A}/\mu\text{s}$ bzw. $2,7 \text{ A}/\mu\text{s}$.

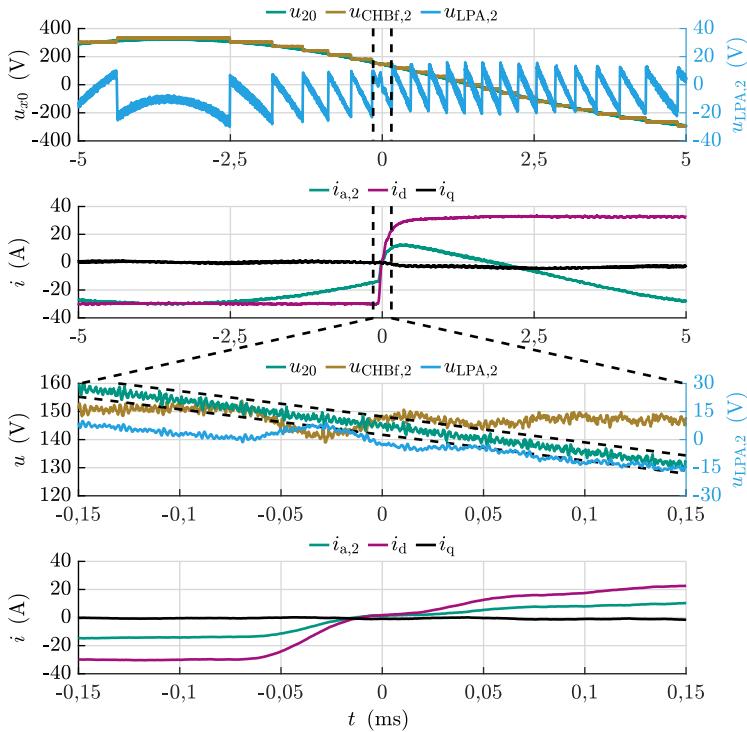


Abbildung 3.24: Störverhalten des SHCHB-Umrichters für ein Lastsprung von -15 kW auf $+20 \text{ kW}$

Der entwickelte SHCHB-Umrichter stellt somit eine hochdynamische Spannungsquelle mit einer Spannungsflankensteilheit von $175 \text{ V}/\mu\text{s}$ dar. Dadurch wird eine Anregelzeit von nur $2,3 \mu\text{s}$ für einen Spannungssprung von 360 V erreicht. Die Totzeit bei diesem Großsignalsprung beträgt 460 ns und wird durch die Totzeit der CHB-Zellen $t_{t,\text{CHB}}$ definiert. Die Totzeit bei einem Kleinsignalsprung beträgt hingegen lediglich 260 ns und wird in diesem Fall durch den LPA definiert (siehe Abbildung 2.7). Die durch den LPA bestimmte Kleinsignalbandbreite beträgt 398 kHz . Gleichzeitig weist die Ausgangsspannung einen sehr geringen THD-Wert von $0,22 \%$ für ein 50 Hz -System auf. Des Weiteren besitzt der SHCHB-Umrichter aufgrund des LPAs, der den Spannungsabfall über das du/dt -Filter teilweise kompensieren kann, ein sehr gutes Störgrößenverhalten.

Im Vergleich zu den in Tabelle 3.2 aufgeführten kommerziell verfügbaren Netzemulatoren bietet das entwickelte System signifikante Verbesserungen: Die Spannungsflankensteilheit kann um den Faktor 3,3 und die Kleinsignalbandbreite um den Faktor 5 gesteigert werden. Zudem lässt sich die Totzeit im Vergleich zu bestehenden Systemen um den Faktor 6,5 reduzieren, was für eine hochdynamische closed-loop-Emulation von entscheidender Bedeutung ist. Zwar ist der THD-Wert im Vergleich zu einem rein linearen Netzemulator von *Spitzenberger Spies* erhöht, jedoch weist er mit 0,22 % im Vergleich zu allen anderen Netzemulatoren einen geringeren Wert auf.

Das entwickelte System ermöglicht es somit, sowohl das frequenzabhängige Klemmenverhalten eines DUTs zu analysieren als auch eine hochdynamische Emulation unterschiedlicher Netzsituationen zu realisieren.

Tabelle 3.2: Übersicht der Kenndaten verschiedener kommerzieller Netzemulatoren ähnlicher Leistungsklasse (*): gemessener Wert) [D1, D2, D47–D53]

Hersteller	Typ	THD	Kleinsignalbandbreite	Spannungsflankensteilheit	Totzeit
Spitzenberger Spies	APS Serie	0,1 %	50 kHz	52 V/μs	5 μs
Egston Power	CSU 100	0,46 % (*)	15 kHz	12 V/μs	28 μs
AE Techron	8700 Serie	0,5%	80 kHz	40 V/μs	3 μs
National Instruments	NHR 9510	0,45 %	120 Hz	1 V/μs	50 μs
Regatron	TC.ACS Serie	0,4 %	5 kHz	4 V/μs	70 μs
OPAL-RT Technologies	OP1400 Serie	0,5 %	10 kHz	5 V/μs	5,5 μs
Cinergia	GE&EL+ vAC/DC SiC	0,8 %	5 kHz	4 V/μs	130 μs
Chroma ATE	61800 S	0,5 %	2,4 kHz	2 V/μs	100 μs
Kikusui Electronics	PCR-WEA/ WEA2 Serie	0,5 %	5 kHz	8 V/μs	40 μs

3.5 Prüfling

Als Prüfling (DUT) wird der in Abbildung 3.25 a) gezeigte 2L-VSC mit einer Leistung von 25 kVA verwendet [E11, E12]. Die Schaltfrequenz des 2L-VSCs beträgt 10 kHz beim Einsatz des L-Netzfilters und 50 kHz beim Einsatz des LCL-Netzfilters. Der Prüfling wird entsprechend Abbildung 3.26 in ein Umrichtersystem eingebettet, das aus einem LLC-DC/DC-Wandler zur galvanischen Trennung sowie einem zweiten 2L-VSC besteht, welcher als Einspeisung des Umrichtersystems dient [E13, S3]. Für den Fall, dass ein DC-Eingang benötigt wird, um z.B. eine Batterie oder ein PV-System anzuschließen, besteht die Möglichkeit direkt auf den DC-Zwischenkreis zuzugreifen. Beim Prüfling selbst kann zwischen einem reinen induktiven Netzfilter und einem LCL-Netzfilter umgeschaltet werden. Die Kenndaten der beiden Netzfilter sind in Tabelle 3.3 aufgeführt.

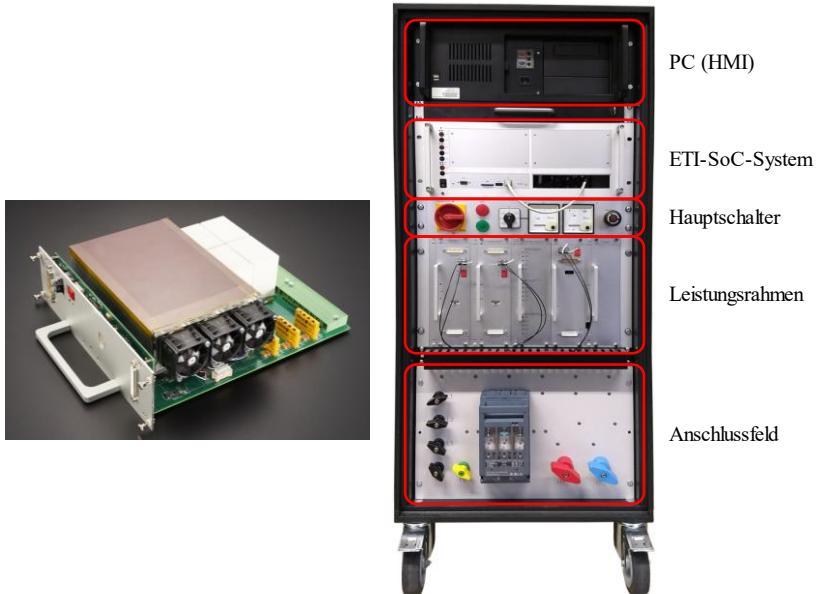


Abbildung 3.25: a) Prüfling basierend auf einem 2L-VSC; b) Umrichtersystem für den Prüfling

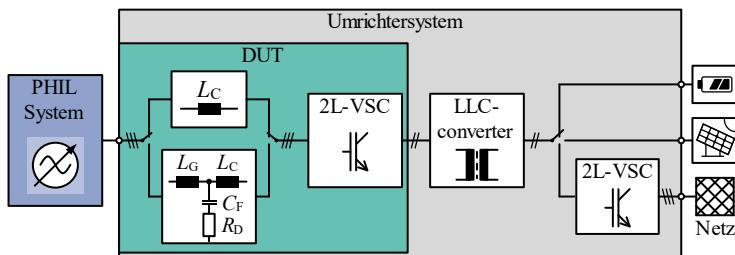


Abbildung 3.26: Blockschaltbild des Umrichtersystem einschließlich des DUTs

Tabelle 3.3: Parameter des L-Netzfilters bzw. des LCL-Netzfilters

	L-Filter	LCL-Filter
L_C	1 mH	100 μ H
R_C	30 m Ω	10 m Ω
C_F	-	4,2 μ F
R_D	-	50 m Ω
L_g	-	50 μ H
R_g	-	7 m Ω

4

Analytische Beschreibung der closed-loop-Emulation

Um die Stabilität einer closed-loop-Emulation beurteilen zu können, müssen die einzelnen Komponenten des PHIL-Prüfstands einschließlich des Prüflings (DUT) berücksichtigt werden. Das Blockschaltbild eines solchen Prüfstands ist in Abbildung 4.1 dargestellt. Für den Fall, dass das PHIL-System als Netzemulator fungiert, kann das regelungstechnische Signalflussdiagramm gemäß Abbildung 4.2 aus dem Blockschaltbild abgeleitet werden.

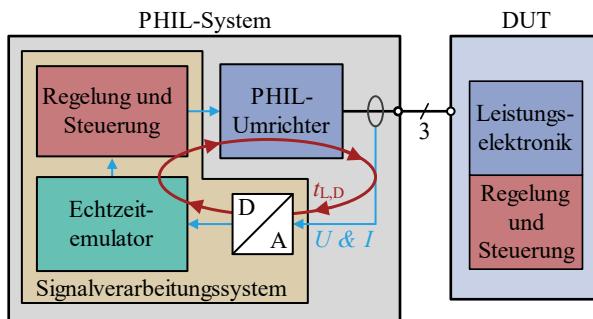


Abbildung 4.1: Blockschaltbild eines PHIL-Prüfstands bestehend aus dem PHIL-System und dem DUT

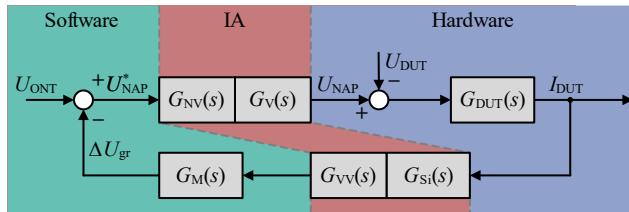


Abbildung 4.2: Regelungstechnisches Signalflussdiagramm eines als Netzemulator betriebenen PHIL-Prüfstands

Wie in Abbildung 4.2 dargestellt, lässt sich das Signalflussdiagramm in drei Teile gruppieren: dem Hardwareteil bestehend aus dem DUT repräsentiert durch seine Übertragungsfunktion G_{DUT} , dem Softwareteil bestehend aus dem verwendeten Modell mit seiner Übertragungsfunktion G_M und dem sogenannten Schnittstellenalgorithmus (IA, engl.: Interface Algorithm), der die Verbindung zwischen dem Modell (Software) und dem DUT (Hardware) herstellt. Alle drei Teile haben einen Einfluss auf die erreichbare Stabilität und Genauigkeit der Emulation. Für den IA gibt es verschiedene Ausführungsformen, die jeweils unterschiedliche Manipulationen bei der Übergabe der Daten vornehmen. Grundsätzlich setzt sich der IA aus einem Hardwareteil, bestehend aus dem PHIL-Umrichter G_V und der Messwerterfassung G_{SI} , sowie einem Softwareteil zusammen. Der Softwareteil umfasst eine Vorverarbeitung der Messwerte für das verwendete Modell G_{VV} und eine Nachverarbeitung der im Modell ermittelten Sollwerte für den PHIL-Umrichter G_{NV} .

Während der DUT, das Modell, der PHIL-Umrichter und die Messwerterfassung für einen gegebenen PHIL-Prüfstand fest definiert sind, kann die Vor- und Nachverarbeitung für den gegebenen Prüfstand angepasst und somit eine Optimierung der Genauigkeit bzw. der Stabilität erreicht werden. Die konkrete Implementierung dieser Vor- bzw. Nachverarbeitung hängt dabei vom gewählten IA ab und hat einen maßgeblichen Einfluss auf die Eigenschaften der closed-loop-Emulation. Aus diesem Grund muss der IA bei der analytischen Beschreibung der closed-loop-Emulation berücksichtigt werden [99: S. 26ff].

Nachfolgend werden zunächst die Übertragungsfunktionen des vorhandenen PHIL-Prüfstands bestehend aus dem PHIL-System und dem DUT hergeleitet. Danach erfolgt eine Analyse der verschiedenen IAs sowie abschließend eine Vorstellung möglicher Bewertungskriterien anhand derer eine Gegenüberstellung der verschiedenen IAs für die jeweilige Anwendung erfolgen kann.

4.1 Übertragungsfunktionen des PHIL-Prüfstands

Gemäß Abbildung 4.2 befinden sich die Übertragungsfunktionen des PHIL-Umrichters G_V , der Messwerterfassung G_{Si} , des DUTs G_{DUT} , der Vorverarbeitung des Messwerte G_{VV} und der Nachverarbeitung der Sollwerte G_{NV} innerhalb der Schleife der closed-loop-Emulation. Die Übertragungsfunktionen der Vorverarbeitung G_{VV} und der Nachverarbeitung G_{NV} variieren je nach Wahl des IAs und werden im Kapitel 4.2 näher betrachtet.

Für die Übertragungsfunktion des PHIL-Umrichters G_V müssen beim SHCHB-Umrichter zwei Fälle unterschieden werden. Im ersten Fall werden die gewünschten Sollwertänderungen ausschließlich durch den LPA erzeugt und im zweiten Fall werden die Sollwertänderungen durch ein Zusammenspiel der CHB-Zellen und des LPAs generiert. Die Dynamik der Ausgangsspannung des SHCHB-Umrichters wird auch im zweiten Fall durch den LPA erhöht. Für die Stabilitätsuntersuchung wird jedoch das worst-case-Szenario betrachtet und ausschließlich die Dynamik der CHB-Zellen mit dem du/dt -Filter berücksichtigt. Die Grenze zwischen den beiden Fällen liegt bei einer Spannungsänderung der Ausgangsspannung u_{x0} von circa 30 V.

Im ersten Fall entspricht die Übertragungsfunktion des SHCHB-Umrichters der des LPAs. Dieser besitzt eine 3 dB Grenzfrequenz $f_{g,LPA}$ von circa 398 kHz (siehe Kapitel 3.3.2) und wird in erster Näherung durch ein PT1-Glied approximiert. Neben der vorhandenen Grenzfrequenz des PHIL-Umrichters $f_{g,V}$ muss auch dessen Totzeit $t_{t,V}$ berücksichtigt werden. Diese setzt sich aus der benötigten Rechenzeit des Modells $t_{t,M}$, der Totzeit durch die Nachverarbeitung innerhalb der Software und der Signallaufzeit von den Pins des SoC-Systems bis zum Ausgang des LPAs zusammen. Die resultierende Totzeit $t_{t,V}$ beträgt entsprechend Abbildung 2.7 427 ns. Für die Übertragungsfunktion des PHIL-Umrichters für Signale kleiner 30 V gilt somit:

$$G_V(s) = \frac{1}{1+s/2\pi f_{g,V}} \cdot e^{-t_{t,V} \cdot s} = \frac{1}{1+s/2\pi f_{g,LPA}} \cdot e^{-t_{t,V} \cdot s} \quad (4.1)$$

Für den zweiten Fall muss die Charakteristik der CHB-Zellen mit dem du/dt -Filter berücksichtigt werden. Somit wird die Übertragungsfunktion des PHIL-Umrichters G_V durch die Totzeit der CHB-Zellen und die Charakteristik des du/dt -Filters bestimmt. Die Totzeit der CHB-Zellen beträgt nach Abbildung 2.7 627 ns und entspricht in diesem Fall der Totzeit $t_{t,V}$. Unter

Berücksichtigung der Charakteristik des du/dt -Filters nach Gleichung (2.139) gilt für die Übertragungsfunktion G_V :

$$G_V(s) = \frac{\left(1 + \frac{\omega_{RC}}{s}\right)}{\frac{s^2}{\omega_{g,LCRC}^2} + \frac{2 \cdot D_{LCRC} \cdot s}{\omega_{g,LCRC}} + \left(1 + \frac{\omega_{RC}}{s}\right)} \cdot e^{-t_{t,V} \cdot s} \quad (4.2)$$

Die Messwerterfassung besteht aus einem Stromsensor mit einer Bandbreite $f_{g,CS}$ von 150 kHz sowie einer Totzeit $t_{t,CS}$ von 300 ns und kann ebenfalls als PT1-Glied angenähert werden [D54]. Neben der Totzeit des Sensors muss zusätzlich die Totzeit, die durch den AD-Wandler sowie dessen Auswertung entsteht, $t_{t,ADC}$ berücksichtigt werden. Diese beträgt 410 ns [E7]. Für die Übertragungsfunktion der Messwerterfassung G_{SI} gilt:

$$G_{SI}(s) = \frac{1}{1 + s / 2\pi f_{g,AC}} \cdot e^{-t_{t,AC} \cdot s} = \frac{1}{1 + s / 2\pi f_{g,CS}} \cdot e^{-(t_{t,CS} + t_{t,ADC}) \cdot s} \quad (4.3)$$

Neben den Übertragungsfunktionen des PHIL-Systems muss für eine Analyse der closed-loop-Emulation ebenfalls die Übertragungsfunktion des DUTs betrachtet werden. Als DUT wird entsprechend Kapitel 3.5 ein 2L-Umrichter mit dazugehörigem Netzfilter verwendet. Der Umrichter arbeitet netzfolgend mit einer Schaltfrequenz $f_{s,DUT}$ von 10 kHz. Der Stromregler des DUTs wird nach dem Betragsoptimum ausgelegt, was unter Berücksichtigung der Systemeigenschaften des DUTs zu einer Bandbreite des geschlossenen Stromregelkreises von circa 1 kHz führt [S3]. Da die Grenzfrequenz des PHIL-Umrichters mit circa 398 kHz deutlich über der Grenzfrequenz des Stromregelkreises liegt, kann der Einfluss der Stromregelung des DUTs bei diesen hohen Frequenzen vernachlässigt werden. Daher wird für die Stabilitätsanalyse des PHIL-Prüfstands angenommen, dass die Übertragungsfunktion des DUT-Umrichters durch die Eingangsimpedanz Z_{DUT} seines Netzfilters beschrieben wird. Es gilt somit:

$$G_{DUT}(s) = \frac{1}{Z_{DUT}(s)} \quad (4.4)$$

Beim entwickelten DUT kann zwischen einem L- und einem LCL-Netzfilter umgeschaltet werden. Dessen Daten sind in Tabelle 3.3 aufgeführt. Für die entsprechende Impedanzen gelten folgende Zusammenhänge:

$$Z_{\text{DUT,L}}(s) = s \cdot L_C + R_C \quad (4.5)$$

$$Z_{\text{DUT,LCL}}(s) = s \cdot L_g + R_g + \frac{(1+s \cdot C_F \cdot R_D) \cdot (R_C + s \cdot L_C)}{s^2 \cdot C_F \cdot L_C + s \cdot C_F \cdot (R_D + R_C) + 1} \quad (4.6)$$

Die letzte Übertragungsfunktion innerhalb der closed-loop-Emulation ist die des verwendeten Modells. Für die Netzemulation wird dabei ein passives Netzmodell verwendet, weshalb für die Übertragungsfunktion des Netzmodells G_M gilt:

$$G_M(s) = Z_{\text{gr}}(s) \quad (4.7)$$

Somit sind sämtliche Übertragungsfunktionen abgesehen von denen, die vom IA abhängen, beschrieben. Der Einfluss auf die Übertragungsfunktionen durch den IA wird nachfolgend betrachtet. Um die Übersichtlichkeit zu erhöhen, wird in den folgenden Formeln auf die Darstellung der Abhängigkeit der Übertragungsfunktionen und Impedanzen von s verzichtet.

4.2 Schnittstellenalgorithmus

Es gibt verschiedene Schnittstellenalgorithmen (IAs), die entweder als spannungsbasierte oder als strombasierte Variante ausgeführt werden können [13, 100, 101]. Der am häufigsten verwendete IA ist der Ideal Transformer Method (ITM) Algorithmus [100]. In Abbildung 4.3 a) und b) sind die einphasigen Blockschaltbilder des PHIL-Prüfstands mit der spannungsbasierten und der strombasierten Variante des ITM-Algorithmus dargestellt. Die durch * gekennzeichneten Strom- und Spannungswerte entsprechen den digitalen Nachbildungen der physikalisch vorhandenen Strom- und Spannungswerte. G_{Su} und G_{Si} sind die Übertragungsfunktionen der Spannungs- bzw. Strommessung. u_{ONT} ist die Netzspannung am ONT und u_{NAP} ist die emulierte Netzspannung unter Berücksichtigung des an der Netzimpedanz Z_{gr} vorhandenen Spannungsabfalls.

Bei der strombasierten Variante wird die Spannung des DUT-Umrichters erfasst und mit Hilfe eines Modells der zu stellende Strom des PHIL-Systems ermittelt. Diese Variante findet Einsatz bei der Emulation von elektrischen Maschinen, wobei in diesem Fall der DUT-Umrichter ein Antriebswechselrichter ist. Des Weiteren wird diese Variante bei der Analyse von spannungsbildenden Netztumrichtern verwendet.

Demgegenüber wird bei der spannungsbasierenden Variante der Strom des DUT-Umrichters erfasst und die einzustellende Ausgangsspannung des PHIL-Systems mit Hilfe eines Modells berechnet. Diese Variante wird bei der Emulation von elektrischen Netzen verwendet. Der DUT ist in diesem Fall ein netzfolgender, d.h. stromgeregelter Netztumrichter, dessen Verhalten in verschiedenen Netzsituationen analysiert werden soll. Hierzu wird die Charakteristik des Netzanschlusspunktes (NAP) mit Hilfe des PHIL-Systems emuliert. Nachfolgend wird der Betrieb des PHIL-Systems als Netzemulator untersucht, weshalb für die weitere Analyse nur die spannungsbasierte Variante der IAs betrachtet wird.

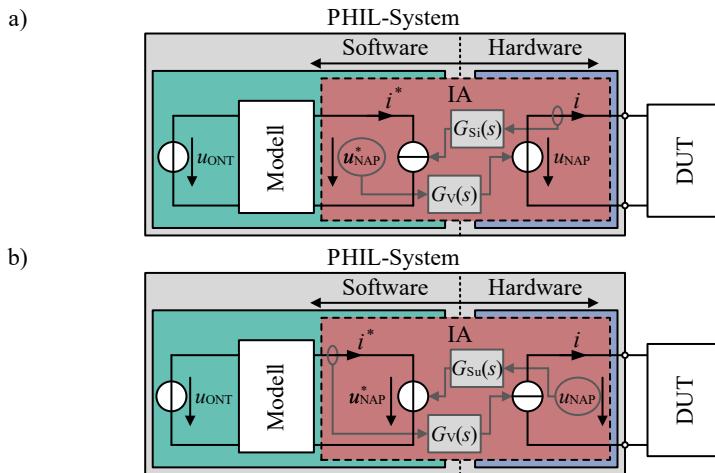


Abbildung 4.3: Blockschaltbild des ITM-Schnittstellenalgorithmus
a) spannungsbasierte und b) strombasierte Variante

Neben dem ITM-Algorithmus werden in der Literatur weitere IAs vorgestellt. Dabei sind die geläufigsten IAs: der Partial Circuit Duplication (PCD) Algorithmus, der First-Order Approximation (TFA) Algorithmus, der Transmission Line Model (TLM) Algorithmus, der Feedback Signal Filtering (FSF) Algorithmus und der Damping Impedance Method (DIM) Algorithmus [99, 100, 102].

Neben diesen in der Literatur beschriebenen Algorithmen wird nachfolgend der entwickelte Damped Ideal Transformer Method (DITM) Algorithmus näher analysiert. Die Vor- sowie Nachteile der verschiedenen Algorithmen für den Einsatz in einem hochdynamischen PHIL-System werden dargelegt.

4.2.1 ITM-Algorithmus

Ein Vorteil des ITM-Algorithmus besteht in dessen einfacher Implementierung, da der IA nur aus der Messstrecke und dem PHIL-Umrichter besteht, wie in Abbildung 4.3 b) zu erkennen ist [100]. Es erfolgt weder eine Vorverarbeitung der Messwerte, die vom Modell benötigt werden, noch eine Nachverarbeitung der Sollwerte, die vom Modell ausgegeben werden. Die Übertragungsfunktionen G_{VV} und G_{NV} weisen somit eine konstante Verstärkung von 1 auf. In Abbildung 4.4 ist das entsprechende regelungstechnische Signalfussdiagramm des PHIL-Prüfstands unter Verwendung des ITM-Algorithmus dargestellt.

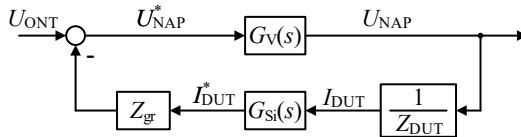


Abbildung 4.4: Regelungstechnisches Signalfussdiagramm des ITM-Algorithmus

Die korrespondierende offene und geschlossene Übertragungsfunktion des PHIL-Prüfstands lauten:

$$G_{O,ITM}(s) = \frac{G_V \cdot G_{Si} \cdot Z_{gr}}{Z_{DUT}} \quad (4.8)$$

$$G_{G,ITM}(s) = \frac{G_V \cdot Z_{DUT}}{Z_{DUT} + G_V \cdot G_{Si} \cdot Z_{gr}} \quad (4.9)$$

Der ITM-Algorithmus zeichnet sich zusätzlich durch eine hohe Genauigkeit des zu emulierenden Verhaltens aus [103]. Es muss jedoch berücksichtigt werden, dass der ITM-Algorithmus die kleinste Stabilitätsmarge aller IAs besitzt und deshalb Stabilitätsprobleme abhängig vom Verhältnis der Übertragungsfunktion des DUT-Umrichters und von der Übertragungsfunktion des zu emulierenden Modells auftreten können [99: S. 34f, 104, 105].

4.2.2 PCD-Algorithmus

Mit dem PCD-Algorithmus werden große, komplexe Systeme in mehrere Teilsysteme untergliedert [106, 107]. Die entstehenden Teilsysteme können anschließend parallel berechnet werden. Um eine Entkopplung der Teilsysteme zu erreichen, wird eine Koppelimpedanz Z_{D1} zwischen den Teilsystemen eingefügt und in beiden Teilsystemen berücksichtigt.

In [106] wird gezeigt, dass der Rechenfehler, der durch das Hinzufügen der Koppelimpedanz Z_{D1} entsteht, nach mehreren Iterationen abklingt und das Rechenergebnis somit gegen das ursprüngliche Ergebnis ohne eingefügte Koppelimpedanz Z_{D1} konvergiert.

In [108] wird das Verfahren für den Einsatz in einem PHIL-Prüfstand getestet. Dabei entsprechen die zwei Teilsysteme zum einen dem softwareseitigen Modell und zum anderen dem hardwareseitigen Teil des PHIL-Prüfstands. Da die Koppelimpedanz Z_{D1} entsprechend dem Algorithmus in beiden Teilsystemen berücksichtigt wird, muss sie sowohl hardwareseitig als auch softwareseitig eingefügt werden. In Abbildung 4.5 und Abbildung 4.6 sind das Blockschaltbild für einen PHIL-Prüfstand mit PCD-Algorithmus und das dazugehörige regelungstechnische Signalflussdiagramm dargestellt. Im Unterschied zum ITM-Algorithmus wird beim PCD-Algorithmus nicht der Strom, sondern die durch die Koppelimpedanz Z_{D1} entkoppelte DUT-Spannung u_{DUT} gemessen. Z_{D1}^* ist die softwareseitige Nachbildung der Koppelimpedanz Z_{D1} . Durch das Einfügen der Koppelimpedanz wird der PHIL-Prüfstand gegenüber dem ITM-Algorithmus in den meisten Fällen stabilisiert [100, 109: S. 17f]. Es muss jedoch berücksichtigt werden, dass bei einem PHIL-Prüfstand pro Zeitschritt immer nur ein Messergebnis und ein Ausgabewert erzeugt werden kann und folglich eine iterative Berechnung entgegen dem eigentlichen Algorithmus aus [106, 107] nicht möglich ist. Dies hat zur Folge, dass die Ergebnisse des PHIL-Prüfstands durch das Einfügen einer Koppelimpedanz Z_{D1} verfälscht werden und die Genauigkeit reduziert wird [99: S. 63, 102]. Dieser inhärente Fehler des PCD-Algorithmus kann kompensiert werden, falls als Koppelimpedanz eine schon im System existierende Impedanz zwischen dem zu emulierenden Modell und dem DUT-Umrichter genutzt werden kann [100]. In diesem Fall stellt der PCD-Algorithmus eine mögliche Alternative zum ITM-Algorithmus dar, falls der ITM-Algorithmus keine stabile Emulation ermöglicht.

Für die Analyse des PCD-Algorithmus werden die offene und die geschlossene Übertragungsfunktion benötigt. Diese lauten wie folgt:

$$G_{O,PCD}(s) = -G_V \cdot G_{Su} \cdot \frac{Z_{gr} \cdot Z_{DUT}}{(Z_{gr} + Z_{D1}) \cdot (Z_{DUT} + Z_{D1})} \quad (4.10)$$

$$G_{G,PCD}(s) = \frac{Z_{D1} \cdot Z_{DUT} \cdot G_V}{(Z_{gr} + Z_{D1}) \cdot (Z_{DUT} + Z_{D1}) - G_V \cdot G_{Su} \cdot Z_{DUT} \cdot Z_{gr}} \quad (4.11)$$

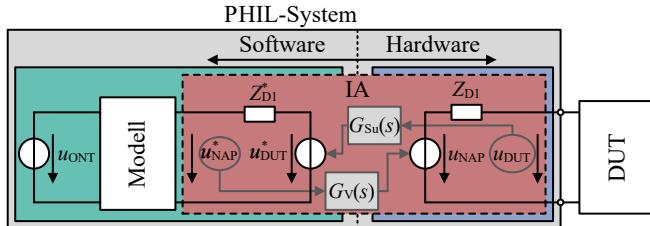


Abbildung 4.5: Blockschaltbild des PHIL-Prüfstand mit spannungsbasierendem PCD-Schnittstellenalgorithmus

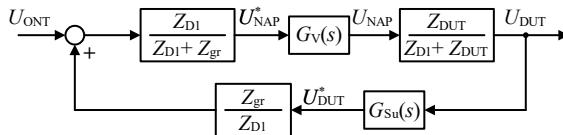


Abbildung 4.6: Regelungstechnisches Signalflossdiagramm des PHIL-Prüfstands unter Verwendung des PCD-Algorithmus

4.2.3 TLM-Algorithmus

Der TLM-Algorithmus zielt, ähnlich wie der PCD-Algorithmus, darauf ab große Systeme in entkoppelte Teilsysteme aufzuteilen und deren parallele Berechnung zu ermöglichen [110]. In [108] wird dieser Ansatz als IA verwendet, um eine Trennung zwischen dem softwareseitigen Netzmodell und dem DUT-Umrichter zu erreichen. Die Voraussetzung bei diesem Ansatz ist, dass zwischen dem zu emulierenden Modell und dem DUT-Umrichter eine Reaktanz in Form einer Koppelinduktivität L_K oder einer Koppelkapazität C_K existiert. Diese wird mit Hilfe des Bergeron-Verfahrens für die Beschreibung elektrisch langer Leitungen sowie des Thévenin-Theorems in zwei Spannungsquellen mit Innenwiderstand überführt, wie in Abbildung 4.7 dargestellt ist [99: S. 59ff, 109: S. 13ff, 110]. Für den Innenwiderstand R_K , der sowohl softwareseitig als auch hardwareseitig implementiert werden muss, gilt folgender Zusammenhang [104, 109: S. 13]:

$$R_K = \frac{L_K}{\tau_L} = \frac{L_K}{n \cdot t_{LD}} \quad (n \in \mathbb{N}) \quad (4.12)$$

τ_L entspricht der Signallaufzeit der virtuellen, elektrisch langen Leitung. Die Signallaufzeit muss einem Vielfachen der Totzeit des gesamten PHIL-Systems

$t_{L,D}$, bestehend aus der Totzeit des PHIL-Umrichters $t_{t,V}$, der Modellberechnung $t_{t,M}$ und der Messwerterfassung $t_{t,AC}$, entsprechen. Die softwareseitige Nachbildung der DUT-Spannung u_{DUT}^* und die vom PHIL-System zu stellende Spannung u_{NAP} können wie folgt berechnet werden [111]:

$$u_{DUT}^*(k) = u_{NAP}(k-1) - R_K \cdot i_{gr}(k-1) \quad (4.13)$$

$$u_{NAP}(k) = u_{DUT}^*(k-1) + R_K^* \cdot i_{gr}^*(k-1) \quad (4.14)$$

dabei ist k der Laufparameter mit einer Schrittweite, die der Totzeit des PHIL-Systems $t_{L,D}$ entspricht. Die Berechnung der Spannungen, die für die Kopplung des Modells mit dem Hardwareteil benötigt werden, erfolgt somit mit Hilfe der Spannungs- und Stromwerte des vorherigen Zeitschritts.

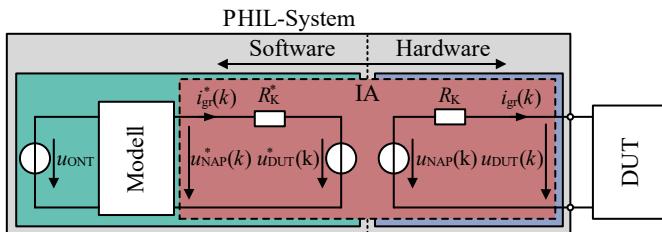


Abbildung 4.7: Blockschaltbild des PHIL-Prüfstands mit spannungsbasierendem TLM-Schnittstellenalgorithmus

Der Vorteil des TLM-Verfahrens gegenüber dem ITM-Verfahren ist dessen hohe Stabilität [109: S. 16]. Das TLM-Verfahren hat jedoch den Nachteil, dass das PHIL-System abhängig vom gewünschten Wert der Koppelinduktivität L_K ebenfalls hardwaretechnisch angepasst werden muss und somit dessen Vorteil, variable Testszenarien zu ermöglichen, verloren geht. Des Weiteren wird die Koppelinduktivität L_K mit Hilfe eines ohmschen Widerstands R_K nachgebildet, was bei PHIL-Systemen mit hoher Leistung zu großen Verlusten in diesem Widerstand führt [99: S. 35]. Auf Grund dieser Nachteile wird der TLM-Algorithmus nicht weiter betrachtet.

4.2.4 TFA-Algorithmus

Das Ziel des TFA-Algorithmus besteht darin, die Latenz sowie die Verzerrung der Messwerterfassung zu kompensieren [112]. Beim TFA-Algorithmus wird angenommen, dass sich das Verhalten des DUT-Umrichters durch ein PT1-

Glied beschreiben lässt. Hierbei wird in [112] zwischen ohmsch-induktiven und ohmsch-kapazitiven Verhalten unterschieden. In Abbildung 4.8 ist das Blockschaltbild des PHIL-Prüfstands unter Verwendung des TFA-Algorithmus für ein ohmsch-induktives Verhalten dargestellt.

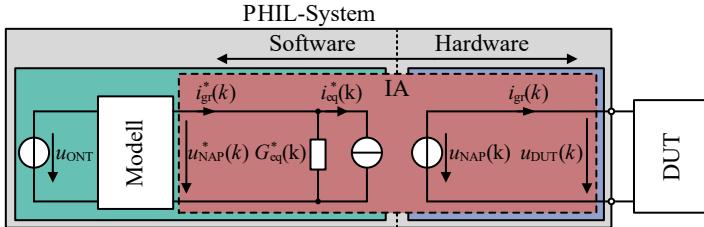


Abbildung 4.8: Blockschaltbild des PHIL-Prüfstands mit spannungsbasierendem TFA-Schnittstellenalgorithmus

Zur Herleitung der Admittanz G_{eq}^* und des Stroms i_{eq}^* wird das angenommene PT1-Verhalten des DUT-Umrichters nach Gleichung (4.15) mit Hilfe der bilinearen Transformation in die Gleichung (4.16) überführt.

$$\frac{di_{\text{gr}}(t)}{dt} = a \cdot i_{\text{gr}}(t) + b \cdot u_{\text{NAP}}(t) \quad (4.15)$$

$$i_{\text{gr}}(k) = i_{\text{gr}}(k-1) + \frac{a \cdot i_{\text{gr}}(k) + b \cdot u_{\text{NAP}}(k) + a \cdot i_{\text{gr}}(k-1) + b \cdot u_{\text{NAP}}(k-1)}{2} \cdot T_S \quad (4.16)$$

Anschließend wird angenommen, dass sich die emulierte Netzspannung aufgrund der kleinen Abtastperiode T_S nur minimal pro Abtastzeitschritt ändert. Dadurch gilt, dass $u_{\text{NAP}}(k) \approx u_{\text{NAP}}(k-1)$ ist. Des Weiteren wird angenommen, dass der PHIL-Umrichter die gewünschte Spannung nach einem Simulationsschritt zur Verfügung stellt, sodass gilt: $u_{\text{NAP}}^*(k) = u_{\text{NAP}}(k-1)$ [99: S. 56ff, 109: S. 10f, 113]. Unter Berücksichtigung dieser beiden Annahmen lassen sich aus Gleichung (4.16) folgende Zusammenhänge herleiten.

$$i_{\text{gr}}^*(k) = i_{\text{gr}}(k) = G_{\text{eq}} \cdot u_{\text{NAP}}(k-1) + i_{\text{eq}}(k) \quad (4.17)$$

$$G_{\text{eq}} = \frac{b \cdot T_S}{1 - \frac{a \cdot T_S}{2}} \quad (4.18)$$

$$i_{\text{eq}}(k) = \underbrace{\frac{1 + \frac{a \cdot T_S}{2}}{1 - \frac{a \cdot T_S}{2}}}_{\beta} \cdot i_{\text{gr}}(k-1) \quad (4.19)$$

Da die beiden Parameter a und b des PT1-Glieds nicht bekannt sind und sich im Betrieb in Abhängigkeit des DUT-Umrichters ändern können, werden die beiden Parameter G_{eq}^* und β mit Hilfe vorheriger Messwerte bzw. Sollwerte nach Gleichung (4.20) ermittelt [104].

$$\begin{bmatrix} G_{\text{eq}} \\ \beta \end{bmatrix} = \begin{bmatrix} u_{\text{NAP}}^*(k-2) & i_{\text{gr}}(k-2) \\ u_{\text{NAP}}^*(k-3) & i_{\text{gr}}(k-3) \end{bmatrix}^{-1} \cdot \begin{bmatrix} i_{\text{gr}}(k-1) \\ i_{\text{gr}}(k-2) \end{bmatrix} \quad (4.20)$$

Der Vorteil des TFA-Algorithmus besteht darin, dass die Latenz der Messwert erfassung aufgrund der Möglichkeit, den momentanen Netzstrom $i_{\text{gr}}(k)$ aus den vorherigen Werten zu berechnen, kompensiert werden kann. Voraussetzung hierfür ist, dass das PT1-Verhalten das DUT-Verhalten für die entsprechende Latenz hinreichend exakt beschreibt [99: S. 57].

Diese Prädiktion ist jedoch gleichzeitig ein Nachteil dieses Verfahrens. Für den Fall, dass der DUT-Umrichter kein PT1-Verhalten besitzt, nehmen der Fehler der Prädiktion mit zunehmender Frequenz zu und die Stabilität des PHIL-Prüfstands ab [102]. Ein weiteres Problem beinhaltet die Berechnung der beiden Parameter G_{eq}^* und β . Im stationären Zustand ist die Änderung der Netzzspannung und des Netzstroms aufgrund der hohen Abtastrate gering. Dies führt dazu, dass $u_{\text{NAP}}^*(k-2) \cong u_{\text{NAP}}^*(k-3)$ und $i_{\text{gr}}(k-2) \cong i_{\text{gr}}(k-3)$ ist und somit die Berechnung der Inversen in Gleichung (4.20) zu numerischen Problemen führt [114: S. 137]. Die Berechnung der Inversen führt ebenfalls dazu, dass der TFA-Algorithmus anfällig gegenüber Messwertrauschen ist [99: S. 58, 104].

Zudem sind neben diesen inhärenten Nachteilen des Algorithmus die getroffene Annahme für die vorliegende Anwendung, dass $u_{\text{NAP}}(k) \approx u_{\text{NAP}}(k-1)$ ist, bei der Emulation eines Netzfehlers nicht zwingend erfüllt. Aufgrund der aufgelisteten Probleme des TFA-Algorithmus wird von einer weiteren Analyse und Anwendung des TFA-Algorithmus abgesehen.

4.2.5 DIM-Algorithmus

In Abbildung 4.9 ist das Blockschaltbild des PHIL-Prüfstands unter Verwendung des DIM-Algorithmus dargestellt. Der DIM-Algorithmus ist eine Kombination des ITM-Algorithmus und des PCD-Algorithmus [100, 104, 111]. So weist der DIM-Algorithmus für den Fall, dass die zusätzliche Dämpfungsimpedanz Z_{D2}^* kurzgeschlossen ist ($Z_{D2}^* = 0$), das gleiche Verhalten wie der PCD-Algorithmus auf [114: S. 139].

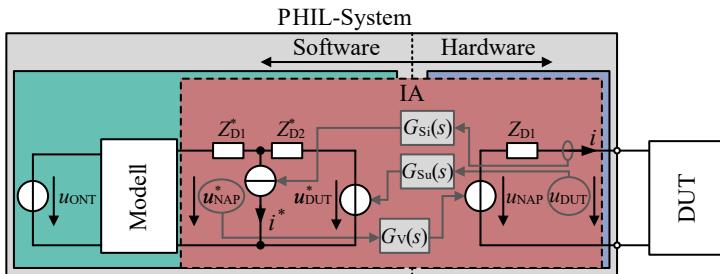


Abbildung 4.9: Blockschaltbild der PHIL-Prüfstands mit dem spannungsbasierenden DIM-Algorithmus

Gegenüber dem PCD-Algorithmus hat der DIM-Algorithmus den Vorteil, dass die Dämpfungsimpedanz Z_{D1} nicht notwendig ist und somit die oben erwähnten Nachteile des PCD-Algorithmus vermieden werden können [100]. Die Herausforderung des DIM-Algorithmus ist die Dimensionierung der virtuellen Dämpfungsimpedanz Z_{D2}^* [102]. Diese sollte idealerweise identisch mit der Ausgangsimpedanz des DUT-Umrichters Z_{DUT} sein, damit der PHIL-Prüfstand unabhängig von der emulierten Netzimpedanz Z_{gr} immer stabil betrieben werden kann [109: S. 19]. Für den Fall, dass dies nicht erfüllt ist, reduzieren sich die Stabilität und die Genauigkeit des PHIL-Prüfstands, wobei selbst bei einer Abweichung die Stabilität des DIM-Algorithmus höher ist als die des ITM-Algorithmus [103, 104]. Falls die Charakteristik des DUT-Umrichters bekannt ist, zeichnet sich der DIM-Algorithmus folglich durch eine hohe Stabilität und Genauigkeit aus. Deshalb wird der DIM-Algorithmus nachfolgend für die vorhandene Anwendung weiter analysiert. Für die weitere Analyse werden die offene und die geschlossene Übertragungsfunktion benötigt, die mit Hilfe des in Abbildung 4.10 dargestellten Regelungstechnischen Signalflussdiagramms ermittelt werden.

$$G_{0,\text{DIM}}(s) = \frac{Z_{\text{gr}}(s) \cdot G_V(G_{\text{Si}} \cdot Z_{\text{D2}}^* - G_{\text{Su}} \cdot Z_{\text{DUT}})}{(Z_{\text{DUT}} + Z_{\text{D1}}) \cdot (Z_{\text{gr}} + Z_{\text{D1}} + Z_{\text{D2}}^*)} \quad (4.21)$$

$$G_{\text{G,DIM}}(s) = \frac{G_V \cdot Z_{\text{DUT}} \cdot (Z_{\text{D1}} + Z_{\text{D2}}^*)}{(Z_{\text{DUT}} + Z_{\text{D1}}) \cdot (Z_{\text{gr}} + Z_{\text{D1}} + Z_{\text{D2}}^*) + G_V \cdot Z_{\text{gr}} \cdot (G_{\text{Si}} \cdot Z_{\text{D2}}^* - G_{\text{Su}} \cdot Z_{\text{DUT}})} \quad (4.22)$$

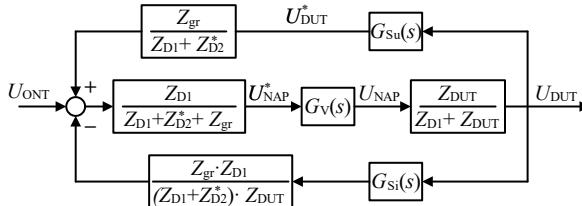


Abbildung 4.10: Regelungstechnisches Signalflussdiagramm des PHIL-Prüfstands mit DIM-Algorithmus

4.2.6 FSF-Algorithmus und DITM-Algorithmus

Die Wirkungsweise des FSF-Algorithmus und des DITM-Algorithmus ist identisch. Bei beiden wird eine Erhöhung der Stabilität durch eine zusätzliche Filterung erreicht. Beim FSF-Algorithmus werden zusätzliche digitale Filter in die Pfade der Messwerterfassung eingebracht und dadurch die Bandbreite der vom Modell verarbeiteten Messwerte reduziert. Im Gegensatz dazu wird beim DITM-Algorithmus das zu emulierende Modell geringfügig angepasst, um die Filterung/Bandbreitenbegrenzung direkt im Modell umzusetzen. Durch die Filterung kann der Hauptnachteil des ITM-Algorithmus, die geringe Stabilitätsmarge, zu Lasten der erreichbaren Dynamik und Genauigkeit reduziert werden [103, 115, 116]. Beim Design der Filter muss daher immer ein Kompromiss zwischen Stabilitätsmarge und Dynamik gefunden werden. Der Vorteil dieses Verfahrens gegenüber dem DIM-Algorithmus besteht darin, dass lediglich eine obere Grenze der Ausgangsimpedanz des DUT-Umrichters für die Berechnung der Filter betrachtet werden muss. Für alle Werte unterhalb dieser Grenze wird ein stabiler Betrieb des PHIL-Prüfstands ermöglicht [103]. Daher sind der DITM- und FSF-Algorithmus auch bei einer geringen Kenntnis über das Verhalten des DUT-Umrichters einsetzbar. Aus diesem Grund erfolgt ebenfalls eine nähere Betrachtung der beiden Algorithmen für die vorhandene Anwendung.

Das Blockschaltbild und das regelungstechnische Signalflussdiagramm für den FSF-Algorithmus sind in Abbildung 4.11 und Abbildung 4.12 dargestellt.

Das Blockschaltbild und das regelungstechnische Signalflussdiagramm des DITM-Algorithmus entsprechen denen des ITM-Algorithmus. Lediglich die zu emulierende Netzimpedanz Z_{gr} wird durch die bedämpfte Netzimpedanz $Z_{gr,d}$ ersetzt.

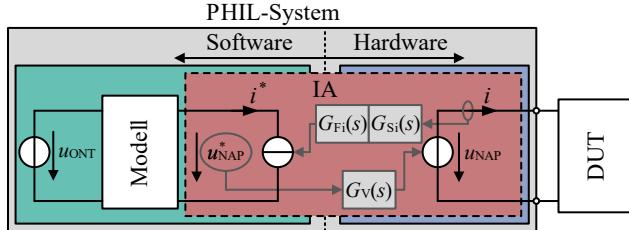


Abbildung 4.11: Blockschaltbild des PHIL-Prüfstands mit dem spannungsbasierten dem FSF-Algorithmus

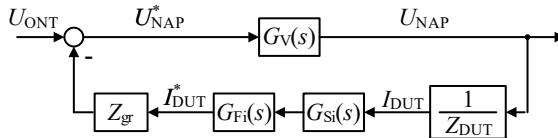


Abbildung 4.12: Regelungstechnisches Signalflussdiagramm des PHIL-Prüfstands unter Verwendung des FSF-Algorithmus

G_{Fi} ist die Filterübertragungsfunktion des FSF-Algorithmus für den Stromerfassungspfad und entspricht somit der Übertragungsfunktion der Vorverarbeitung G_{VY} . Die offenen und geschlossenen Übertragungsfunktionen der beiden Algorithmen lauten wie folgt:

$$G_{O,FSF}(s) = \frac{G_V \cdot G_{FI} \cdot G_{Si} \cdot Z_{gr}}{Z_{DUT}} \quad (4.23)$$

$$G_{O,DITM}(s) = \frac{G_V \cdot G_{Si} \cdot Z_{gr,d}}{Z_{DUT}} \quad (4.24)$$

$$G_{G,FSF}(s) = \frac{G_V \cdot Z_{DUT}}{Z_{DUT} + G_V \cdot G_{FI} \cdot G_{Si} \cdot Z_{gr}} \quad (4.25)$$

$$G_{G,DITM}(s) = \frac{G_V \cdot Z_{DUT}}{Z_{DUT} + G_V \cdot G_{Si} \cdot Z_{gr,d}} \quad (4.26)$$

4.3 Bewertungskriterien für die verschiedenen Schnittstellenalgorithmen

Für die Beurteilung der Stabilität der closed-loop-Emulation, abhängig vom verwendeten IA, wird die jeweilige offene Übertragungsfunktion des PHIL-Prüfstands $G_{O,IA}$ betrachtet. Dabei wird das Nyquistkriterium überprüft und sowohl Amplituden- als auch Phasenrand in Abhängigkeit des IAs werden verglichen. Die verschiedenen IAs sind so ausgelegt, dass sie mindestens einen Amplitudenrand von 12 dB aufweisen, um ein stabiles Verhalten zu gewährleisten [117: S. 156]. Falls der PHIL-Prüfstand mit einem gewählten IA einen geringeren Amplitudenrand aufweist, wird der IA für die jeweilige Emulation als nicht geeignet erachtet.

Um die Genauigkeit und die Dynamik der Emulation zu bewerten, muss zunächst die ideale geschlossene Übertragungsfunktion $G_{G,ideal}$ der zu emulierenden Situation ermittelt werden. Die Übertragungsfunktion $G_{G,ideal}$ beschreibt das Verhältnis von U_{DUT}/U_{ONT} . Für die zuvor betrachtete Netzemulation kann die ideale geschlossene Übertragungsfunktion aus den Gleichungen (4.4) und (4.7) ermittelt werden.

$$G_{G,ideal} = \frac{U_{DUT}}{U_{ONT}} = \frac{z_{DUT}}{z_{DUT} + z_{gr}} \quad (4.27)$$

Anschließend kann der relative Fehler der closed-loop-Emulation ε_{IA} unter Verwendung der verschiedenen IAs mit Hilfe der geschlossenen Übertragungsfunktion $G_{G,IA}$ und der idealen geschlossenen Übertragungsfunktion $G_{G,ideal}$ nach Gleichung (4.28) ermittelt werden [E14].

$$\varepsilon_{IA} = \frac{G_{G,IA} - G_{G,ideal}}{G_{G,ideal}} \quad (4.28)$$

Mit Hilfe des berechneten Fehlers ε_{IA} und der offenen Übertragungsfunktion $G_{O,IA}$ kann somit die Güte der Emulation beurteilt werden. Dabei werden von den sieben geläufigsten und in den Kapiteln 4.2.1 bis 4.2.6 analysierten Schnittstellenalgorithmen nur die fünf für die vorhandene Anwendung sinnvoll nutzbaren IAs betrachtet. Diese sind der ITM-, DITM-, FSF-, PCD- und DIM-Algorithmus.

Der TFA- und TLM-Algorithmus haben mehrere Nachteile für die vorhandene Anwendung. Diese bestehen darin, dass eine Koppelimpedanz benötigt wird, sie anfällig auf Messrauschen reagieren, einen Widerstand im Leistungspfad notwendig ist oder die Genauigkeit der Emulation reduziert wird. Entsprechend erfolgt keine weitere Betrachtung dieser beiden Algorithmen.

Die Beurteilung und Gegenüberstellung der verbleibenden fünf IAs erfolgt in Kapitel 6.1 anhand des umgesetzten Netzmodells.

5

Harmonische Impedanz und impedanzbasierte Stabilitätsanalyse

Neben der Emulation von verschiedenen Netzsituationen ist die zweite Hauptanwendung des entwickelten PHIL-Systems die Vermessung des frequenzabhängigen Verhaltens eines Prüflings – die sogenannte harmonische Impedanz. Dabei kann der Prüfling ein Umrichter oder ein passives, elektrisches Betriebsmittel sein, wie z.B. ein Transformator, ein Netzfilter oder auch eine elektrische Maschine. Mit Hilfe der harmonischen Impedanz des Prüflings sowie der harmonischen Impedanz des vorliegenden Netzanschlusspunkts (NAP) kann eine Stabilitätsanalyse durchgeführt werden. Als Stabilitätskriterium wird dabei das Nyquistkriterium verwendet [118]. Der große Vorteil der impedanzbasierten Stabilitätsanalyse besteht darin, dass keine Vorkenntnisse über das vorliegende System erforderlich sind. Diese Tatsache erleichtert die Stabilitätsanalyse von Netzen erheblich, vor allem wenn sie von Stromrichtern dominiert werden. Darüber hinaus bietet die Impedanzmodellierung eines Umrichters Einblicke in die Stabilitätsauswirkungen von Reglerparametern, wodurch eine designorientierte Analyse ermöglicht wird [8: S. 46ff].

Neben dieser impedanzbasierten Stabilitätsuntersuchung werden in der Literatur auch weitere Verfahren vorgestellt, wie z.B. eine Betrachtung im Zustandsraum [119, 120] oder im Frequenzbereich unter Verwendung von Übertragungsfunktionen [121–123]. Diese Verfahren haben jedoch gegenüber dem

impedanzbasierten Verfahren den Nachteil, dass sämtliche Parameter der installierten Umrichtersysteme eines Netzes bekannt sein müssen. Darunter zählen beispielsweise die Parameter des verwendeten Netzfilters aber auch innere Systemgrößen wie die Reglerstruktur, die Reglerparameter sowie vorhandene Totzeiten. In einem heterogenen Netz mit Umrichtern verschiedener Hersteller sind all die Parameter häufig nicht bekannt, weshalb in diesem Fall nur der impedanzbasierte Ansatz verwendet werden kann.

Aus diesem Grund werden nachfolgend die Grundlagen der impedanzbasierten Stabilitätsuntersuchung erläutert. Daran anschließend erfolgt die Beschreibung der umgesetzten Messmethode zur Ermittlung der harmonischen Impedanz eines Prüflings. Im vorliegenden Fall ist der Prüfling der im Kapitel 3.5 vorgestellte Umrichter mit LCL-Filter. Um die Genauigkeit der Vermessung zu überprüfen, wird das Modell des verwendeten DUT-Umrichters hergeleitet und verwendet, um den theoretischen Verlauf der Umrichterimpedanz zu bestimmen.

5.1 Grundlagen der impedanzbasierten Stabilitätsuntersuchung

Die impedanzbasierte Stabilitätsuntersuchung ist zum ersten Mal in [118] verwendet worden, um das EingangsfILTER eines DC/DC-Wandlers auszulegen. Darauf aufbauend ist das Verfahren verallgemeinert und auch für AC-Systeme mehrfach angewendet worden [62, 124, 125]. Die Grundidee des Verfahrens ist, das zu untersuchende System in ein Last- und ein Quellsystem zu unterteilen. Für den vorliegenden Fall, bei dem ein 2L-VSC mit LCL-Filter untersucht werden soll, stellt dieser das Lastsystem dar. Das Quellsystem ist dabei das restliche Netz – repräsentiert durch das Klemmenverhalten des NAPs. Anschließend wird angenommen, dass beide Systeme – Last- und Quellsystem – durch eine frequenzabhängige Thévenin- bzw. Norton-Ersatzschaltung dargestellt werden können (siehe Abbildung 5.1).



Abbildung 5.1: a) frequenzabhängige Thévenin-Ersatzschaltung; b) frequenzabhängige Norton-Ersatzschaltung

Dabei wird für jede Frequenz $f_k \in [f_1, \dots, f_N]$ mit $k \in [1, \dots, N]$ eine Spannungsquelle $U_{\text{Thév},k}$ bzw. Stromquelle $I_{\text{Norton},k}$ und eine Impedanz $Z_{a,k}$ ermittelt. Bei passiven Prüflingen, bei denen weder eine Spannungsquelle noch eine Stromquelle existiert, wird das Verhalten ausschließlich durch die Impedanz $Z_{a,k}$ beschrieben. Diese frequenzabhängige Impedanz wird auch als harmonische Impedanz bezeichnet.

Für den betrachteten Fall eines 2L-VSC, der an ein 400 V AC-Netz angeschlossen ist, wird davon ausgegangen, dass der Umrichter und der NAP des Netzes durch eine Thévenin-Ersatzschaltung dargestellt werden können. Dadurch entstehen das in Abbildung 5.2 dargestellte einphasige Ersatzschaltbild und das dazugehörige Signalflussdiagramm nach Abbildung 5.3.

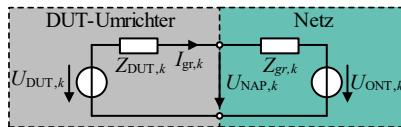


Abbildung 5.2: Einphasiges Ersatzschaltbild des Gesamtsystems bestehend aus Lastsystem (DUT-Umrichter) und Quellsystem (Netz)

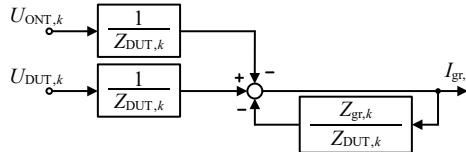


Abbildung 5.3: Signalflussdiagramm des betrachteten Gesamtsystems

Um die Stabilität des Gesamtsystems zu beurteilen, muss der sich einstellende Strom $I_{gr,k}$ zwischen den beiden Teilsystemen betrachtet werden [126].

$$I_{gr,k} = \frac{U_{DUT,k} - U_{ONT,k}}{Z_{DUT,k}} \cdot \frac{1}{1 + Z_{gr,k}/Z_{DUT,k}} \quad (5.1)$$

Unter der Annahme, dass die beiden Teilsysteme separat betrachtet stabil sind und die Impedanz des DUTs $Z_{DUT,k}$ größer Null ist, kann die Stabilität des Gesamtsystems mit Hilfe des Nyquistkriteriums für den vorhandenen Rückkopplpfad beurteilt werden [8: S. 49]. Somit ist für die Stabilität des Gesamtsystems das Verhältnis der beiden Impedanzen $Z_{gr,k}$ und $Z_{DUT,k}$ entscheidend. Dabei wirkt ein höherer Wert von $Z_{DUT,k}$ stabilisierend. Um die Stabilität genau beurteilen zu können, müssen beide Impedanzen möglichst exakt ermittelt werden. Hierzu wird das entwickelte Messverfahren zur Vermessung des frequenzabhängigen Verhaltens im nachfolgenden Kapitel beschrieben.

5.2 Messverfahren zur Ermittlung des frequenzabhängigen Verhaltens

Zur Vermessung der frequenzabhängigen Parameter der Thévenin- bzw. Norton-Ersatzschaltung gibt es verschiedene Verfahren, die sich durch das verwendete Testsignal unterscheiden. In [127, 128] werden beispielsweise impulsförmige Testsignale zur Vermessung verwendet. Dadurch wird mit nur einer Messung ein großer Frequenzbereich analysiert. Jedoch kann das impulsförmige Testsignal Schwingungen anregen bzw. dazu führen, dass der Prüfling seinen stationären Arbeitspunkt verlässt und somit das Messergebnis verfälscht [129].

Neben Impulssignalen können auch die sogenannte *Pseudorandom Binary Sequence* (PRBS) bzw. *Maximum Length Binary Sequence* (MLBS) als Testsignal verwendet werden [130, 131]. Das Testsignal stellt dabei eine pseudozufällige, binäre Zahlenfolge dar, welches das Spektrum von weißem Rauschen approximiert. Dadurch ist es ebenfalls möglich, ein breites Frequenzspektrum durch eine Messung zu erfassen. Problematisch bei dieser Messmethode ist, dass die Energie pro Frequenz und somit auch das Signal-Rausch-Verhältnis (SNR, engl.: Signal-to-Noise Ratio) gering sind [129]. Zur Erhöhung des SNRs wird in [9] die sogenannte *Discrete-Interval Binary Sequence* (DIBS) vorgestellt. Bei diesem Testsignal wird ein definierter Frequenzbereich betrachtet, wodurch sich die Leistung pro Frequenz erhöht.

Die präzisesten Messergebnisse werden jedoch mit sinusförmigen Testsignalen erreicht [9, 129]. Dabei wird pro Messung nur eine Frequenz betrachtet. Ein weiterer Vorteil der sinusförmigen Testsignalen besteht, neben der hohen Genauigkeit und dem hohen Signal-Rausch-Verhältnis (SNR), darin, dass Koppeleffekte zwischen verschiedenen Frequenzen, die durch Nichtlinearitäten verursacht werden, keinen Einfluss haben. Nachteilig ist die lange Messdauer, da ein Frequenzdurchlauf über alle zu messenden Frequenzen durchgeführt werden muss. Während der Messung muss garantiert werden, dass sich der Arbeitspunkt des Prüflings nicht ändert, da anderenfalls die Messergebnisse verfälscht werden [129]. Dies ist beim vorhandenen Prüfaufbau unproblematisch, da das PHIL-System die Bedingungen für den Prüfling für die gesamte Messdauer konstant hält. Aus diesen Gründen werden für die Vermessung sinusförmige Testsignale verwendet.

Ein weiteres Unterscheidungsmerkmal der Verfahren ist das verwendete Bezugssystem. Dabei kann entweder die Vermessung im dq-Bezugssystem des

Prüflings oder alternativ dazu im stationären Bezugssystem unter Verwendung der symmetrischen Komponenten erfolgen [62, 132]. Nachfolgend wird das stationäre Bezugssystem verwendet. Dadurch wird sichergestellt, dass ein gemeinsames Bezugssystem existiert, falls mehrere Umrichter in einem Inselnetz betrachtet werden.

Bei der entwickelten Messmethode werden somit sinusförmige Testsignale verwendet, deren Amplitude und Phasenlage mit Hilfe von symmetrischen Komponenten vorgegeben werden [S4, S5]. Der genaue Ablauf der Messung sowie der verwendete Prüfaufbau werden nachfolgend näher erläutert.

In Abbildung 5.4 ist das Prinzipschaltbild des verwendeten Prüfaufbaus für die Vermessung des in Kapitel 3.5 vorgestellten DUT-Umrichters dargestellt. Über die HMI des Laborrechners werden vor der Messung die verwendeten Parameter des PHIL-Systems, des Oszilloskops und des DUT-Umrichters festgelegt. Dabei wird für das PHIL-System definiert, bei welchen Frequenzen eine Messung erfolgen soll, welche Amplitude und Phasenlage das Testsignal bezogen auf die Grundschwingung haben soll und ob das Testsignal ein Mit-, Gegen- oder Nullsystem darstellt. Beim Oszilloskop werden die Abtastrate und die Dämpfungen der einzelnen Kanäle definiert und beim DUT-Umrichter wird der Arbeitspunkt festgelegt, an dem die Vermessung stattfinden soll.

Nachdem alle Parameter festgelegt sind, erfolgt die Vermessung. Hierzu wird auf dem Laborrechner eine Ablaufsteuerung in *Matlab* ausgeführt. Diese sendet die für den jeweiligen Messpunkt benötigten Daten an das Oszilloskop und das PHIL-System. Das PHIL-System erzeugt anschließend das gewünschte sinusförmige Testsignal mit entsprechender Amplitude und Phasenlage. Der Verlauf des Testsignals wird, vergleichbar dem Verlauf des Grundschwingungssignals, im Sollwertgeneratorblock im FPGA des ETI-SoC-Systems erzeugt (vgl. Abbildung 2.7). Dadurch wird eine korrekte Phasenlage zwischen Testsignal und Grundschwingung garantiert [S6]. Um sicherzustellen, dass sich der DUT-Umrichter im stationären Arbeitspunkt befindet, wird das Triggersignal für das Oszilloskop erst nach einer einstellbaren Wartezeit im Nulldurchgang einer Grundschwingung erzeugt. Nach der Triggerung werden die gemessenen Zeitverläufe vom Oszilloskop an den Laborrechner gesendet, auf dem die Ablaufsteuerung die Zeitverläufe abspeichert. Es werden alle drei Spannungen u_{x0} und alle drei Ströme $i_{a,x}$ erfasst ($x \in 1,2,3$). Anschließend beginnt der Ablauf für den nächsten Messpunkt erneut.

Nach der Vermessung sämtlicher Messpunkte, wird ein *Matlab*-Auswerteskript gestartet, das aus den gemessenen Zeitverläufen der Ströme und Spannungen die frequenzabhängigen Parameter der Thévenin-Ersatzschaltung berechnet [S5].

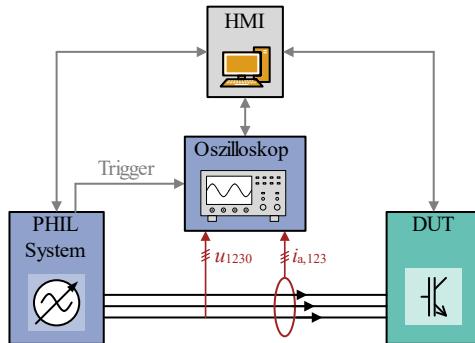


Abbildung 5.4: Prinzipschaltbild des Prüfaufbaus zur Vermessung des frequenzabhängigen Verhaltens mit analogen Messgrößen (rot), digitaler Schnittstellen (grau) und Leistungsverkabelung (schwarz)

Das Auswerteskript berechnet zunächst aus den Zeitverläufen der drei Ströme und Spannungen jedes Frequenzmesspunkts f_k die jeweiligen Fourierkoeffizienten. Die Fourierkoeffizienten werden mit Hilfe der diskreten Fourier-Transformation (DFT) bestimmt, wie sie in Gleichung (5.2) exemplarisch für die Spannung der ersten Phase dargestellt ist.

$$U_{10,k} = \sum_{n=0}^{N-1} u_{10,n} e^{-\frac{j2\pi kn}{N}} \quad (5.2)$$

Anschließend werden die symmetrischen Komponenten für die jeweilige Frequenz f_k mit dem in Gleichung (5.3) dargestellten Zusammenhang aus den Fourierkoeffizienten berechnet.

$$\begin{pmatrix} U_{M,k} \\ U_{G,k} \\ U_{0,k} \end{pmatrix} = \frac{1}{3} \cdot \begin{bmatrix} 1 & a & a^2 \\ 1 & a^2 & a \\ 1 & 1 & 1 \end{bmatrix} \cdot \begin{pmatrix} U_{10,k} \\ U_{20,k} \\ U_{30,k} \end{pmatrix} \quad (5.3)$$

Die symmetrischen Komponenten werden anschließend für die Berechnung der Spannungsquelle und der harmonischen Impedanz der Thévenin-

Ersatzschaltung für das Mit- und das Gegensystem verwendet. Pro Frequenzmesspunkt f_k sind für die Ermittlung der beiden Parameter mindestens zwei unabhängige Messungen notwendig. Beim entwickelten Verfahren werden jeweils drei Messungen durchgeführt. Dabei wird die Phasenlage der eingeprägten harmonischen Spannung pro Messung jeweils um 120° gedreht. Die dritte Messung wird genutzt, um die Genauigkeit der Messung abzuschätzen. Nachfolgend wird exemplarisch der Zusammenhang für das Mitsystem für die Frequenz f_k betrachtet. Die Zusammenhänge gelten entsprechend auch für das Gegensystem. Für die drei Messungen gilt:

$$U_{M,k,1} = U_{DUT,M,k} + I_{a,M,gr,k,1} \cdot Z_{DUT,M,k} \quad (5.4)$$

$$U_{M,k,2} = U_{DUT,M,k} + I_{a,M,gr,k,2} \cdot Z_{DUT,M,k} \quad (5.5)$$

$$U_{M,k,3} = U_{DUT,M,k} + I_{a,M,gr,k,3} \cdot Z_{DUT,M,k} \quad (5.6)$$

Durch Umstellen der drei Gleichungen können jeweils drei Bestimmungsgleichungen (a, b und c) für die harmonische Impedanz und die Spannung der Thévenin-Ersatzschaltung hergeleitet werden.

$$Z_{DUT,M,k,a} = \frac{U_{M,k,1} - U_{M,k,2}}{I_{a,M,gr,k,1} - I_{a,M,gr,k,2}} \quad (5.7)$$

$$Z_{DUT,M,k,b} = \frac{U_{M,k,2} - U_{M,k,3}}{I_{a,M,gr,k,2} - I_{a,M,gr,k,3}} \quad (5.8)$$

$$Z_{DUT,M,k,c} = \frac{U_{M,k,3} - U_{M,k,1}}{I_{a,M,gr,k,3} - I_{a,M,gr,k,1}} \quad (5.9)$$

$$U_{DUT,M,k,a} = \frac{U_{M,k,2} \cdot I_{a,M,gr,k,1} - U_{M,k,1} \cdot I_{a,M,gr,k,2}}{I_{a,M,gr,k,1} - I_{a,M,gr,k,2}} \quad (5.10)$$

$$U_{DUT,M,k,b} = \frac{U_{M,k,2} \cdot I_{a,M,gr,k,1} - U_{M,k,1} \cdot I_{a,M,gr,k,2}}{I_{a,M,gr,k,1} - I_{a,M,gr,k,2}} \quad (5.11)$$

$$U_{DUT,M,k,c} = \frac{U_{M,k,2} \cdot I_{a,M,gr,k,1} - U_{M,k,1} \cdot I_{a,M,gr,k,2}}{I_{a,M,gr,k,1} - I_{a,M,gr,k,2}} \quad (5.12)$$

Aus den drei Bestimmungsgleichungen werden abschließend der Mittelwert und die mittlere absolute Abweichung vom arithmetischen Mittel bestimmt. Damit ist es möglich, die Genauigkeit der Messung abzuschätzen.

5.3 Modellierung eines 2L-Umrichters mit LCL-Filter

Um die Genauigkeit der Messung beurteilen zu können, wird als Referenz der analytisch bestimmte Verlauf der harmonischen Impedanz verwendet. Hierzu muss zunächst ein Modell des DUT-Umrichters ermittelt werden. In Abbildung 5.5 ist das Blockschaltbild des Umrichters einschließlich des Signalflussdiagramms der Regelung dargestellt.

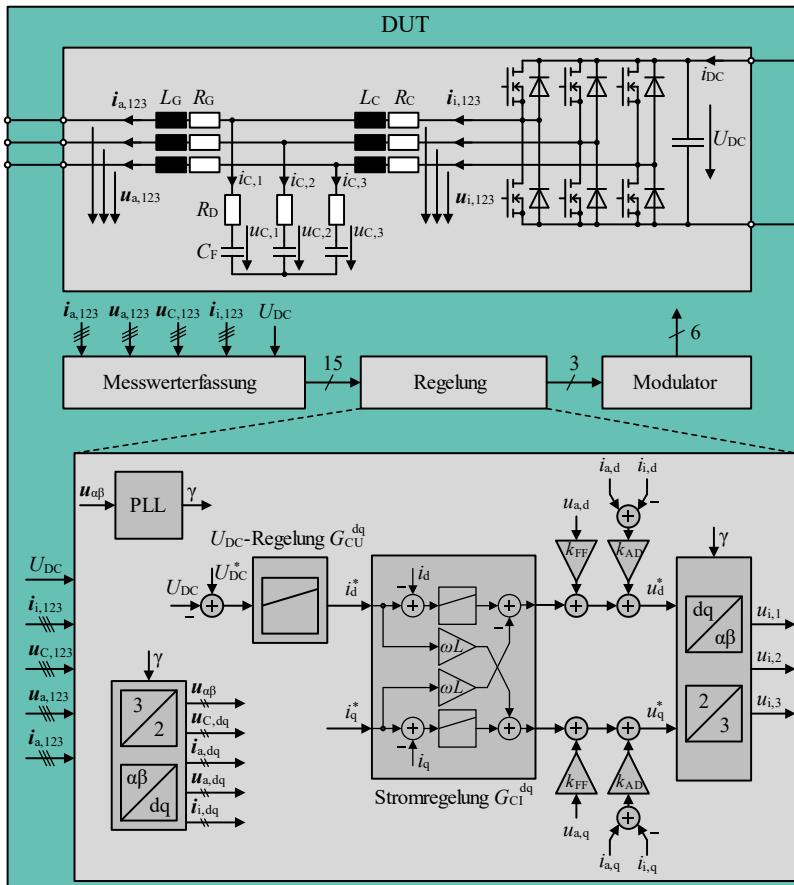


Abbildung 5.5: Blockschaltbild des DUT-Umrichters einschließlich der Regelungsstruktur

Die Regelung des Umrichters erfolgt im mitrotierenden dq-Koordinatensystem. Hierzu werden die 3-phasigen, netzseitigen Messgrößen ($\mathbf{i}_{i,123}$, $\mathbf{u}_{C,123}$, $\mathbf{u}_{a,123}$, $\mathbf{i}_{a,123}$) zunächst mit der $\alpha\beta$ -Transformation (Clark-Transformation) in das stationäre $\alpha\beta$ -Koordinatensystem und anschließend mit der dq-Transformation (Park-Transformation) in das mitrotierende dq-Koordinatensystem überführt (vgl. Gleichung (5.13) und (5.14)).

$$u_{\alpha\beta} = \frac{2}{3} \begin{pmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{pmatrix} \cdot \begin{pmatrix} u_1 \\ u_2 \\ u_3 \end{pmatrix} \quad (5.13)$$

$$u_{dq} = \begin{pmatrix} \cos(\gamma) & \sin(\gamma) \\ -\sin(\gamma) & \cos(\gamma) \end{pmatrix} \cdot \begin{pmatrix} u_\alpha \\ u_\beta \end{pmatrix} \quad (5.14)$$

Der für die dq-Transformation benötigte Winkel γ wird mit Hilfe einer Phasenregelschleife (PLL) ermittelt, deren Aufbau in [S3, S5] beschrieben wird. Für die Regelung werden ein PI-Regler als Stromregler und ein weiterer als Spannungsregler eingesetzt [S3]. Sämtliche Übertragungsfunktionen der Regelung liegen somit in dq-Koordinaten vor. Aus diesem Grund wird die Übertragungsfunktion des gesamten DUT-Umrichters zunächst ebenfalls im dq-Koordinatensystem hergeleitet. Hierzu muss die Übertragungsfunktion des LCL-Filters in das dq-Koordinatensystem überführt werden. Das Signalflussdiagramm des LCL-Filters in dq-Koordinaten ist in Abbildung 5.6 dargestellt.

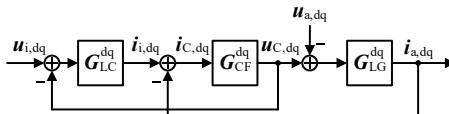


Abbildung 5.6: Signalflussdiagramm des LCL-Filters im dq-Koordinatensystem

Um die Übertragungsfunktionen im dq-Koordinatensystem zu ermitteln, werden zunächst die stationären Übertragungsfunktionen $G_{LC}^{\alpha\beta}$, $G_{CF}^{\alpha\beta}$ und $G_{LG}^{\alpha\beta}$ bestimmt. Unter der Annahme, dass alle drei Phasen des LCL-Filters identisch sind, kann das LCL-Filter durch ein einphasiges Ersatzschaltbild dargestellt werden. In diesem Fall beinhalten die stationären Übertragungsfunktionen nur Hauptdiagonalelemente, die der einphasigen Übertragungsfunktion entsprechen. Es gilt:

$$\mathbf{G}_{LC}^{\alpha\beta} = \begin{pmatrix} G_{LC} & 0 \\ 0 & G_{LC} \end{pmatrix} = \begin{pmatrix} \frac{1}{L_C \cdot s + R_C} & 0 \\ 0 & \frac{1}{L_C \cdot s + R_C} \end{pmatrix} \quad (5.15)$$

$$\mathbf{G}_{CF}^{\alpha\beta} = \begin{pmatrix} G_{CF} & 0 \\ 0 & G_{CF} \end{pmatrix} = \begin{pmatrix} \frac{1}{C_F \cdot s} + R_D & 0 \\ 0 & \frac{1}{C_F \cdot s} + R_D \end{pmatrix} \quad (5.16)$$

$$\mathbf{G}_{LG}^{\alpha\beta} = \begin{pmatrix} G_{LG} & 0 \\ 0 & G_{LG} \end{pmatrix} = \begin{pmatrix} \frac{1}{L_G \cdot s + R_G} & 0 \\ 0 & \frac{1}{L_G \cdot s + R_G} \end{pmatrix} \quad (5.17)$$

Diese stationären Übertragungsfunktionen können anschließend mit der Transformationsvorschrift nach Gleichung (5.18) in das dq-Koordinatensystem überführt werden [133].

$$\mathbf{G}^{dq} = \begin{bmatrix} \frac{1}{2}(G(s + j\omega_{gr}) + G(s - j\omega_{gr})) & \frac{j}{2}(G(s + j\omega_{gr}) - G(s - j\omega_{gr})) \\ -\frac{j}{2}(G(s + j\omega_{gr}) - G(s - j\omega_{gr})) & \frac{1}{2}(G(s + j\omega_{gr}) + G(s - j\omega_{gr})) \end{bmatrix} \quad (5.18)$$

Dabei ist $G(s)$ die einphasige Übertragungsfunktion im stationären Koordinatensystem und entspricht somit den Matrixelementen der Hauptdiagonalen. Die resultierenden Übertragungsfunktionen im dq-Koordinatensystem lauten [S5]:

$$\mathbf{G}_{LC}^{dq} = \begin{pmatrix} \frac{L_C \cdot s + R_C}{(s^2 + \omega_{gr}^2) \cdot L_C^2 + 2 \cdot L_C \cdot R_C + R_C^2} & \frac{L_C \cdot \omega_{gr}}{(s^2 + \omega_{gr}^2) \cdot L_C^2 + 2 \cdot L_C \cdot R_C + R_C^2} \\ \frac{L_C \cdot \omega_{gr}}{(s^2 + \omega_{gr}^2) \cdot L_C^2 + 2 \cdot L_C \cdot R_C + R_C^2} & \frac{L_C \cdot s + R_C}{(s^2 + \omega_{gr}^2) \cdot L_C^2 + 2 \cdot L_C \cdot R_C + R_C^2} \end{pmatrix} \quad (5.19)$$

$$\mathbf{G}_{CF}^{dq} = \begin{pmatrix} \frac{(s^2 + \omega_{gr}^2) \cdot R_D \cdot C_F}{(s^2 + \omega_{gr}^2) \cdot C_F} & \frac{\omega_{gr}}{(s^2 + \omega_{gr}^2) \cdot C_F} \\ \frac{\omega_{gr}}{(s^2 + \omega_{gr}^2) \cdot C_F} & \frac{(s^2 + \omega_{gr}^2) \cdot R_D \cdot C_F}{(s^2 + \omega_{gr}^2) \cdot C_F} \end{pmatrix} \quad (5.20)$$

$$\mathbf{G}_{LG}^{dq} = \begin{pmatrix} \frac{L_G \cdot s + R_G}{(s^2 + \omega_{gr}^2) \cdot L_G^2 + 2 \cdot L_G \cdot R_G + R_G^2} & \frac{L_G \cdot \omega_{gr}}{(s^2 + \omega_{gr}^2) \cdot L_G^2 + 2 \cdot L_G \cdot R_G + R_G^2} \\ \frac{L_G \cdot \omega_{gr}}{(s^2 + \omega_{gr}^2) \cdot L_G^2 + 2 \cdot L_G \cdot R_G + R_G^2} & \frac{L_G \cdot s + R_G}{(s^2 + \omega_{gr}^2) \cdot L_G^2 + 2 \cdot L_G \cdot R_G + R_G^2} \end{pmatrix} \quad (5.21)$$

Nachdem die Übertragungsfunktionen des LCL-Filters in das dq-Koordinatensystem überführt sind, ergibt sich das Signalflussdiagramm des gesamten Umrichters nach Abbildung 5.7 [S5]. Nachfolgend werden die einzelnen Übertragungsfunktionen definiert und deren Bedeutung erläutert.

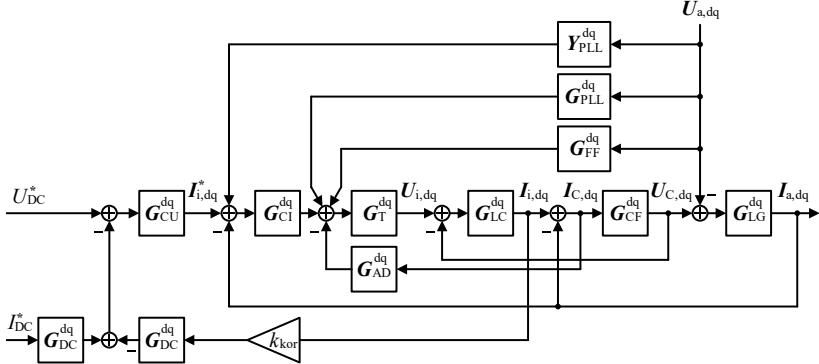


Abbildung 5.7: Signalflussdiagramm des DUT-Umrichters in dq-Koordinaten

Der Einfluss der PLL kann nach [123] mit Hilfe der Übertragungsfunktionen G_{PLL}^{dq} und Y_{PLL}^{dq} entsprechend dem Signalflussdiagramm berücksichtigt werden.

$$G_{PLL}^{dq} = \begin{pmatrix} 0 & -\frac{\left(k_{p,PLL} + \frac{k_{i,PLL}}{s}\right) \cdot U_{a,q}}{\left(k_{p,PLL} + \frac{k_{i,PLL}}{s}\right) \cdot U_{a,d} + s} \\ 0 & \frac{\left(k_{p,PLL} + \frac{k_{i,PLL}}{s}\right) \cdot U_{a,d}}{\left(k_{p,PLL} + \frac{k_{i,PLL}}{s}\right) \cdot U_{a,d} + s} \end{pmatrix} \quad (5.22)$$

$$Y_{PLL}^{dq} = \begin{pmatrix} 0 & -\frac{\left(k_{p,PLL} + \frac{k_{i,PLL}}{s}\right) \cdot I_{a,q}}{\left(k_{p,PLL} + \frac{k_{i,PLL}}{s}\right) \cdot U_{a,d} + s} \\ 0 & \frac{\left(k_{p,PLL} + \frac{k_{i,PLL}}{s}\right) \cdot I_{a,d}}{\left(k_{p,PLL} + \frac{k_{i,PLL}}{s}\right) \cdot U_{a,d} + s} \end{pmatrix} \quad (5.23)$$

Dabei sind $k_{p,PLL}$ und $k_{i,PLL}$ die Reglerparameter der PLL, deren Auslegung nach [134] erfolgt. $U_{a,d}$ bzw. $U_{a,q}$ und $I_{a,d}$ bzw. $I_{a,q}$ sind die Effektivwerte der Ausgangsspannung und der Ausgangsströme des DUT-Umrichters im dq-Koordinatensystem.

Die Übertragungsfunktion $\mathbf{G}_{\text{FF}}^{\text{dq}}$ beschreibt den Einfluss der Spannungsvorsteuerung der Netzspannung. Wenn die Vorsteuerung aktiv ist, beträgt der Faktor $k_{\text{FF}} = 1$; andernfalls gilt $k_{\text{FF}} = 0$ [E15]. $\mathbf{G}_{\text{CU}}^{\text{dq}}$ und $\mathbf{G}_{\text{CI}}^{\text{dq}}$ sind die Übertragungsfunktionen des Spannungs- und Stromreglers, deren Auslegung mit Hilfe des Auslegungsverfahrens nach dem Symmetrischen Optimum und dem Betragsoptimum erfolgt (siehe [S3]). Mit der Übertragungsfunktion $\mathbf{G}_{\text{T}}^{\text{dq}}$ wird die Totzeit berücksichtigt, die durch die Regelung und den Modulator entsteht. $\mathbf{G}_{\text{AD}}^{\text{dq}}$ beschreibt die aktive Dämpfung des LCL-Filters. Die Auslegung des Faktors k_{AD} erfolgt in [135]. $\mathbf{G}_{\text{DC}}^{\text{dq}}$ beschreibt das integrale Verhalten der Zwischenkreiskapazität C_{DC} und k_{kor} ist der Umrechnungsfaktor, um den wirksamen DC-Strom aus dem AC-Strom $\mathbf{I}_{\text{i},\text{dq}}$ zu ermitteln.

$$\mathbf{G}_{\text{FF}}^{\text{dq}} = \begin{pmatrix} k_{\text{FF}} & 0 \\ 0 & k_{\text{FF}} \end{pmatrix} \quad (5.24)$$

$$\mathbf{G}_{\text{CU}}^{\text{dq}} = \begin{pmatrix} k_{\text{p,U}} + \frac{k_{\text{i,U}}}{s} & 0 \\ 0 & k_{\text{p,U}} + \frac{k_{\text{i,U}}}{s} \end{pmatrix} \quad (5.25)$$

$$\mathbf{G}_{\text{CI}}^{\text{dq}} = \begin{pmatrix} k_{\text{p,I}} + \frac{k_{\text{i,I}}}{s} & 0 \\ 0 & k_{\text{p,I}} + \frac{k_{\text{i,I}}}{s} \end{pmatrix} \quad (5.26)$$

$$\mathbf{G}_{\text{T}}^{\text{dq}} = \begin{pmatrix} e^{-T_{\text{T}} \cdot s} & 0 \\ 0 & e^{-T_{\text{T}} \cdot s} \end{pmatrix} \quad (5.27)$$

$$\mathbf{G}_{\text{AD}}^{\text{dq}} = \begin{pmatrix} k_{\text{AD}} & 0 \\ 0 & k_{\text{AD}} \end{pmatrix} \quad (5.28)$$

$$\mathbf{G}_{\text{DC}}^{\text{dq}} = \begin{pmatrix} \frac{1}{C_{\text{DC}} \cdot s} & 0 \\ 0 & 0 \end{pmatrix} \quad (5.29)$$

$$k_{\text{kor}} = \frac{3}{2} \frac{\bar{U}_{\text{i,d}}}{U_{\text{DC}}} \quad (5.30)$$

Unter Verwendung des Signalflussdiagramms und den dazugehörigen Übertragungsfunktionen erfolgt die Bestimmung der harmonischen Impedanz im dq-Koordinatensystem. Hierzu wird der Strom $\mathbf{I}_{\text{a},\text{dq}}$ in Abhängigkeit von der Spannung $\mathbf{U}_{\text{a},\text{dq}}$ ermittelt. Es gilt:

$$\mathbf{I}_{\text{a,dq}} = \mathbf{Y}_{\text{dq}} \cdot \mathbf{U}_{\text{a,dq}} \quad (5.31)$$

Die Ausgangsadmittanz \mathbf{Y}_{dq} wird mit Hilfe der Forward Return Loop (FRL) Methode bestimmt [136]. Anschließend wird die Ausgangsimpedanz \mathbf{Z}_{dq} durch Bilden der Inversen von \mathbf{Y}_{dq} berechnet. Das Vorgehen für die Berechnung der Admittanz bzw. Impedanz wird im Anhang A.9 beschrieben. Aufgrund der Komplexität der Gleichungen wird auf eine Darstellung der Bestimmungssterme für \mathbf{Y}_{dq} bzw. \mathbf{Z}_{dq} an dieser Stelle verzichtet. Aus der ermittelten Harmonischen Impedanz \mathbf{Z}_{dq} wird anschließend die Harmonische Impedanz in eine mitrotierende Mit-/Gegensystemdarstellung überführt. Es gilt [123, 137, 138]:

$$\mathbf{Z}_{\text{MG}}^{\text{dq}} = \begin{pmatrix} Z_{\text{MM}}^{\text{dq}} & Z_{\text{MG}}^{\text{dq}} \\ Z_{\text{GM}}^{\text{dq}} & Z_{\text{GG}}^{\text{dq}} \end{pmatrix} = \mathbf{A}_Z \cdot \mathbf{Z}_{\text{dq}} \cdot \mathbf{A}_Z^{-1} \quad (5.32)$$

$$\mathbf{A}_Z = \frac{1}{\sqrt{2}} \cdot \begin{pmatrix} 1 & j \\ 1 & -j \end{pmatrix} \quad (5.33)$$

Da das dq-Koordinatensystem das Bezugssystem der berechneten Impedanz $\mathbf{Z}_{\text{MG}}^{\text{dq}}$ darstellt, muss die vorhandene Frequenzverschiebung noch berücksichtigt werden. Es gilt [138]:

$$\begin{pmatrix} U_M(s + j\omega_{\text{gr}}) \\ U_G(s - j\omega_{\text{gr}}) \end{pmatrix} = \begin{pmatrix} Z_{\text{MM}}^{\text{dq}}(s) & Z_{\text{MG}}^{\text{dq}}(s) \\ Z_{\text{GM}}^{\text{dq}}(s) & Z_{\text{GG}}^{\text{dq}}(s) \end{pmatrix} \cdot \begin{pmatrix} I_M(s + j\omega_{\text{gr}}) \\ I_G(s - j\omega_{\text{gr}}) \end{pmatrix} \quad (5.34)$$

Um die Impedanzmatrix $\mathbf{Z}_{\text{MG}}^{\alpha\beta}$ im stationären $\alpha\beta$ -Bezugssystem zu erhalten, wird $(s + j\omega_{\text{gr}})$ durch \tilde{s} substituiert. Daraus folgt:

$$\begin{pmatrix} U_M(\tilde{s}) \\ U_G(\tilde{s} - 2j\omega_{\text{gr}}) \end{pmatrix} = \mathbf{Z}_{\text{MG}}^{\alpha\beta} \cdot \begin{pmatrix} I_M(\tilde{s}) \\ I_G(\tilde{s} - 2j\omega_{\text{gr}}) \end{pmatrix} \quad (5.35)$$

$$\mathbf{Z}_{\text{MG}}^{\alpha\beta} = \begin{pmatrix} Z_{\text{MM}} & Z_{\text{MG}} \\ Z_{\text{GM}} & Z_{\text{GG}} \end{pmatrix} = \begin{pmatrix} Z_{\text{MM}}^{\text{dq}}(\tilde{s} - j\omega_{\text{gr}}) & Z_{\text{MG}}^{\text{dq}}(\tilde{s} - j\omega_{\text{gr}}) \\ Z_{\text{GM}}^{\text{dq}}(\tilde{s} - j\omega_{\text{gr}}) & Z_{\text{GG}}^{\text{dq}}(\tilde{s} - j\omega_{\text{gr}}) \end{pmatrix} \quad (5.36)$$

Z_{MG} und Z_{GM} beschreiben die Kopplung zwischen dem Mit- und dem Gegen- system. Die Impedanzen Z_{MM} und Z_{GG} stellen die Impedanz im Mit- und im Gegensystem dar. Es ist zu beachten, dass das Gegensystem um $-2\omega_{gr}$ verschoben ist, weshalb das Mit- bzw. Gegensystem über die Impedanz Z_{MG} bzw. Z_{GM} in einer anderen Frequenz im Gegen- bzw. Mitsystem wirksam werden und dadurch eine Frequenzkopplung entsteht.

Der Verlauf der berechneten harmonischen Impedanzen im Mit-/Gegensystem werden in Kapitel 6.3 als Referenz für die messtechnisch ermittelten Verläufe verwendet.

6

Analyse der verschiedenen Prüfszenarien

In diesem Kapitel werden die verschiedenen Prüfszenarien beschrieben, für die das PHIL-System entwickelt wurde. Hierzu zählen die Emulation eines schwachen Netzanschlusspunktes (NAP) sowie die Nachbildung der verschiedenen Netzfehlerfälle nach [139] wie z.B. ein-, zwei und dreiphasiger Spannungseinbrüche oder eine Frequenzvariation des Netzes.

Neben der Emulation der verschiedenen Szenarien wird das entwickelte PHIL-System hauptsächlich für die Vermessung verschiedener Prüflinge mit Hilfe von sinusförmigen Testsignalen verwendet. Dieser Anwendungsfall wird abschließend in diesem Kapitel untersucht.

6.1 Emulation eines schwachen Netzanschlusspunkts

Im Niederspannungsnetz gibt es verschiedene Netzstrukturen, die abhängig von der Besiedlungsdichte Einsatz finden. Es kann zwischen Strahlen-, Ring-, und Maschennetzen unterschieden werden [140: S. 493ff]. In schwach besiedelten ländlichen Regionen werden meist Strahlennetze verwendet, bei denen lange Stichleitungen zum Endverbraucher existieren [141: S. 10ff].

Gleichzeitig schreibt §8 des Erneuerbaren Energien Gesetzes (EEG) vor, dass der „Netzbetreiber verpflichtet ist Anlagen zur Erzeugung von Strom aus

erneuerbaren Energien unverzüglich vorrangig an der Stelle an ihr Netz anzuschließen, die im Hinblick auf die Spannungsebene geeignet ist“ und dass „bei einer oder mehreren Anlagen mit einer installierten Leistung von insgesamt höchstens 30 kW, die sich auf einem Grundstück mit bereits bestehendem Netzanschluss befinden, (...) der Verknüpfungspunkt des Grundstücks mit dem Netz als günstiger Verknüpfungspunkt gilt“ [142].

Diese Regelung in Kombination mit der vorhandenen Netzstruktur hat zur Folge, dass mehrere Photovoltaikanlagen mit bis zu 30 kW auf verschiedenen Grundstücken an einer einzelnen Stichleitung angeschlossen werden können. Dadurch entsteht das in Abbildung 6.1 gezeigte Szenario.

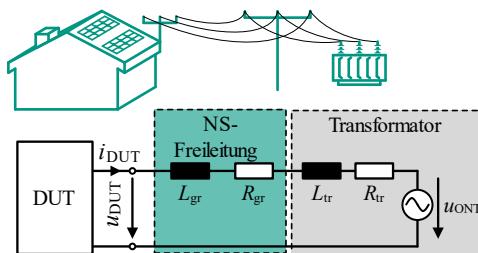


Abbildung 6.1: Nachgebildete Netzsituation eines Photovoltaikwechselrichters, angeschlossen an eine Stichleitung im Niederspannung (NS)-Netz

Um das Verhalten eines möglichen Photovoltaikwechselrichters analysieren zu können, soll das PHIL-System eine Stichleitung mit einer Länge von bis zu 1 km emulieren. Die Serieninduktivität L_{gr} und der Serienwiderstand R_{gr} können mit Hilfe des Induktivitäts- und Widerstandsbelags, die nach [143: S. 36] für eine Niederspannungsfreileitung 0,99 mH/km und 0,36 Ω/km betragen, berechnet werden. Die Übertragungsfunktion des Netzmodells lautet somit:

$$G_m = Z_{gr} = L_{gr} \cdot s + R_{gr} \quad (6.1)$$

Als DUT wird der im Kapitel 3.5 vorgestellte 2L-VSC in Kombination mit dem L-Netzfilter verwendet. Der Betrieb des DUTs mit dem L-Netzfilter stellt für den Emulationsumrichter das anspruchsvollste Testszenario dar, da für die Emulation der Stichleitung in diesem Fall die Ausgangsspannung des Emulationsumrichters hochdynamische Spannungssprünge beinhaltet.

Nachfolgend werden für die verschiedenen Schnittstellenalgorithmen (IA) zunächst die Stabilität und anschließend die Genauigkeit und Bandbreite analysiert und verglichen.

6.1.1 Stabilitätsbetrachtung der Netzemulation für verschiedene Schnittstellenalgorithmen

Die Stabilität der verschiedenen IAs wird mit Hilfe der entsprechenden Nyquist-Diagramme und des dazugehörigen Amplituden- und Phasenrands beurteilt. Nach [117: S. 156] wird für ein gutes Führungsgrößenverhalten ein Amplitudenrand A_{Rand} von mindestens 12 dB sowie ein Phasenrand von mindestens 50 ° gefordert.

Zunächst wird die Stabilität des PHIL-Prüfstands unter Verwendung des ITM-Algorithmus betrachtet. Beim ITM-Algorithmus erfolgt weder eine Vorverarbeitung der Messwerte, die vom Modell benötigt werden, noch eine Nachverarbeitung der Sollwerte, die vom Modell ausgegeben werden (vgl. Kapitel 4.2.1). Dadurch wird die erreichbare Stabilität nur von dem zur Verfügung stehenden PHIL-Emulator, dem zu emulierenden Modell und der Charakteristik des DUTs bestimmt. Zur Erreichung einer höheren Stabilität wird eine Induktivität L_{Ser} zwischen dem PHIL-System und dem DUT eingefügt. Der Wert der Induktivität entspricht dem Induktivitätswert der kürzesten zu untersuchenden Stichleitungslänge $l_{\text{L,St,min}}$ von 200 m und somit circa 200 µH. Für alle anderen Leitungslängen $l_{\text{L,St}}$ emuliert das PHIL-System das Verhalten der restlichen Stichleitungslänge.

In Abbildung 6.2 ist das Nyquist-Diagramm für ein L-Netzfilter bei einer Stichleitungslänge von 0,6 km, 0,8 km und 1 km dargestellt. Da keine der Nyquistortskurven den kritischen Punkt (-1,0) umschließt, ist die Emulation mit Hilfe des PHIL-Systems unter Verwendung des ITM-Algorithmus grundsätzlich stabil. Es muss jedoch berücksichtigt werden, dass der Amplitudenrand zu gering ist. So beträgt der Amplitudenrand, der den Abstand vom kritischen Punkt (-1,0) zum Schnittpunkt der Ortskurve mit der x-Achse darstellt, bei einer emulierten Stichleitungslänge von 1 km lediglich 1,2 dB.

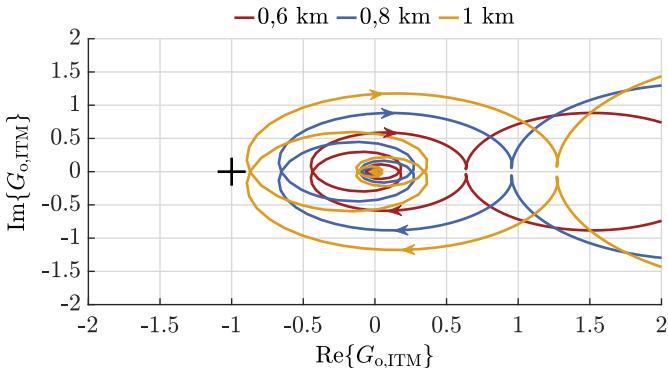


Abbildung 6.2: Nyquist-Diagramme des PHIL-Prüfstands unter Verwendung des ITM-Schnittstellenalgorithmus

Um die Stabilität der Emulation zu erhöhen, wird der ITM-IA zum DITM-IA bzw. FSF-IA erweitert. Beim DITM-IA wird das bisherige Netzmodell, bestehend aus einer Reihenschaltung aus Widerstand R_{gr} und Induktivität L_{gr} , um einen parallelen Dämpfungswiderstand $R_{D,\text{gr}}$ erweitert. Die Übertragungsfunktion $G_{M,d}$ des resultierenden, bedämpften Netzmodells lautet:

$$G_{M,d} = Z_{\text{gr},d} = R_{\text{gr}} + \frac{s \cdot L_{\text{gr}} \cdot R_{D,\text{gr}}}{s \cdot L_{\text{gr}} + R_{D,\text{gr}}} = R_{\text{gr}} + s \cdot L_{\text{gr}} \cdot \frac{1}{\frac{s}{2\pi f_{g,\text{DITM}}} + 1} \quad (6.2)$$

Durch den Dämpfungswiderstand $R_{D,\text{gr}}$ wird das induktive Verhalten mit einem Tiefpassfilter erster Ordnung gedämpft. Um einen Amplitudenrand von 12 dB zu erreichen, muss die Grenzfrequenz dieses Filters $f_{g,\text{DITM}}$ 26 kHz betragen. Der resultierende Dämpfungswiderstand $R_{D,\text{gr}}$ hat einen Wert von 200 Ω .

Beim FSF-IA können verschiedene Filtertypen verwendet werden. Da jedoch beim DITM-IA ein Tiefpassfilter erster Ordnung verwendet wird, kommt beim FSF-IA ebenfalls ein Tiefpassfilter erster Ordnung zum Einsatz, um vergleichbare Resultate zu erzielen. Die Grenzfrequenz dieses Tiefpassfilters $f_{g,\text{FSF}}$ beträgt 40 kHz, um einen Amplitudenrand von 12 dB zu erzielen.

Bei dem PCD-Algorithmus und dem DIM-Algorithmus wird die zwischen dem PHIL-System und dem DUT eingefügte Induktivität L_{Ser} als Koppelimpedanz Z_{D1} genutzt. Zusätzlich wird beim DIM-Algorithmus die Übertragungsfunktion des L-Netzfilters (vgl. Kapitel 3.5) in der Dämpfungsimpedanz

Z_{D2}^* berücksichtigt. Die Nyquist-Diagramme für die fünf Schnittstellenalgorithmen bei einer Stichleitungslänge von 1 km sind in Abbildung 6.3 für das L-Netzfilter dargestellt.

Die Nyquistortskurve des PCD-Algorithmus weist dabei einen Amplitudenrand von lediglich 2,2 dB auf, weshalb der PCD-Algorithmus wie der ITM-Algorithmus nicht am Prüfstand untersucht wird. Die Nyquistortskurven des DITM-Algorithmus und des FSF-Algorithmus weisen den geforderten 12 dB Amplitudenrand auf. Beim DIM-Algorithmus verläuft die Ortskurve nur in der Nähe des Ursprungs. Dies lässt sich anhand der offenen Übertragungsfunktion Gleichung (4.21) begründen. Für den Fall, dass die Dämpfungsimpedanz Z_{D2}^* der Ausgangsimpedanz des DUTs Z_{DUT} entspricht und alle anderen Übertragungsfunktionen zunächst als ideal angenommen werden ($G_V = G_{Si} = G_{Su} = 1$), ist die offene Übertragungsfunktion immer 0. Der Prüfstand wäre in diesem Fall immer stabil unabhängig vom Verhältnis Z_{DUT} zu Z_{gr} . Da jedoch die Übertragungsfunktionen der Strommessstrecke G_{Si} und Spannungsmessstrecke G_{Su} weder ideal noch gleich sind, weist die Nyquistortskurve eine Abweichung um den Nullpunkt herum auf. Die Stabilität des Algorithmus liegt jedoch weit über der der anderen Algorithmen. So beträgt der Amplitudenrand des DIM-Algorithmus bei einer Stichleitungslänge von 1 km 22 dB. Aufgrund der hohen Stabilität wird neben dem DITM-IA und FSF-IA auch der DIM-IA am Prüfstand weiter analysiert.

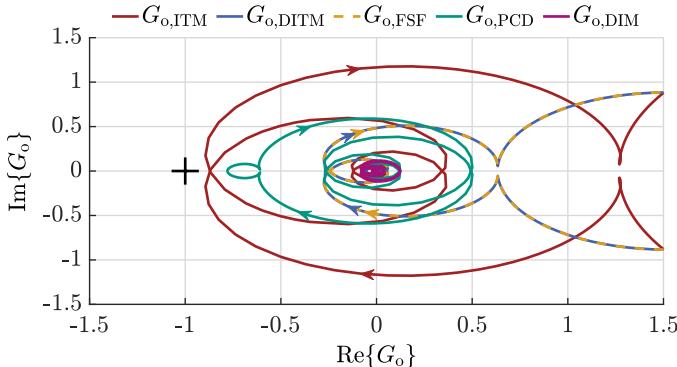


Abbildung 6.3: Nyquistdiagramme des PHIL-Prüfstands für eine Stichleitungslänge von 1 km

6.1.2 Analyse der Genauigkeit und Bandbreite der Netzemulation für verschiedene Schnittstellenalgorithmen

Neben der bisher betrachteten Stabilität sind ebenfalls die Genauigkeit und die erreichbare Bandbreite entscheidend, um die Güte der PHIL-Emulation zu beurteilen. Hierzu werden die prozentualen Fehler ε_{IA} der Netzemulation für die verschiedenen Schnittstellenalgorithmen über der Frequenz aufgetragen (vgl. Kapitel 4.3). In Abbildung 6.4 sind die relativen Fehler für einen L-Netzfilter und für eine Stichleitungslänge von a) 0,6 km und von b) 1 km dargestellt. Um die verschiedenen Algorithmen qualitativ zu vergleichen, wird ein Fehlerband von $\pm 10\%$ definiert und der Austrittspunkt aus diesem Band betrachtet.

Der DIM-Algorithmus weist mit einer Austrittsfrequenz von 116 kHz bei einer Leitungslänge von 1 km die höchste Genauigkeit und Bandbreite auf. Der ITM-IA verfügt zwar über die zweithöchste Bandbreite von 30 kHz, er erfüllt aber nicht die geforderte Stabilitätsmarge (siehe Kapitel 6.1.1).

Aufgrund des ähnlichen Wirkungsprinzips sind die Fehlerkurven des FSF- und des DITM-Algorithmus nahezu identisch. Beim Vergleich der verschiedenen Leitungslängen kann festgestellt werden, dass die Bandbreite bei den Verfahren für eine Leitungslänge von 1 km fast übereinstimmen. Der FSF-IA weist dabei eine Bandbreite von 13,9 kHz und der DITM-IA von 13,8 kHz auf. Für kürzere Leitungslängen besitzt jedoch der DITM-IA eine höhere Bandbreite. Dies lässt sich damit begründen, dass beim DITM-IA der Dämpfungswiderstand $R_{D,gr}$ definiert wird. Dadurch ändert sich die Grenzfrequenz $f_{g,DITM}$ abhängig von der zu emulierenden Netzimpedanz, weshalb für kleinere Netzimpedanzen die Bandbreite des DITM-IA zunimmt. Dagegen wird die Grenzfrequenz $f_{g,FSF}$ beim FSF-IA fest definiert, sodass die erreichbare Bandbreite konstant und unabhängig von der zu emulierenden Netzimpedanz ist.

Der PCD-IA weist die geringste Bandbreite auf und hält zudem wie der ITM-IA nicht die geforderte Stabilitätsmarge ein (vgl. Kapitel 6.1.1).

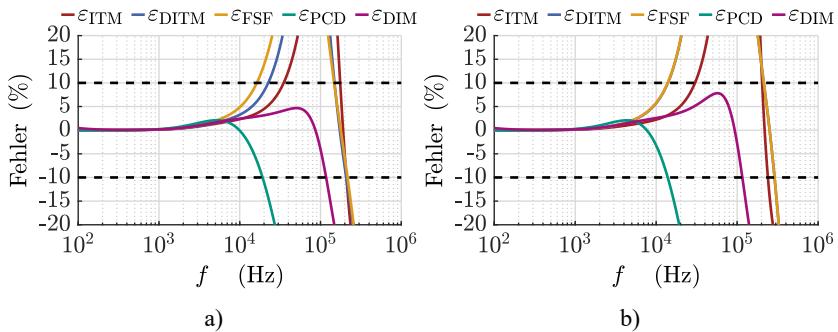


Abbildung 6.4: Prozentualer Fehler der Netznachbildung mit dem PHIL-Prüfstand für verschiedene IAs für eine Stichleitungslänge von a) 0,6 km und b) 1 km

Fazit

Die Verwendung des DIM-IA führt unabhängig von der Stichleitungslänge zum besten Ergebnis. Der Algorithmus setzt jedoch voraus, dass das Verhalten des DUTs bekannt ist. Falls das Verhalten nicht bekannt ist, können der DITM und FSF-Algorithmus eingesetzt werden. Diese besitzen jedoch eine deutlich geringere Genauigkeit und Bandbreite aufgrund der zusätzlichen Dämpfung. Der PCD- und ITM-Algorithmus können aufgrund der geringen Stabilität (Amplitudenrand < 2,2 dB) für die betrachtete Stichleitungsnachbildung nicht genutzt werden. Deshalb werden nachfolgend nur der DITM-, der FSF- und der DIM-Algorithmus umgesetzt.

6.1.3 Umsetzung des Netzmodells auf dem SoC-System

Bei der Umsetzung des Netzmodells wird entsprechend Abbildung 2.7 der Spannungsabfall über der Netzimpedanz Z_{gr} mit Hilfe des Modells berechnet und von der Spannung des ONTs abgezogen. Um das zu emulierende Netzmodell auf dem FPGA des SoC-Systems implementieren zu können, muss das resultierende Modell unabhängig vom verwendeten IA diskretisiert werden. Die Diskretisierung erfolgt dabei mit Hilfe der Tustin-Approximation nach Gleichung (6.3).

$$s = \frac{2}{T_{\text{Modell}}} \cdot \frac{z-1}{z+1} \quad (6.3)$$

T_{Modell} entspricht dabei dem Kehrwert der Berechnungsfrequenz des Modells. Beim entwickelten PHIL-System ist die Berechnungsfrequenz gleich der Abtastfrequenz des verwendeten AD-Wandlers von 5 MHz.

Nach der Diskretisierung liegt das Modell in der sogenannten Direktform 1 vor, welche in Abbildung 6.5 a) dargestellt ist. Um eine höhere numerische Robustheit zu erreichen, wird die Direktform 1 zunächst in die transponierte Direktform 2 überführt (siehe Abbildung 6.5 b)). Anschließend wird die transponierte Direktform 2 in eine Serienschaltung von Übertragungsgliedern zweiter Ordnung (sogenannte Biquad-Filter) umgewandelt, falls die gewonnene Übertragungsfunktion eine höhere Ordnung als zwei besitzt [144].

Nachfolgend werden die diskretisierten Übertragungsfunktionen für den DITM-IA, den FSF-IA und den DIM-IA betrachtet.

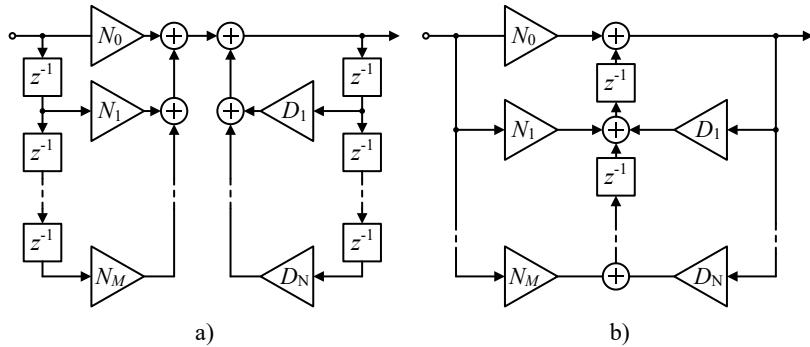


Abbildung 6.5: Blockschaltbild in a) der Direktform 1 und b) der transponierten Direktform 2

Diskretisierung des Netzmodells mit dem DITM-IA und FSF-IA

Grundlage für die Diskretisierung bildet die kontinuierliche Übertragungsfunktion des bedämpften Netzmodells nach Gleichung (6.2). Dieses wird sowohl für den DITM-IA als auch für den FSF-IA verwendet. Nach der Diskretisierung mittels Tustin-Approximation lautet die z-Transformierte des bedämpften Netzmodells:

$$G_{m,d,\text{dis}} = \frac{N_{0,d} \cdot z + N_{1,d}}{z + D_{1,d}} = \frac{N_{0,d} + N_{1,d} \cdot z^{-1}}{1 + D_{1,d} \cdot z^{-1}} \quad (6.4)$$

$$N_{0,d} = \frac{2\pi f_{g,DITM} \cdot R_{gr} + \frac{2}{T_A} (R_{D,gr} + R_{gr})}{2\pi f_{g,DITM} + \frac{2}{T_A}} \quad (6.5)$$

$$N_{1,d} = \frac{2\pi f_{g,DITM} \cdot R_{gr} - \frac{2}{T_A} (R_{gr} + R_{D,gr})}{2\pi f_{g,DITM} + \frac{2}{T_A}} \quad (6.6)$$

$$D_{1,d} = \frac{2\pi f_{g,DITM} - \frac{2}{T_A}}{2\pi f_{g,DITM} + \frac{2}{T_A}} \quad (6.7)$$

Neben dem eigentlichen Netzmodell muss für den FSF-Algorithmus ebenfalls ein Filter erster Ordnung in den Strommesspfad eingeführt werden. Die z-Übertragungsfunktion dieses Filters lautet:

$$G_{FI,dis} = \frac{N_{0,F} \cdot z + N_{1,F}}{z + D_{1,F}} = \frac{N_{0,F} + N_{1,F} \cdot z^{-1}}{1 + D_{1,F} \cdot z^{-1}} \quad (6.8)$$

$$N_{0,F} = \frac{2\pi f_{g,FSF}}{2\pi f_{g,FSF} + \frac{2}{T_A}} \quad (6.9)$$

$$N_{1,F} = \frac{2\pi f_{g,FSF}}{2\pi f_{g,FSF} + \frac{2}{T_A}} \quad (6.10)$$

$$D_{1,F} = 2\pi f_{g,FSF} + \frac{2}{T_A} \quad (6.11)$$

Mit den beiden ermittelten z-Transformierten können sowohl der DITM als auch der FSF-Algorithmus auf dem FPGA des SoC-System 1 umgesetzt werden. Hierzu wird der entsprechende VHDL-Code mit Hilfe eines *Matlab/Simulink* Modells generiert.

Diskretisierung des Netzmodells mit dem DIM-Algorithmus

Da beim DIM-Algorithmus das Verhalten des DUTs berücksichtigt wird, muss die Berechnungsvorschrift für die Sollspannung des PHIL-Emulators u_{NAP}^* abhängig vom entsprechenden Verhalten angepasst werden. Das zugrundeliegende Ersatzschaltbild für die Berechnungsvorschrift ist in Abbildung 6.6 dargestellt.

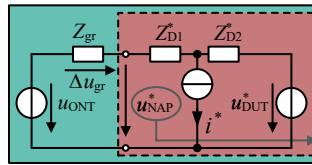


Abbildung 6.6: Ersatzschaltbild für die Berechnungsvorschrift des DIM-Algorithmus

Für die Berechnung der Sollspannung u_{NAP}^* wird zunächst der Spannungsabfall über der zu emulierenden Netzimpedanz berechnet und von der idealen Netzspannung abgezogen. Für den Spannungsabfall gilt allgemein:

$$\Delta u_{\text{gr}} = i^* \cdot G_{\text{DIM1}} + (u_{\text{ONT}} - u_{\text{DUT}}^*) \cdot G_{\text{DIM2}} \quad (6.12)$$

$$G_{\text{DIM1}} = \frac{Z_{\text{D2}}^* \cdot Z_{\text{gr}}}{Z_{\text{D1}}^* + Z_{\text{D2}}^* + Z_{\text{gr}}} \quad (6.13)$$

$$G_{\text{DIM2}} = \frac{Z_{\text{gr}}}{Z_{\text{D1}}^* + Z_{\text{D2}}^* + Z_{\text{gr}}} \quad (6.14)$$

Z_{D1}^* entspricht der Impedanz der eingefügten Serieninduktivität L_{ser} von 200 μH , Z_{D2}^* der Impedanz des L-Netzfilters des DUTs und Z_{gr} der Netzimpedanz. Für Z_{D1}^* , Z_{D2}^* und Z_{gr} gelten folgende Zusammenhänge:

$$Z_{\text{D1}}^* = L_{\text{ser}} \cdot s \quad (6.15)$$

$$Z_{\text{D2}}^* = Z_{\text{DUT,L}} = R_C + L_C \cdot s \quad (6.16)$$

$$Z_{\text{gr}} = R_{\text{gr}} + L_{\text{gr}} \cdot s \quad (6.17)$$

Mit Hilfe dieser Zusammenhänge können die Gleichungen (6.13) und (6.14) umgeformt werden zu:

$$G_{\text{DIM1}}(s) = \frac{(R_C + L_C \cdot s) \cdot (R_{\text{gr}} + L_{\text{gr}} \cdot s)}{(L_{\text{gr}} + L_C + L_{\text{ser}}) \cdot s + (R_C + R_{\text{gr}})} \quad (6.18)$$

$$G_{\text{DIM2}}(s) = \frac{R_{\text{gr}} + L_{\text{gr}} \cdot s}{(L_{\text{gr}} + L_C + L_{\text{ser}}) \cdot s + (R_C + R_{\text{gr}})} \quad (6.19)$$

Die beiden Übertragungsfunktionen G_{DIM1} und G_{DIM2} werden mit der Tustin-Approximation diskretisiert. Die z-Transformierten der beiden Übertragungsfunktionen lauten:

$$G_{\text{DIM1}}(z) = \frac{N_{0,\text{DIM1}} + N_{1,\text{Dim1}} \cdot z^{-1} + N_{2,\text{Dim1}} \cdot z^{-2}}{D_{0,\text{DIM1}} + D_{1,\text{DIM1}} \cdot z^{-1} + D_{2,\text{Dim1}} \cdot z^{-2}} \quad (6.20)$$

$$N_{0,\text{DIM1}} = \frac{2}{T_A} (R_{\text{gr}} L_C + R_C L_{\text{gr}}) + R_C R_{\text{gr}} \quad (6.21)$$

$$N_{1,\text{DIM1}} = \frac{4}{T_A^2} L_{\text{gr}} L_C + 2 R_C R_{\text{gr}} \quad (6.22)$$

$$N_{2,\text{DIM1}} = R_C R_{\text{gr}} - \frac{2}{T_A} (R_{\text{gr}} L_C + R_C L_{\text{gr}}) - \frac{4}{T_A^2} L_{\text{gr}} L_C \quad (6.23)$$

$$D_{0,\text{DIM1}} = \frac{2}{T_A} (L_C + L_{\text{gr}} + L_{\text{ser}}) + R_{\text{gr}} + R_C \quad (6.24)$$

$$D_{1,\text{DIM1}} = 2(R_{\text{gr}} + R_C) \quad (6.25)$$

$$D_{2,\text{DIM1}} = R_{\text{gr}} + R_C - \frac{2}{T_A} (L_C + L_{\text{gr}} + L_{\text{ser}}) \quad (6.26)$$

$$G_{\text{DIM2}}(z) = \frac{N_{0,\text{DIM1}} + N_{1,\text{Dim1}} \cdot z^{-1}}{D_{0,\text{DIM1}} + D_{1,\text{DIM1}} \cdot z^{-1}} \quad (6.27)$$

$$N_{0,\text{DIM2}} = R_{\text{gr}} + \frac{2}{T_A} L_{\text{gr}} \quad (6.28)$$

$$N_{1,\text{DIM2}} = R_{\text{gr}} - \frac{2}{T_A} L_{\text{gr}} \quad (6.29)$$

$$D_{0,\text{DIM2}} = R_{\text{gr}} + R_C + \frac{2}{T_A} (L_C + L_{\text{gr}} + L_{\text{ser}}) \quad (6.30)$$

$$D_{1,\text{DIM2}} = R_{\text{gr}} + R_C - \frac{2}{T_A} (L_C + L_{\text{gr}} + L_{\text{ser}}) \quad (6.31)$$

Mit Hilfe der gewonnenen z-Transformierten kann der VHDL-Code entsprechend dem DITM bzw. FSF-IA unter Verwendung eines *Matlab/Simulink* Modells generiert und anschließend auf das FPGA übertragen werden.

6.1.4 Messtechnische Validierung des Netzmodells

Um die analytischen Ergebnisse zu validieren, werden sowohl der DITM-IA als auch der FSF-IA und der DIM-IA auf dem PHIL-System implementiert und die Messergebnisse mit den Simulationsergebnissen verglichen. Hierzu werden die am DUT gemessenen Stromverläufe während der Emulation der Stichleitung als Eingangswerte für die Simulation verwendet. Mit Hilfe der Simulation werden dann die entsprechenden Spannungswerte $u_{DUT,sim}$ ermittelt, die idealerweise am DUT für den gegebenen Stromverlauf und der emulierten Stichleitungslänge anliegen müssten. Diese Spannungsverläufe werden anschließend mit den tatsächlich durch das PHIL-System erzeugten Spannungswerten $u_{DUT,mess}$ verglichen. Durch diesen Vergleich kann die Auswirkung des PHIL-Systems in Kombination mit den verschiedenen IAs ermittelt werden. In Abbildung 6.7 sind die entsprechenden Spannungen an den Klemmen des DUT-Umrichters mit L-Netzfilter für den DITM-IA, FSF-IA und DIM-IA dargestellt. Zusätzlich werden die gleitenden Mittelwerte über eine Schaltperiode des DUTs der simulierten und gemessenen Spannung ($u_{DUT,AV,sim}$ und $u_{DUT,AV,mess}$) gezeigt. Die emulierte Stichleitungslänge für die dargestellten Verläufe beträgt 0,6 km.

Bei der Betrachtung der gleitenden Mittelwerte lässt sich feststellen, dass die Verläufe der gleitenden Mittelwerte der Simulation und der Messung für alle IAs übereinstimmen. Somit sind sämtliche IAs nutzbar, wenn lediglich eine Betrachtung der Mittelwerte gefordert wird.

Bei den ungefilterten Spannungsverläufen treten im Umschaltmoment des DUTs Abweichungen zwischen der gemessenen und der simulierten Spannung auf. Diese Abweichungen sind auf die begrenzte Bandbreite und Flankensteilheit des PHIL-Systems zurückzuführen. Das Ausregelverhalten dieser Abweichungen unterscheidet sich jedoch abhängig vom verwendeten IA. Beim DIM-IA kann das PHIL-System die Abweichung nach circa 6 μs ausregeln. Bei der Verwendung des DITM-IA und FSF-IA ist das PHIL-System nicht in der Lage die Abweichung vollständig auszuregeln. Dieses unterschiedliche Verhalten entsteht durch die höhere Bandbreite des DIM-IAs verglichen zu den DITM-IA bzw. FSF-IA.

Der entwickelte SHCHB-Umrichter kann somit als Emulationsumrichter verwendet werden und ist abhängig vom verwendeten IA auch in der Lage, die durch die Emulation definierten springenden Spannungsverläufe abzubilden.

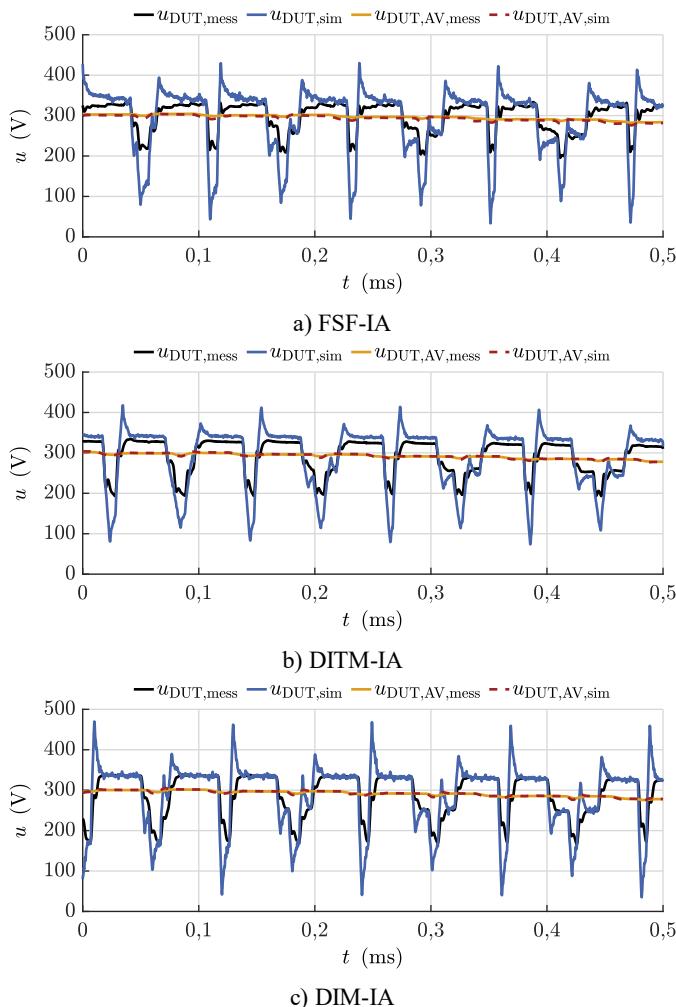


Abbildung 6.7: DUT-Spannung u_{DUT} für a) den DITM-IA, b) den FSF-IA und c) den DIM-IA bei einer Übertragungsleitungslänge von 0,6 km und einem L-Netzfilter; schwarz: Messergebnisse, blau: simulierte Spannung, orange: Mittelwert der gemessenen Spannung über eine Schaltperiode, rot: Mittelwert der simulierten Spannung über eine Schaltperiode

6.2 Nachbildung von Netzfehlern

Neben der Emulation einer bestimmten Netzcharakteristik ist die Nachbildung von Netzfehlern ebenfalls wichtig, um das Verhalten des DUTs in diesen kritischen Arbeitspunkten zu analysieren und mögliche Probleme des DUTs zu detektieren. Dies ermöglicht die Ausarbeitung von Lösungsansätzen im Vorfeld des eigentlichen Betriebs und gewährleistet dadurch eine höhere Zuverlässigkeit desselben. Nachfolgend werden zunächst Spannungsfehlerfälle betrachtet. Zu diesen zählen Kurzschlüsse, Erdschlüsse und Unterbrechungen sowie Spannungseinbrüche und -erhöhungen. Daran anschließend erfolgt die Betrachtung der Nachbildung von Frequenzfehlern sowie von harmonisch verzerrten Netzen.

6.2.1 Spannungsfehlerfall

Das Verhalten von Netzumrichtern bei Unter- oder Überspannungen des Netzes, auch als *Fault-Ride-Through* (FRT)-Verhalten bezeichnet, ist in der VDE-Anwendungsregel VDE-AR-N 4105 festgelegt. In dieser VDE-Anwendungsregel wird zwischen statischer Spannungshaltung (Blindleistungsbereitstellung) und dynamischer Netzstützung unterschieden [139: S. 25ff]. Bei der statischen Spannungserhaltung wird eine entsprechende Blindleistungs-Spannungs-Kennlinie vorgegeben [139: S. 30]. Abhängig vom vorhandenen Effektivwert der Netzspannung U_{gr} muss der Netzumrichter einen bestimmten Anteil seiner Nennleistung als Blindleistung zur Verfügung stellen. Dieses Verhalten kann mit Hilfe des PHIL-Systems durch eine Variation der gestellten Netzspannungsamplitude überprüft werden.

In der VDE-Anwendungsregel wird bei der dynamischen Netzstützung zwischen zwei Typen von Erzeugungseinheiten unterschieden, wobei Netzumrichter zum Typ 2 zählen. Diese müssen innerhalb des in Abbildung 6.8 grau markierten Spannungsbereichs stabil arbeiten und dürfen sich nicht vom Netz trennen [139: S. 37]. Der stabile Betrieb muss sowohl für 1-, 2- und 3-polige Netzfehler garantiert werden.

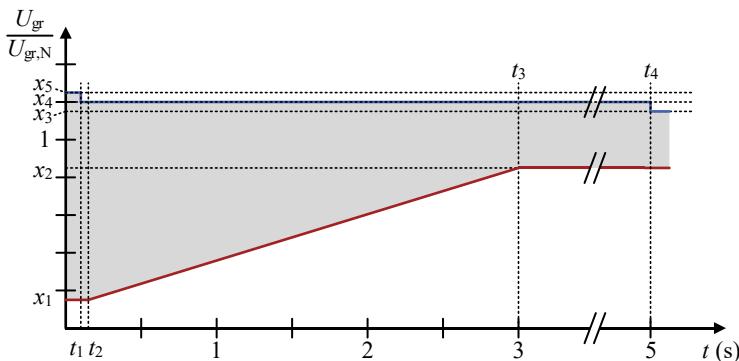


Abbildung 6.8: FRT-Kurve für Erzeugungseinheit von Typ 2, rot: Unterspannungsgrenzkurve, blau: Überspannungsgrenzkurve

Für die in der Norm gegebenen Grenzkurven der Unter- und Überspannung, in Abbildung 6.8 rot und blau dargestellt, gelten für die normierten Spannungswerte x_1 bis x_5 und für die Zeitwerte t_1 bis t_4 die folgenden Werte:

Tabelle 6.1: Zeitwerte und normierte Spannungswerte für die Unterspannung- sowie Überspannungs-Grenzkurve

Zeiten (s)		Normierte Spannungswerte ($U_{gr}/U_{gr,N}$)	
t_1	0,1	x_1	0,15
t_2	0,15	x_2	0,85
t_3	3	x_3	1,15
t_4	5	x_4	1,2
		x_5	1,25

Bei der umgesetzten Implementierung können neben den, durch die Norm vorgegebenen, Werten auch die Spannungs- und Zeitwerte über die HMI beliebig definiert werden [S6]. Dadurch können verschiedene Ausprägungen der Netzfehler nachgestellt werden. Der entsprechende Ablauf für die Generierung der Spannungssollwerte ist in Abbildung 6.9 dargestellt. Im FRT-Generator werden zu Beginn die Fehlerart ausgewählt sowie die normierten Spannungs- und Zeitwerte festgelegt. Der FRT-Generator ist so umgesetzt, dass er sämtliche Fehlerarten im Stromnetz nachbilden kann. Diese können entsprechend Tabelle 6.2 neben Unter- und Überspannungsszenarien auch Erdschlüsse, Kurzschlüsse und Unterbrechungen sein. Dabei ist der am häufigsten auftretende Fehler der einpolige Erdschluss [145: S. 99].

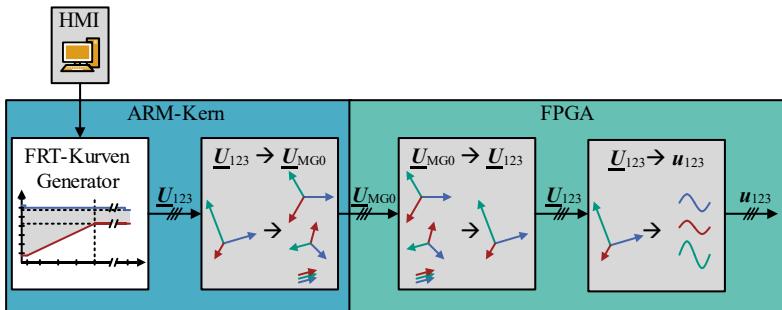


Abbildung 6.9: Sollwertgenerierung für die verschiedenen Netzfehlerfälle

Tabelle 6.2: Auflistung der Fehlerarten im Stromnetz

Fehlerart	Anzahl der Pole	Fehlerort (von – nach)
Erdschluss	1	1-PE od. 2-PE od. 3-PE
Erdschluss	2	1-2-PE od. 1-3-PE od. 2-3-PE
Erdschluss	3	1-2-3-PE
Unterbrechung	1	1 od. 2 od. 3
Unterbrechung	2	1+2 od. 1+3 od. 2+3
Unterbrechung	3	1+2+3
Kurzschluss	2	1-2 od. 1-3 od. 2-3

Der FRT-Generator liefert die komplexen Spannungsraumzeiger für die drei Phasen \underline{U}_{123} entsprechend der Gleichung (6.32). Dabei sind der Effektivwert U_{x0} und der Winkel φ_x zeitlich veränderliche Größen deren Verlauf vom ausgewählten Netzfehlerfall abhängt. Aus den komplexen Spannungsraumzeigern werden anschließend die entsprechenden symmetrischen Komponenten \underline{U}_{MG0} nach Gleichung (6.33) berechnet und vom ARM-Kern zum FPGA übertragen. Auf dem FPGA erfolgt zunächst die Umrechnung der übertragenen symmetrischen Komponenten zurück in die drei komplexen Raumzeiger \underline{U}_{123} (siehe Gleichung (6.34)). Zuletzt erfolgt die Berechnung der Zeitwerte \mathbf{u}_{123} für die drei Phasen nach Gleichung (6.35), die als Sollwerte für den SHCHB-Umrüter dienen. Dabei ist \underline{U}_{123}^* der konjugierte, komplexe Raumzeiger von \underline{U}_{123} und ω_{gr} die Kreisfrequenz des emulierten Netzes.

$$\underline{U}_{123}(t) = \begin{bmatrix} \underline{U}_{10}(t) \\ \underline{U}_{20}(t) \\ \underline{U}_{30}(t) \end{bmatrix} = \begin{bmatrix} \sqrt{2} \cdot U_{10}(t) \cdot e^{j\varphi_1(t)} \\ \sqrt{2} \cdot U_{20}(t) \cdot e^{j\varphi_2(t)} \\ \sqrt{2} \cdot U_{30}(t) \cdot e^{j\varphi_3(t)} \end{bmatrix} \quad (6.32)$$

$$\underline{U}_{MGO}(t) = \frac{1}{3} \begin{bmatrix} 1 & \underline{a} & \underline{a}^2 \\ 1 & \underline{a}^2 & \underline{a} \\ 1 & 1 & 1 \end{bmatrix} \cdot \underline{U}_{123}(t) \quad (6.33)$$

$$\underline{U}_{123}(t) = \begin{bmatrix} 1 & 1 & 1 \\ \underline{a}^2 & \underline{a} & 1 \\ \underline{a} & \underline{a}^2 & 1 \end{bmatrix} \cdot \underline{U}_{MGO}(t) \quad (6.34)$$

$$\underline{u}_{123}(t) = \frac{1}{2} \cdot \operatorname{Re} \left\{ \underline{U}_{123}(t) \cdot e^{j\omega_{gr}t} + \underline{U}_{123}^*(t) \cdot e^{-j\omega_{gr}t} \right\} \quad (6.35)$$

$$\underline{a} = e^{j\frac{2\pi}{3}} \quad (6.36)$$

Die Übertragung erfolgt mit Hilfe der symmetrischen Komponenten, da diese später auch bei der Vermessung des frequenzabhängigen Verhaltens des DUTs benötigt werden (siehe Kapitel 6.3). Des Weiteren lassen sich mit den symmetrischen Komponenten sämtliche Fehlerfälle, auch unsymmetrische, einfach beschreiben.

Falls das PHIL-System einen nahen Erdschluss nachbilden soll, wird der relative Spannungswert x_1 des FRT-Kurvengenerators für die entsprechende Phase auf 0 V gesetzt. Um Kurzschlüsse zwischen zwei Phasen nachzubilden, müssen die Spannungsraumzeiger der beteiligten Phasen gedreht werden. Für einen Kurzschluss zwischen Phase 1 und 2 gelten beispielsweise folgende Beziehungen für die Spannungsraumzeiger:

$$\underline{U}_{10,KS,1-2}(t) = \underline{U}_{10}(t) \cdot e^{-j60^\circ} \quad (6.37)$$

$$\underline{U}_{20,KS,1-2}(t) = \underline{U}_{20}(t) \cdot e^{j60^\circ} \quad (6.38)$$

$$\underline{U}_{30,KS,1-2}(t) = \underline{U}_{30}(t) \quad (6.39)$$

Ein Beispielhafter Spannungsverlauf für ein 2-poliges Unterspannungsszenario der Phasen 2 und 3 mit den durch die Norm vorgegebenen Werten

(vgl. Abbildung 6.8 rote Linie) ist in Abbildung 6.10 dargestellt. Die beiden Spannungen der Phasen 2 und 3 folgen den geforderten, umhüllenden Spannungskurven. Die Spannung der Phase 1 erfährt entsprechend dem ausgewählten Szenario keine Veränderung.

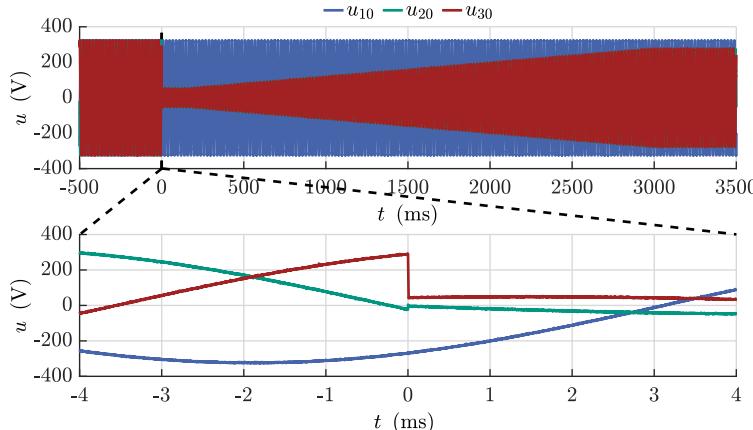


Abbildung 6.10: Zeitverlauf eines Unterspannungsszenarios der Phasen 2 und 3 auf 15 % der Nennspannung

Neben dem Unterspannungsszenario ist in Abbildung 6.11 zusätzlich ein Phasenkurzschluss der Phasen 1 und 2 gezeigt. Es ist zu erkennen, dass sich die beiden Spannungen aufgrund des Kurzschlusses angleichen. Dieser Angleichungsprozess sollte dabei möglichst schnell erfolgen, da der Kurzschluss in der Realität schlagartig auftritt.

Aufgrund der hohen Dynamik des PHIL-Systems kann ein sehr schneller Angleichungsprozess erreicht werden und der neue Sollwert stellt sich innerhalb von 2 μ s ein, wie in Abbildung 6.11 erkennbar ist.

Das PHIL-System ist in der Lage, sämtliche in der Tabelle 6.2 aufgelisteten Spannungsfehlerarten nachzubilden. Dadurch kann das Verhalten des DUTs in diesen Fehlerfällen analysiert und mögliche Probleme können behoben werden. Dies trägt zu einer höheren Zuverlässigkeit des DUTs in der späteren Anwendung bei.

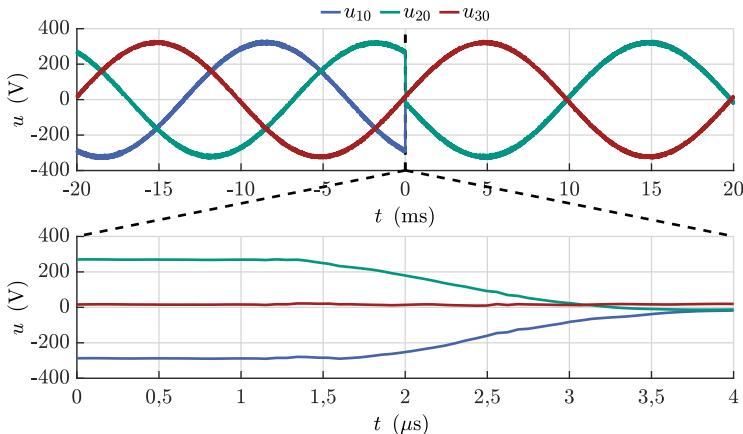


Abbildung 6.11: Zeitverlauf eines Phasenkurzschlusses zwischen Phase 1 und Phase 2

6.2.2 Harmonisch verzerrtes Netz und Frequenzfehler

Neben Spannungsfehlern treten im Stromnetz ebenfalls Verzerrungen der Netzspannung auf. Um diese Verzerrungen nachzubilden, werden zwei Möglichkeiten in der Software des PHIL-Systems vorgesehen. Zum einen können Spannungsharmonische auf eine sinusförmige Netzspannung aufmoduliert werden, wie in Abbildung 3.21 zu sehen ist. Zum anderen kann eine Look-Up-Tabelle abgespeichert werden, die den Spannungsverlauf oder die Verzerrung vorgibt, die zum idealen Sinus hinzugefügt wird.

Zusätzlich zur Möglichkeit Verzerrungen des Stromnetzes nachzubilden, kann mit dem PHIL-System ebenfalls ein Frequenzfehler nachgestellt werden. In der zuständigen VDE-Anwendungsrichtlinie VDE-AR-N 4105 wird zwischen einem dynamischen Kurzzeitbereich und einem quasistationären Frequenzfehler unterschieden [139: S. 40ff]. Bei der quasistationären Betrachtung muss die Erzeugereinheit seine abgegebene Wirkleistung entsprechend einer gegebenen Statik (Leistungsfrequenzkennlinie) bei einer Unterfrequenz erhöhen bzw. bei einer Überfrequenz reduzieren. Für den dynamischen Kurzzeitbereich wird die in Abbildung 6.12 gezeigte Grenzkurve angegeben. Über der Grenzkurve muss die Erzeugereinheit die geforderte Wirkleistung bereitstellen. Unterhalb der Kurve ist eine Reduktion der abgegebenen Wirkleistung um 10 % pro Hertz

möglich. Um das Verhalten des DUTs bei einer solchen Frequenzvariation zu überprüfen, wird der Verlauf der Netzfrequenz f_{gr} auf dem ARM-Kern des SoC-Systems definiert und die aktuelle Frequenz wird an den FPGA übermittelt.

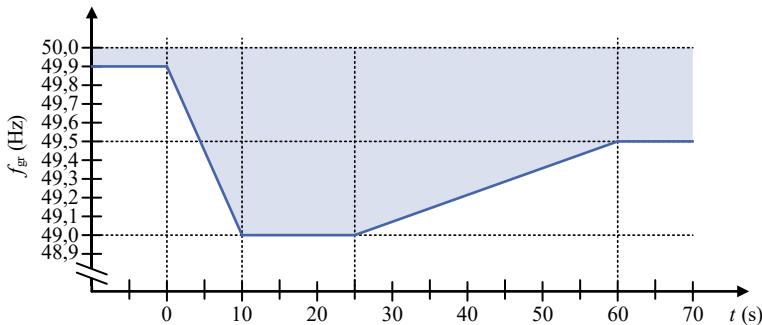


Abbildung 6.12: Grenzkurve der Variation der Netzfrequenz, oberhalb derer die volle Abgabeleistung bereitgestellt werden muss (blau schraffierter Bereich)

6.3 Vermessung des frequenzabhängigen Verhaltens

Nachfolgend wird das in Kapitel 5.2 vorgestellte Messverfahren zur Vermessung des frequenzabhängigen Verhaltens validiert. Hierzu wird das Messverfahren zunächst an einer passiven Last angewendet, um die Funktionalität und Genauigkeit der Messroutine zu evaluieren. Anschließend erfolgt die Vermessung des in Kapitel 3.5 vorgestellten DUT-Umrichters mit LCL-Netzfilter.

6.3.1 Vermessung eines passiven DUTs

Um die Messmethodik zu evaluieren, wird zu Beginn eine passive RL-Last vermessen. Dabei wird ein 10 kW-Widerstand mit einem DC-Widerstandswert von $14,64 \Omega$ verwendet. Als Induktivität wird das L-Netzfilter des DUT-Umrichters nach Kapitel 3.5 mit 1 mH verwendet und zum Widerstand in Serie geschaltet. Bei der Vermessung wird, wie bei der Vermessung von Netztumrichtern, ein dreiphasiges 400 V AC-System mit einer Frequenz von 50 Hz erzeugt und darauf ein sinusförmiges Testsignal mit einer Amplitude von 10 V aufmoduliert. Der Frequenzdurchlauf des sinusförmigen Testsignals startet bei 12,5 Hz und endet bei 100 kHz. Durch das 400 V AC-System entsteht ein Grundschwingungsstrom von 15,7 A. In Abbildung 6.13 sind die drei Ausgangsspannungen des PHIL-Systems U_{x0} über der Frequenz dargestellt. Dabei wird pro Frequenzmesspunkt von den drei Messungen mit unterschiedlichem Phasenversatz (vgl. Kapitel 5.2) die Messung mit 0° Phasenversatz betrachtet.

Bei der Netzfrequenz von 50 Hz werden das Grundschwingungs- und das Testsignal addiert, weshalb sich eine Summenspannung von 335 V einstellt. Bei allen anderen Frequenzen wird jeweils nur das Testsignal von 10 V wirksam. Bis zu einer Frequenz von 10 kHz ist das PHIL-System in der Lage die gewünschte Amplitude und die Phasenlage der harmonischen Spannung auf 0,13 V und $1,2^\circ$ genau einzustellen. Ab 10 kHz nimmt der Fehler zu und beträgt bei 100 kHz 1,3 V bzw. 18° . Der Grund für den Fehler liegt in der Bandbreite des LPAs von 398 kHz und der damit verbundenen Dämpfung sowie Phasendrehung der Ausgangsspannung bei 100 kHz (siehe Abbildung 3.12). Der Fehler könnte durch die Berücksichtigung des Amplituden- und Phasenverlaufs korrigiert werden. Die Zunahme des Fehlers wirkt sich jedoch bei der Vermessung der harmonischen Impedanz nicht aus, da sowohl die Spannungen als auch die Ströme gemessen werden. Dadurch wird der Fehler im

Auswerteskript berücksichtigt und kompensiert. Aus diesem Grund wird auf eine Korrektur des Amplituden- bzw. Phasenfehlers verzichtet.

In Abbildung 6.14 ist der aus der Messung resultierende Impedanzverlauf dargestellt. Dabei entspricht der Impedanzverlauf $Z_{RL(PHIL),mean}$ dem Verlauf des Mittelwerts aus den drei Messungen pro Frequenzmesspunkt. Zusätzlich zu $Z_{RL(PHIL),mean}$ wird ebenfalls der anhand der Datenblattwerte berechnete Verlauf $Z_{RL(theor)}$ und ein mit Hilfe des Netzwerkanalysators *Bode100* von *OMICRON* gemessener Verlauf $Z_{RL(Bode100)}$ gezeigt.

Der theoretisch berechnete Verlauf $Z_{RL(theor)}$ weicht dabei stark von den Messergebnissen $Z_{RL(PHIL),mean}$ und $Z_{RL(Bode100)}$ ab. Dies liegt an der Tatsache, dass die parasitären Bauteileigenschaften für den berechneten Verlauf nicht berücksichtigt werden. Da es sich bei der Induktivität um eine geblechtes Netzdrössel handelt, werden die Kernverluste mit zunehmender Frequenz sehr groß. Dies hat zur Folge, dass ein ohmsch wirkender Parallelpfad zur Induktivität entsteht, wodurch die Zunahme der Impedanz über der Frequenz geringer ausfällt. Des Weiteren wird die Phasendrehung durch den ohmschen Anteil reduziert.

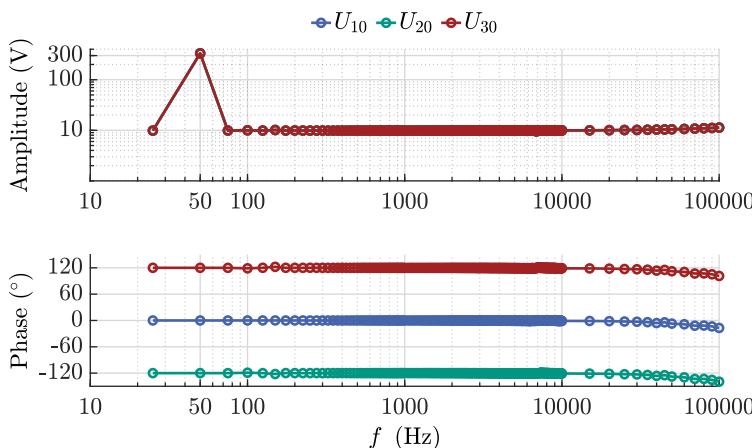


Abbildung 6.13: Amplitude und Phase der sinusförmigen Testsignale für die 3-phasige Ausgangsspannung des SHCHB-Umrichters

Die ermittelten Messergebnisse des Netzwerkanalysators *Bode100* und des entwickelten PHIL-Systems weisen jedoch eine hohe Übereinstimmung auf. In Abbildung 6.15 ist der Unterschied der beiden Messungen dargestellt. Der Betragfehler wird relativ zum ermittelten Impedanzwert des PHIL-Systems

betrachtet und ist für den gesamten Messbereich kleiner als 2 %. Der entsprechende Winkelfehler ist kleiner als 3 °. Somit können die gewonnenen Messergebnisse des PHIL-Systems anhand der Messergebnisse des *Bode100* validiert werden.

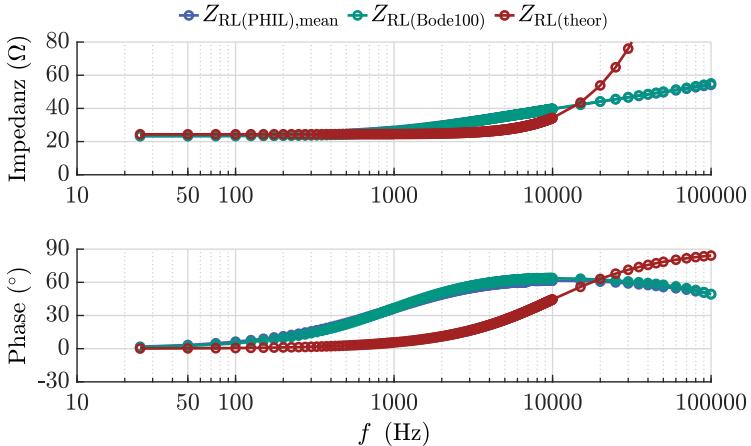


Abbildung 6.14: Gemessener Impedanzverlauf mit Hilfe des PHIL-Systems (blau) und des *Bode100* (grün) sowie der theoretisch berechnete Impedanzverlauf (rot)

Ein wichtiges Maß für die Güte einer Messung ist neben dem Mittelwert, der für den Vergleich mit dem *Bode100* verwendet wird, die Reproduzierbarkeit der Messung. Ein Maß für die Reproduzierbarkeit der Messung ist die mittlere absolute Abweichung vom arithmetischen Mittel (eng.: Mean Absolute Deviation, MAD). Nachfolgend wird die relative mittlere absolute Abweichung $MAD_{rel,k}$ betrachtet, die auf den Mittelwert der ermittelten Impedanz $Z_{RL(PHIL),mean}$ bezogen wird. Für einen Frequenzmesspunkt k mit der Frequenz f_k gilt:

$$MAD_{rel,k} = \frac{\frac{1}{N_k} \sum_{i=1}^{N_k} |Z_{RL,(PHIL),i,k} - Z_{RL,(PHIL),mean,k}|}{Z_{RL,(PHIL),mean,k}} \quad (6.40)$$

N_k entspricht der Anzahl von Messungen pro Frequenzmesspunkt und beträgt die ermittelten Messreihen $N_k = 3$. In Abbildung 6.16 sind die $MAD_{rel,k}$ sowie die mittlere absolute Abweichung des entsprechenden Winkels dargestellt.

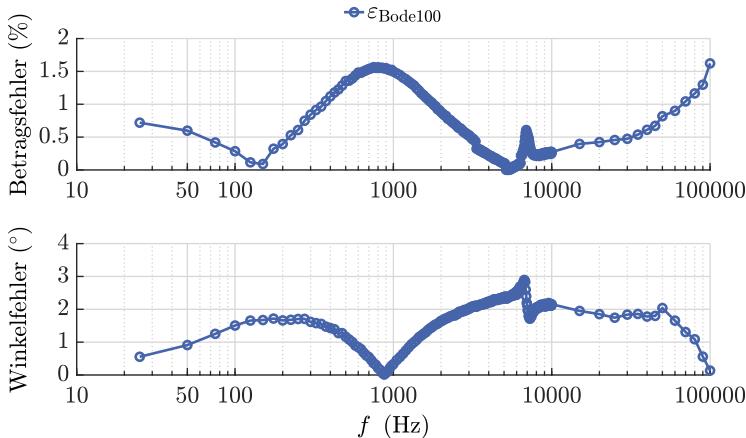


Abbildung 6.15: Abweichung zwischen den gemessenen Impedanzverläufen mit Hilfe des *Bode100* und des *PHIL*-Systems

Die $MAD_{rel,k}$ liegt für fast alle Frequenzen unter 0,05 % wodurch eine sehr hohe Reproduzierbarkeit gegeben ist. Lediglich bei drei Frequenzmesspunkten (50 Hz, 50 kHz und 100 kHz) existiert eine etwas höhere mittlere Abweichung. Bei 50 Hz beträgt die $MAD_{rel,k}$ 0,24 %. Dies lässt sich durch die Überlagerung mit dem Grundschwingungssignal von 400 V erklären. Die größeren Werte bei 50 kHz und 100 kHz (0,26 % und 0,36 %) entstehen durch Störungen, die in den AFEs des *PHIL*-Systems begründet sind (vgl. Kapitel 3.4), da diese eine Schaltfrequenz von 50 kHz aufweisen. Die relative mittlere absolute Abweichung ist aber selbst bei diesen drei Frequenzen sehr klein.

Der Winkelfehler zeigt ein ähnliches Verhalten wie der MAD -Wert. Für alle Frequenzen, mit Ausnahme von 50 Hz, 50 kHz und 100 kHz, liegt der Winkelfehler unter 0,09 °. Bei den drei Frequenzen beträgt der Fehler 0,39 °, 0,84 ° und 1,34 °.

Somit konnte durch die Vermessung der passiven Last eine hohe Genauigkeit sowie eine sehr hohe Reproduzierbarkeit der Messergebnisse unter Verwendung des entwickelten *PHIL*-Systems nachgewiesen werden.

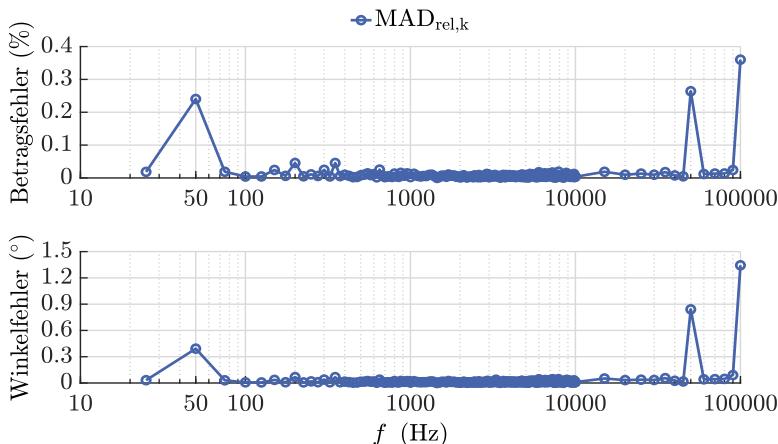


Abbildung 6.16: Relative mittlere absolute Abweichung vom arithmetischen Mittelwert zwischen den drei Messungen ermittelt mit dem PHL-System

6.3.2 Vermessung eines 2L-Umrichters mit LCL-Netzfilter

Neben den Vermessungen von passiven Prüflingen wird das Messverfahren auch verwendet, um das frequenzabhängige Verhalten von Umrichtern zu bestimmen. In Kombination mit dem frequenzabhängigen Verhalten des NAPs kann das gemessene frequenzabhängige Verhalten des Umrichters verwendet werden, um eine impedanzbasierte Stabilitätsanalyse durchzuführen. Entsprechend Kapitel 5 besteht ein Vorteil der impedanzbasierten Stabilitätsbetrachtung darin, dass der Einfluss einer Variation der verwendeten Regler direkt im Impedanzverlauf erkennbar ist. Aus diesem Grund wird nachfolgend der Einfluss der Regelparameter für den in Kapitel 3.5 beschriebenen DUT-Umrichter aufgezeigt. Dabei wird der Einfluss des Proportionalanteils $k_{p,I}$ des Stromreglers, die Auswirkung einer Vorsteuerung der Netzspannung sowie die Auswirkung einer harmonischen Kompensation der 7., 9., 11. und 13. Harmonischen betrachtet.

In Abbildung 6.17 ist der Impedanzverlauf des DUT-Umrichters im Mitsystem für verschiedene Proportionalanteile $k_{p,I}$ des Stromreglers G_{CI}^{dq} (vgl. Kapitel 5.3) dargestellt. Für die Vermessung wird ein sinusförmiges Testsignal mit einer Amplitude von 1 % der Grundschwingung des 400 V AC-Systems verwendet.

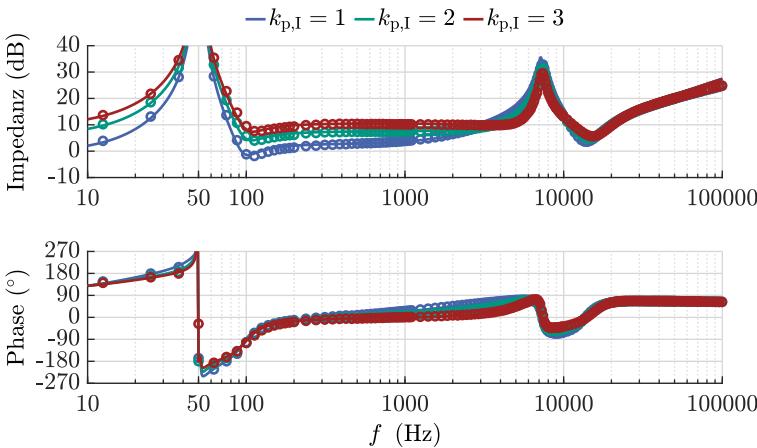


Abbildung 6.17: Impedanzverläufe des DUT-Umrichters mit verschiedenen Proportionalanteilen $k_{p,I}$ des Stromreglers

Die durchgezogenen Linien stellen die, mit Hilfe des in Kapitel 5.3 hergeleiteten Modells, gewonnenen Impedanzverläufe dar. Die einzelnen Frequenzmesspunkte werden durch Kreise gekennzeichnet. Es zeigt sich eine sehr hohe Übereinstimmung zwischen den Impedanzverläufen der Messungen und dem Modell. Somit konnte das entwickelte Modell erfolgreich anhand der Messwerte validiert werden.

Unter Berücksichtigung der Gleichung (5.1) ist das Gesamtsystem, bestehend aus DUT-Umrichter und Netz, für größere Impedanzen des DUT-Umrichters stabiler. Somit kann entsprechend Abbildung 6.17 geschlussfolgert werden, dass eine höhere Stabilität des Gesamtsystems mit zunehmendem Proportionalanteil des Stromreglers $k_{p,I}$ erreicht wird. Die Erhöhung ist jedoch durch die intrinsische Stabilität des DUT-Umrichters begrenzt, da die Regelung des DUT-Umrichters für einen zu hohen Proportionalanteil instabil wird.

Abbildung 6.18 zeigt den Einfluss der Vorsteuerung der Netzspannung. Es ist erneut eine hohe Übereinstimmung zwischen den Messwerten und den anhand des Modells gewonnenen Werten sichtbar. Lediglich für Frequenzen kleiner 100 Hz treten größere Abweichungen auf. Dies liegt an der durch die Vorsteuerung ($k_{FF} = 1$) sehr hohen Impedanz in diesem Frequenzbereich. Dadurch sind die Ströme, die durch die Anregung des sinusförmigen Testsignals entstehen, sehr gering und können nicht mehr mit ausreichender Messgenauigkeit ermittelt werden.

Für die impedanzbasierte Stabilitätsanalyse sind insbesondere die Frequenzbereiche mit niedrigen Impedanzwerten des DUT-Umrichters von Bedeutung. Diese niedrigen Impedanzwerte können in Kombination mit der Charakteristik des NAPs zu instabilem Verhalten führen (vgl. Gleichung (5.1)). Aus diesem Grund werden die Abweichungen im Bereich hoher Impedanz als weniger relevant erachtet.

Die durch die Vorsteuerung ($k_{FF} = 1$) deutlich höhere Impedanz des Umrichters führt grundsätzlich zu einer Stabilisierung des Gesamtsystems. Es muss jedoch berücksichtigt werden, dass die Phasendrehung ebenfalls deutlich erhöht wird, was je nach Impedanz des Netzes destabilisierend wirken kann.

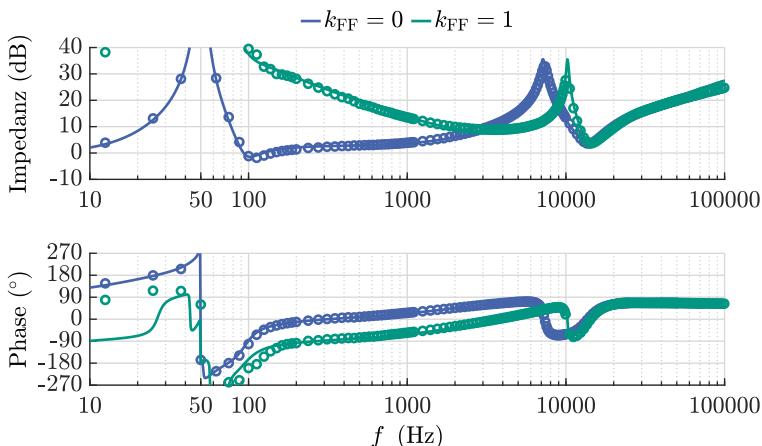


Abbildung 6.18: Vergleich des Impedanzverlaufs im Mitsystem mit Vorsteuerung ($k_{FF} = 1$) und ohne Vorsteuerung ($k_{FF} = 0$)

Bei der letzten Betrachtung wird der Einfluss der harmonischen Kompensation betrachtet. Diese wird verwendet, um gezielt einzelne Harmonische im Netzstrom zu unterdrücken. Bei der entwickelten harmonischen Kompensation sollen die 7., 9., 11. und 13. Harmonische unterdrückt werden.

Die in Abbildung 6.19 dargestellten gemessenen Impedanzverläufe veranschaulichen den Einfluss der harmonischen Kompensation. Durch Aktivieren der harmonischen Kompensation wird die Impedanz des Umrichters für die entsprechenden Frequenzen (250 Hz, 350 Hz, 550 Hz und 650 Hz) deutlich vergrößert. Dies hat zur Folge, dass bei diesen Frequenzen durch die Harmonischen der Netzzspannung ein geringerer Strom erzeugt wird, wodurch die gewünschte Funktion der harmonischen Kompensation erfüllt wird.

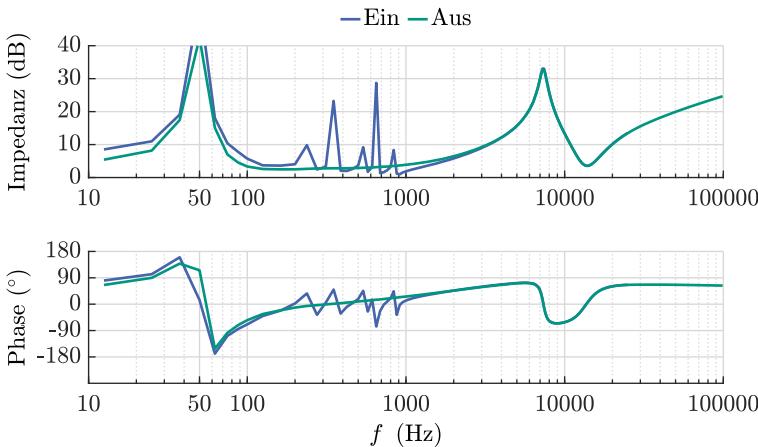


Abbildung 6.19: Vergleich des Impedanzverlaufs im Mitsystem mit (blau) und ohne (grün) harmonische Kompensation

Fazit

Mit dem entwickelten Messverfahren in Kombination mit dem entwickelten PHIL-System kann entsprechend dem Vergleich mit dem *Bode100* eine genaue Messung erzielt werden. Des Weiteren wird eine hohe Reproduzierbarkeit der Messung erreicht. Es konnte ebenfalls gezeigt werden, dass mit dem Verfahren auch aktive Prüflinge, wie beispielsweise Netzumrichter, vermessen werden können. Zusätzlich konnte der Einfluss der verschiedenen Regelparameter auf den Impedanzverlauf des DUTs nachgewiesen werden.

In Kombination mit dem Impedanzverlauf des NAPs kann somit eine Aussage über die Stabilität des Umrichters am späteren Einsatzort getroffen werden und bei Bedarf eine Adaption der Regelung vorgenommen werden, um einen stabilen Betrieb zu gewährleisten.

7

Zusammenfassung

Durch die wachsende Anzahl an Umrichtern im Stromnetz nimmt auch die Bedeutung deren gegenseitiger Wechselwirkung deutlich zu. So können beispielsweise instabiles Verhalten und Oszillationen nicht nur in Fehlerfällen wie Spannungseinbrüchen, sondern auch im regulären, stationären Betrieb beobachtet werden. Um die hohe Verfügbarkeit des Stromnetzes weiter aufrecht zu erhalten, ist es daher außerordentlich bedeutsam, das Verhalten von leistungselektronischen Systemen im gesamten Betriebsbereich und in Fehler-situationen im Vorfeld zu kennen. Nur dadurch ist es möglich, frühzeitig Probleme zu identifizieren und bei Bedarf Anpassungen vorzunehmen. Für die messtechnische Analyse der leistungselektronischen Systeme wird ein spezielles Power-Hardware-in-the-Loop-System benötigt, das in der Lage ist, verschiedene Netzsituationen nachzubilden und gleichzeitig die Charakteristik des zu analysierenden leistungselektronischen Systems zu erfassen.

In dieser Arbeit werden zunächst die Vor- und Nachteile der bekannten Topologien für ein solches PHIL-System erläutert und ihre Eignung für die Analyse der Charakteristik von Netztumrichtern wird dargelegt. Auf Grundlage dieser Diskussion wird ein Konzept für ein PHIL-System entwickelt, das auf einem Serien-Hybrid-Umrichter basiert. Es handelt sich dabei um den sogenannten Series-Hybrid-Cascaded-H-Bridge (SHCHB) Umrichter.

Basierend auf dem entwickelten Konzept wird eine umfassende Schaltungs-analyse aller Leistungselektronikkomponenten durchgeführt. Dazu gehören die schaltenden, kaskadierten H-Brücke-Zellen mit resonanter, galvanisch ge-trennter Einspeisung, sowie die Linearverstärker und die Spannungssteilheits-filter. Aufgrund der gegebenen Anforderungen ist im Rahmen dieser Arbeit

ein neuartiges Konzept für Linearverstärker entwickelt und dessen Vorteile im Vergleich zu bisherigen Konzepten herausgearbeitet worden. Parallel zum Schaltungskonzept wird ein Signalverarbeitungskonzept entwickelt, welches eine möglichst geringe Latenz ermöglicht. Dies ist speziell für den Betrieb einer closed-loop-Emulation mit dem PHIL-System entscheidend.

Ausgehend von diesen theoretischen Vorarbeiten wird ein 3-phasiger Prototyp des PHIL-Systems mit 12 kaskadierten H-Brücken-Zellen und einem Linearverstärker pro Phase mit einer Ausgangsleistung von 50 kVA ausgelegt und aufgebaut. Die Leistungsfähigkeit dieses Prototyps wird sowohl im quasistationären als auch im dynamischen Fall durch Messungen dargelegt. Das entwickelte System zeichnet sich durch eine hohe Dynamik aus, mit einer Spannungsflankensteilheit von $175 \text{ V}/\mu\text{s}$, einer Totzeit von lediglich 460 ns und einer Kleinsignalbandbreite von 398 kHz. Gleichzeitig weist es einen geringen Oberwellengehalt mit einem THD-Wert von nur 0,22 % auf.

Nach der Charakterisierung des entwickelten PHIL-Systems erfolgt die Implementierung der drei Hauptanwendungen, gefolgt von der Beurteilung der erzielten Ergebnisse. Die drei Hauptanwendungen umfassen:

- Closed-loop-Emulation von Netzanschlusspunkten
- Nachbildung von Netzfehlern
- Charakterisierung der frequenzabhängigen Charakteristik von Netzumrichtern und anderen Netzteilnehmern

Um eine möglichst kleine Reaktionszeit zu gewährleisten, wird die closed-loop-Emulation des Netzanschlusspunktes auf dem FPGA des Signalverarbeitungssystem implementiert. Um die Leistungsfähigkeit der Emulation zu analysieren, wird eine Niederspannungsfreileitung emuliert. Dieses Szenario stellt aufgrund seiner hohen Dynamik die größte Herausforderung für die Leistungselektronik und die Signalverarbeitung des PHIL-Systems dar.

Des Weiteren wird ein Fehlergenerator entwickelt, mit dessen Hilfe sämtliche Netzfehlerfälle gemäß der VDE-Anwendungsregel VDE-AR-N 4105 generiert werden können. Die Fehler umfassen unter anderem Spannungseinbrüche, Erdschlüsse, Phasenkurzschlüsse und Frequenzfehler. Zusätzlich zu diesen Fehlerfällen wird der Fehlergenerator auch verwendet, um harmonisch verzerrte Netze nachzubilden.

Neben der Analyse von Netzfehlerfällen und schwachen Netzanschlusspunkten, die durch die closed-loop-Emulation nachgebildet werden, ist es ebenso

wichtig, die Charakteristik von leistungselektronischen Systemen im quasistationären Zustand zu kennen. Hierzu wird eine Messroutine entwickelt, die mit sinusförmigen Testsignalen in der Lage ist sowohl Netzumrichter als auch passive Netzteilnehmer zu analysieren. Dabei wird die spezielle Eigenschaft des Serien-Hybrid-Umrichters genutzt, dass der Linearverstärker direkt einen Teil der Ausgangsspannung erzeugt. Dadurch kann die hohe Bandbreite des Linearverstärkers für die Generierung des sinusförmigen Testsignals verwendet werden.

Das entwickelte PHIL-System mit dem SHCHB-Umrichter dient folglich als Prüfsystem, das eine ganzheitliche Analyse von Netzumrichtern sowie anderen Netzteilnehmern im 3-phasigen AC-System ermöglicht. Diese Arbeit trägt somit dazu bei, ein besseres Verständnis von Netzteilnehmern zu erlangen und somit die hohe Verfügbarkeit von elektrischer Energie, auch in umrichterdominierten Inselnetzen, sicherzustellen.

Ausblick

Ausgehend von der vorliegenden Arbeit soll das entwickelte Prüfsystem zukünftig verwendet werden, um die Auswirkung verschiedener Regelverfahren sowie Filtertopologien auf die Stabilität von umrichtergespeisten AC-Netzen zu analysieren. Dabei soll die Güte der closed-loop-Emulation durch die Reduktion der Reaktionszeit noch weiter verbessert werden. Dies kann durch eine schnellere Messwerterfassung erreicht werden.

Um neben den Betriebsmitteln auch den Netzanschlusspunkt eines Netzes analysieren zu können und somit eine systemische Betrachtung eines AC-Systems zu ermöglichen, soll das entwickelte System so erweitert werden, dass ein sinusförmiges Stromsignal generiert werden kann. Mit Hilfe des Stromsignals kann anschließend die Spannungsantwort des Netzanschlusspunkts bestimmt werden.

Zudem ist geplant, das System als spannungsformenden Umrichter in ein umrichtergespeistes Inselnetz zu integrieren, um potenzielle Betriebsstrategien des Inselnetzes zu analysieren und zu optimieren.

Aufgrund der vorliegenden Topologie ist es möglich, das System auch für die Analyse von DC-Netzen sowie von DC-Betriebsmitteln, wie beispielsweise Batterien, zu verwenden. Hierzu soll die entwickelte Softwarearchitektur erweitert werden, um die harmonische Impedanz von DC-Betriebsmitteln zu bestimmen.

A Anhang

A.1 Herleitung der Kenngrößen der drei Grundschaltungen

Nachfolgend werden die drei wichtigsten Kenngrößen der drei Grundschaltungen ermittelt. Diese sind die Leerlaufspannungsverstärkung A_{V0} , der Eingangswiderstand r_{in} und der Ausgangswiderstand r_a .

A.1.1 Emitterschaltung

Für die Herleitung der Leerlaufspannungsverstärkung A_{V0} werden die beiden Knotenpunkte $K1$ und $K2$ im Kleinsignalersatzschaltbild der Emitterschaltung betrachtet (siehe Abbildung A.1).

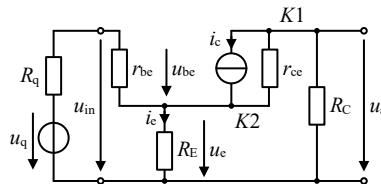


Abbildung A.1: Kleinsignalersatzschaltbild der Emitterschaltung zur Ermittlung der Leerlaufspannungsverstärkung A_{V0}

Knotenpunkt K1:

$$0 = i_C + i_{r_{ce}} + i_{R_c} \quad (\text{A.1})$$

Knotenpunkt K2

$$i_e = i_{r_{be}} + i_c + i_{r_{ce}} \quad (\text{A.2})$$

$$i_c = g_m \cdot u_{be} = g_m(u_{in} - u_e) \quad (\text{A.3})$$

$$i_{r_{ce}} = \frac{u_a - u_e}{r_{ce}} \quad (\text{A.4})$$

$$i_{r_{be}} = \frac{u_{in} - u_e}{r_{be}} \quad (\text{A.5})$$

$$i_{R_c} = \frac{u_a}{R_c} \quad (\text{A.6})$$

Unter Verwendung der Zusammenhänge aus (A.3) bis (A.6) folgt für die Knotengleichung (A.2) der in Gleichung (A.7) dargestellte Zusammenhang. Die Knotengleichung (A.1) wird zur Ermittlung von u_e genutzt und anschließend in (A.2) eingefügt. Hiermit kann die Leerlaufspannungsverstärkung A_{V0} der Emitterschaltung entsprechend Gleichung (A.9) ermittelt werden.

$$\frac{u_e}{R_E} = \frac{u_{in} - u_e}{r_{be}} + g_m(u_{in} - u_e) + \frac{u_a - u_e}{r_{ce}} \quad (\text{A.7})$$

$$u_e = \frac{u_a \left(\frac{1}{R_C} + \frac{1}{r_{ce}} \right) + u_{in} \cdot g_m}{g_m + \frac{1}{r_{ce}}} \quad (\text{A.8})$$

$$A_{V0} = -\frac{g_m \cdot R_C \cdot \left(1 - \frac{R_E}{\beta \cdot r_{ce}} \right)}{1 + R_E \left(g_m \left(1 + \frac{1}{\beta} + \frac{R_C}{\beta \cdot r_{ce}} \right) + \frac{1}{r_{ce}} \right) + \frac{R_C}{r_{ce}}} \quad (\text{A.9})$$

Unter der Annahme, dass $r_{ce} \gg R_C$, R_E und $\beta \gg 1$, kann die Gleichung (A.9) vereinfacht werden zu (A.10). Für den Fall, dass $1 \ll g_m \cdot R_E$ ist, kann der Ausdruck noch weiter vereinfacht werden zur Gleichung (A.11).

$$A_{V0} = -\frac{g_m \cdot R_C}{1 + g_m \cdot R_E} \quad (\text{A.10})$$

$$A_{V0} = -\frac{R_C}{R_E} \quad (\text{A.11})$$

Welcher Ausdruck für die Leerlaufspannungsverstärkung A_{V0} verwendet werden kann, ist abhängig von der in der Anwendung vorhandenen Beschaltung.

Zur Ermittlung des Eingangswiderstands werden die in der Abbildung A.2 a) dargestellten Maschen des Kleinsignalersatzschaltbilds verwendet. $R'_C = R_C \parallel R_L$ ist hierbei der wirksame Kollektotorwiderstand bei einer angeschlossenen Last.

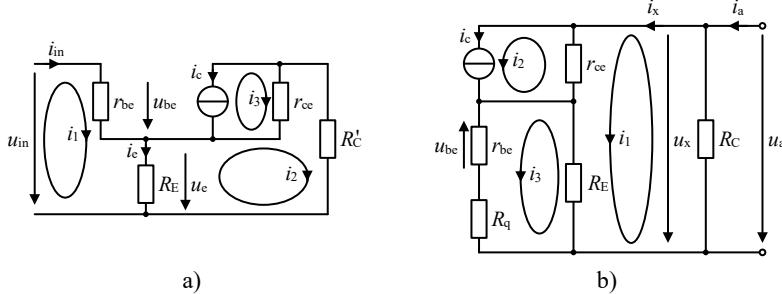


Abbildung A.2: Kleinsignalersatzschaltbild zur Ermittlung von a) dem Eingangswiderstand r_{in} und b) dem Ausgangswiderstand r_a

Aus der Analyse der drei Maschen folgt:

Masche 1:

$$i_{in} = i_1 \quad (A.12)$$

$$u_{in} = i_{in} \cdot r_{be} + (i_{in} - i_2) \cdot R_E \quad (A.13)$$

Masche 2:

$$0 = R_E \cdot (i_2 - i_{in}) + r_{ce} \cdot (i_2 - i_3) + R'_C \cdot i_2 \quad (A.14)$$

Masche 3:

$$i_3 = -i_c = -g_m \cdot u_{be} = -g_m \cdot i_{in} \cdot r_{be} \quad (A.15)$$

Durch Einsetzen der Gleichung (A.15) in die Gleichung (A.14) kann eine Bestimmungsgleichung für i_2 ermittelt werden. Diese wird in die Gleichung (A.13) eingefügt und entsprechend nach dem Eingangswiderstand umgestellt. Der Ausdruck für den Eingangswiderstand r_{in} kann unter der Bedingung, dass $r_{ce} \gg R_E, R'_C$ und $\beta \gg 1$ ist, zur Gleichung (A.17) vereinfacht werden.

$$r_{in} = \frac{u_{in}}{i_{in}} = r_{be} + \frac{(1+\beta) \cdot r_{ce} + R'_C}{R'_C + R_E + r_{ce}} \cdot R_E \quad (A.16)$$

$$r_{in} = \frac{u_{in}}{i_{in}} = r_{be} + \beta \cdot R_E \quad (A.17)$$

Um den Ausgangswiderstand r_a zu ermitteln, werden die in Abbildung A.2 b) gezeigten Maschen analysiert. Hierzu wird zunächst der Kollektorwiderstand R_C vernachlässigt und der Widerstand r_x ermittelt. Der Ausgangswiderstand r_a entspricht der Parallelschaltung von r_x und R_C .

Masche 1:

$$i_x = i_1 \quad (A.18)$$

$$u_x = r_{ce} \cdot (i_x - i_2) + R_E \cdot (i_x - i_3) \quad (A.19)$$

Masche 2:

$$i_2 = i_c = g_m \cdot u_{be} = -i_3 \cdot r_{be} \cdot g_m \quad (A.20)$$

Masche 3:

$$0 = i_3 \cdot (r_{be} + R_q) + R_E \cdot (i_3 - i_x) \quad (A.21)$$

Mit Hilfe der Gleichung (A.21) kann i_3 in Abhängigkeit von i_x ermittelt werden. Dieser Zusammenhang wird in die Gleichung (A.20) eingesetzt, um ebenfalls eine Bestimmungsgleichung für i_2 in Abhängigkeit von i_x zu erhalten. Beide Zusammenhänge werden anschließend in die Gleichung (A.19) eingesetzt, um r_x und anschließend den Ausgangswiderstand r_a zu berechnen. Es gilt:

$$r_x = \frac{u_x}{i_x} = r_{ce} \left(1 + \frac{\beta + \frac{r_{be} + R_q}{r_{ce}}}{1 + \frac{r_{be} + R_q}{R_E}} \right) \quad (A.22)$$

$$r_a = R_C \parallel \left[r_{ce} \left(1 + \frac{\beta + \frac{r_{be} + R_q}{r_{ce}}}{1 + \frac{r_{be} + R_q}{R_E}} \right) \right] \quad (A.23)$$

Dieser Ausdruck kann unabhängig von dem Emitter- bzw. Kollektorwiderstand vereinfacht werden, falls $r_{ce} \gg r_{be} + R_q$ und $\beta \gg 1$ ist.

$$r_a = R_C \parallel \left[r_{ce} \left(1 + \frac{\beta \cdot R_E}{R_E + r_{be} + R_Q} \right) \right] \quad (\text{A.24})$$

Eine weitere Vereinfachung ist möglich, falls der Kollektorwiderstand R_C kleiner als der Kollektor-Emitter-Widerstand r_{ce} des Transistors ist.

$$r_a = R_C \quad (\text{A.25})$$

A.1.2 Kollektorschaltung

Zur Ermittlung der Leerlaufspannungsverstärkung A_{V0} der Kollektorschaltung muss der Knotenpunkt $K1$ aus Abbildung A.3 a) betrachtet werden. Dabei werden die beiden Widerstände R_E und r_{ce} zusammengefasst zu $R'_E = R_E \parallel r_{ce}$.

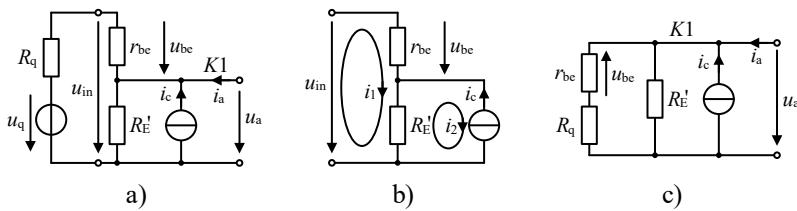


Abbildung A.3: Kleinsignalersatzschaltbild zur Ermittlung von a) der Leerlaufspannungsverstärkung A_{V0} , b) dem Eingangswiderstand r_{in} und c) dem Ausgangswiderstand r_a

Knotenpunkt $K1$:

$$\frac{u_a}{R'_E} = g_m \cdot u_{be} + \frac{u_{be}}{r_{be}} = g_m \cdot (u_{in} - u_a) + \frac{u_{in} - u_a}{r_{be}} \quad (\text{A.26})$$

$$A_{V0} = \frac{u_a}{u_{in}} = \frac{R'_E}{\frac{r_{be}}{\beta+1} + R'_E \left(\frac{1}{\beta+1} + \frac{\beta}{\beta+1} \right)} \quad (\text{A.27})$$

Dieser Ausdruck kann unabhängig von der Beschaltung vereinfacht werden, falls $\beta \gg 1$ ist.

$$A_{V0} = \frac{u_a}{u_{in}} = \frac{R'_E}{\frac{1}{g_m} + R'_E} \quad (\text{A.28})$$

Zur Ermittlung des Eingangswiderstands r_{in} werden die beiden Maschen aus Abbildung A.3 b) analysiert. Es gilt:

Masche 1:

$$u_{in} = i_{in} \cdot r_{be} + R'_E \cdot (i_{in} - i_2) \quad (\text{A.29})$$

Masche 2:

$$i_2 = -i_c = -g_m \cdot u_{be} = -g_m \cdot i_{in} \cdot r_{be} \quad (\text{A.30})$$

Durch das Einsetzen der Gleichung (A.30) in die Gleichung (A.29) ergibt sich für den Eingangswiderstand r_{in} die Bestimmungsgleichung (A.31). Diese kann unter der Annahme, dass $g_m \cdot R'_E \gg 1$ ist, in die Gleichung (A.32) überführt werden.

$$r_{in} = r_{be} + (\beta + 1) \cdot R'_E \xrightarrow{\beta \gg 1} r_{be} + \beta \cdot R'_E \quad (\text{A.31})$$

$$r_{in} = \beta \cdot R'_E \quad (\text{A.32})$$

Für den Ausgangswiderstand r_a wird der Knotenpunkt K1 aus Abbildung A.3 c) betrachtet. Es gilt:

$$i_a = i_{r_{be}} + i_{R'_E} + i_c = \frac{u_a}{r_{be} + R_q} + \frac{u_a}{R'_E} + g_m \cdot u_a \cdot \frac{r_{be}}{r_{be} + R_q} \quad (\text{A.33})$$

$$r_a = \frac{u_a}{i_a} = R'_E \parallel \frac{(r_{be} + R_q)}{\beta + 1} \xrightarrow{\beta \gg 1} R'_E \parallel \left(\frac{1}{g_m} + \frac{R_q}{\beta} \right) \quad (\text{A.34})$$

A.1.3 Basisschaltung

Die Berechnung der Leerlaufspannungsverstärkung A_{V0} erfolgt bei der Basis schaltung Anhand des Knotenpunkts K1 der Abbildung A.4 a).

Knotenpunkt K1:

$$0 = \frac{u_a}{R_C} + i_c - \frac{u_{in} - u_a}{r_{ce}} = \frac{u_a}{R_C} - g_m \cdot u_{in} - \frac{u_{in} - u_a}{r_{ce}} \quad (\text{A.35})$$

$$A_{V0} = (R_C \parallel r_{ce}) \cdot \left(\frac{\beta}{r_{be}} + \frac{1}{r_{ce}} \right)^{r_{be} \ll \beta \cdot r_{ce}} \cong (R_C \parallel r_{ce}) \cdot g_m \quad (\text{A.36})$$

Für den Fall, dass $r_{ce} \gg R_C$ ist, kann der Ausdruck für die Leerlaufspannungsverstärkung vereinfacht werden zu:

$$A_{V0} = R_C \cdot g_m \quad (\text{A.37})$$

Der Eingangswiderstand kann mittels der Analyse der beiden Maschen aus Abbildung A.4 b) ermittelt werden. Hierbei wird zunächst der Widerstand r_{be} nicht berücksichtigt und nur der Widerstand r_x ermittelt, der parallel zu r_{be} ist.

Masche 1:

$$u_x = r_{ce} \cdot (i_x - i_2) + i_x \cdot R'_C \quad (\text{A.38})$$

Masche 2:

$$i_2 = -i_c = g_m \cdot u_x \quad (\text{A.39})$$

$$r_x = \frac{u_x}{i_x} = \frac{r_{ce} + R'_C}{1 + \frac{\beta \cdot r_{ce}}{r_{be}}} \quad (\text{A.40})$$

Der Eingangswiderstand r_{in} kann entsprechend Gleichung (A.41) bestimmt werden. Die Gleichung kann unter der Bedingung, dass $r_{ce} \gg R'_C$ und $r_{ce} \gg r_{be}$ ist, weiter vereinfacht werden zur Gleichung (A.42).

$$r_{in} = r_{be} \parallel \frac{R_C + r_{ce}}{1 + \beta \frac{r_{ce}}{r_{be}}} \quad (\text{A.41})$$

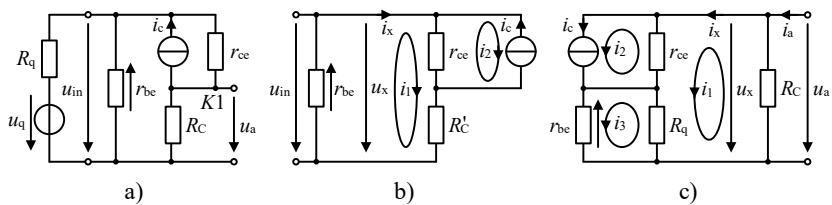


Abbildung A.4: Kleinsignalersatzschaltbild zur Ermittlung von a) der Spannungsverstärkung A_V , b) dem Eingangswiderstand r_{in} und c) dem Ausgangswiderstand r_a

$$r_{in} = r_{be} \parallel \frac{r_{be}}{\beta} \stackrel{\beta \gg 1}{\approx} \frac{r_{be}}{\beta} = \frac{1}{g_m} \quad (A.42)$$

Zur Berechnung des Ausgangswiderstands r_a werden die drei Maschen aus Abbildung A.4 c) analysiert. Hierzu wird der Widerstand R_C zunächst nicht berücksichtigt und der Widerstand r_x ermittelt. Mit Hilfe der dritten Maschen-Gleichung (A.45) kann der Strom i_3 in Abhängigkeit von i_x ermittelt werden. Dieser Zusammenhang wird dann verwendet, um i_2 in der Gleichung (A.44) ebenfalls in Abhängigkeit von i_x zu beschreiben. Beide Zusammenhänge werden in die Gleichung (A.43) eingefügt und die Bestimmungsgleichung für r_x entsprechend Gleichung (A.46) ermittelt.

Masche 1:

$$u_x = (i_x - i_2) \cdot r_{ce} + (i_x - i_3) \cdot R_q \quad (A.43)$$

Masche 2:

$$i_2 = i_c = g_m \cdot u_{be} = -g_m \cdot r_{be} \cdot i_x \quad (A.44)$$

Masche 3:

$$0 = i_3 \cdot r_{be} + R_q \cdot (i_3 - i_x) \quad (A.45)$$

$$r_x = r_{ce} \left(1 + \frac{R_q}{r_{ce}} \cdot \frac{\beta \cdot r_{ce} + r_{be}}{R_q + r_{be}} \right) \quad (A.46)$$

Für den resultierende Ausgangswiderstand r_a gilt:

$$r_a = R_C \parallel \left[r_{ce} \cdot \left(1 + \frac{R_q}{r_{ce}} \cdot \frac{\beta \cdot r_{ce} + r_{be}}{R_q + r_{be}} \right) \right] \quad (A.47)$$

Diese Bestimmungsgleichung kann unabhängig von der Beschaltung unter der Annahme, dass $\beta \cdot r_{ce} \gg r_{be}$ ist, vereinfacht werden zu der Formel (A.48). Für den Fall, dass $r_{ce} \gg R_C$ ist, kann eine weitere Vereinfachung vorgenommen und der Ausgangswiderstand entspricht dem Kollektorwiderstand R_C (siehe Gleichung (A.49)).

$$r_a = R_C \parallel \left[r_{ce} \cdot \left(1 + \frac{\beta \cdot R_q}{R_q + r_{be}} \right) \right] \quad (A.48)$$

$$r_a = R_C \quad (A.49)$$

A.2 Herleitung der Differenzverstärkerstufenkenngrößen

Nachfolgend wird die Herleitung der DVS-Kenngrößen ($A_{V,GL}$, $A_{V,DIF}$ und CMRR) für die Abbildung 2.31 gezeigte DVS beschrieben. Für die Herleitung wird das Prinzipschaltbild aus Abbildung A.5 a) in das Kleinsignalersatzschaltbild aus Abbildung A.5 b) überführt. Hierbei wird angenommen, dass die Transistoren $T1$ und $T2$ identische Kenngrößen besitzen ($r_{be1} = r_{be2} = r_{be,DVS}$, $r_{ce1} = r_{ce2} = r_{ce,DVS}$ und $g_{m1} = g_{m2} = g_{m,DVS}$). Aufgrund der vorhandenen Symmetrie, die durch die rote Symmetrielinie gekennzeichnet ist, kann das Ersatzschaltbild sowohl für das Differenzverhalten als auch Gleichaktverhalten vereinfacht werden. Für das Differenzverhalten kann aufgrund der Symmetrie für kleine Änderungen der Eingangsspannung U_{DIF} angenommen werden, dass sich das Potential E und die Spannung U_E nicht ändern. So mit ist für die Kleinsignalgrößen das Potential E identisch dem Kleinsignalmassepotential M_{AC} . Hierdurch kann das Kleinsignalersatzschaltbild zu dem in Abbildung A.5 c) gezeigten Ersatzschaltbild vereinfacht werden. Die vorherige Kopplung der beiden Differenzverstärkerzweige durch den Widerstand $R_{E,DVS}$ entfällt, wodurch eine getrennte Analyse ermöglicht wird. Jeder Differenzverstärkerzweig verhält sich dabei wie die Emittergrundschaltung ohne Stromgegenkopplung. Über jeden Basisemitterwiderstand fällt die halbe Differenzspannung U_{DIF} ab. Für die Ausgangsspannung $u_{a,DVS}$ und die Differenzverstärkung $A_{V,DIF}$ gilt:

$$u_{a,DVS} = g_{m,DVS} \cdot \frac{1}{2} u_{DIF} \cdot (R_{C,DVS} \parallel r_{ce,DVS}) \quad (\text{A.50})$$

$$A_{V,DIF} = \frac{u_{a,DVS}}{u_{DIF}} = \frac{1}{2} g_{m,DVS} \cdot (R_{C,DVS} \parallel r_{ce,DVS}) \quad (\text{A.51})$$

$$A_{V,DIF} \stackrel{r_{ce,DVS} \gg R_C}{\cong} \frac{1}{2} g_{m,DVS} \cdot R_{C,DVS} \quad (\text{A.52})$$

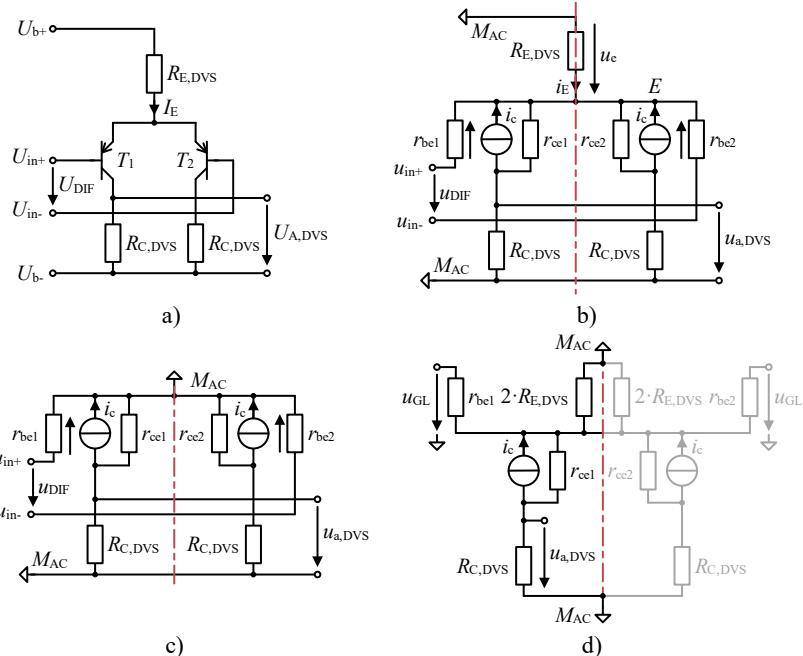


Abbildung A.5: a) Prinzipschaltbild der Differenzverstärkerstufe, b) Kleinsignalersatzschaltbild der Differenzverstärkerstufe mit roter Symmetrielinie, c) vereinfachtes Kleinsignalersatzschaltbild mit roter Symmetrielinie für Differenzverhalten, d) Kleinsignalersatzschaltbild des Gleichtaktverhaltens

Der Differenzeingangswiderstand $r_{\text{in},\text{DVS}}$, der das Differenzeingangssignal u_{DIF} belastet entspricht dem doppelten Eingangswiderstand einer Emitterschaltung ohne Stromgegenkopplung. Es gilt:

$$r_{\text{in},\text{DVS}} = 2 \cdot r_{\text{be},\text{DVS}} \quad (\text{A.53})$$

Bei der Analyse des Gleichtaktverhaltens der DVS sind die beiden Eingänge der DVS miteinander verbunden und eine Gleichtaktspannung U_{GL} wird angelegt. In diesem Fall kann der Emitterwiderstand $R_{\text{E},\text{DVS}}$ nicht vernachlässigt werden. Aus diesem Grund wird der Emitterwiderstand zur Herstellung der Symmetrie durch eine Parallelschaltung von zwei Widerständen mit dem doppelten Wert ersetzt (siehe Abbildung A.5 d)). Aufgrund der Symmetrie kann der ausgegraute Teil der Schaltung vernachlässigt werden und die Schaltung

entartet zu einer Emitterschaltung mit Stromgegenkopplung. Es können somit die in Abschnitt A.1.1 hergeleiteten Beziehung verwendet werden. Für die Gleichtaktverstärkung $A_{V,GL}$ und den Gleichtakteingangswiderstand $r_{in,DVS,GL}$ gelten somit Beziehungen (A.54) und (A.55).

$$A_{GL} = \frac{u_{A,DVS}}{u_{GL}} = -\frac{g_m \cdot R_{C,DVS}}{1 + 2 \cdot g_m \cdot R_{E,DVS}}$$

$$\stackrel{2 \cdot g_m \cdot R_{E,DVS} \gg 1}{\cong} -\frac{R_{C,DVS}}{2 \cdot R_{E,DVS}} \quad (A.54)$$

$$r_{in,DVS,GL} = \frac{u_{in}}{i_{in}} = r_{be,DVS} + \beta \cdot R_{E,DVS} \quad (A.55)$$

Mit Hilfe der berechneten Gleichtakt- $A_{V,GL}$ und Differenzverstärkung $A_{V,DIF}$ kann die Gleichtaktunterdrückung CMRR berechnet werden zu:

$$CMRR = \frac{A_{DIF}}{A_{GL}} = \frac{\frac{1}{2} g_m \cdot R_{C,DVS}}{\frac{R_{C,DVS}}{2 \cdot R_{E,DVS}}} = g_m \cdot R_{E,DVS} \quad (A.56)$$

A.3 Herleitung der Ausgangsstufenkenngroßen

Das Kleinsignalersatzschaltbild für das in Abbildung 2.31 gezeigte Prinzipschaltbild einer AS ist in Abbildung A.6 a) gezeigt. Unter Annahme, dass der NPN- und PNP-Transistor ähnliche Eigenschaften besitzen und durch das Ersetzen des Lastwiderstands R_L durch die Parallelschaltung zweier Widerstände mit dem doppelten Wert, wird ein symmetrischer Aufbau der AS erreicht. Das Kleinsignalersatzschaltbild kann entsprechend Abbildung A.6 b) vereinfacht werden.

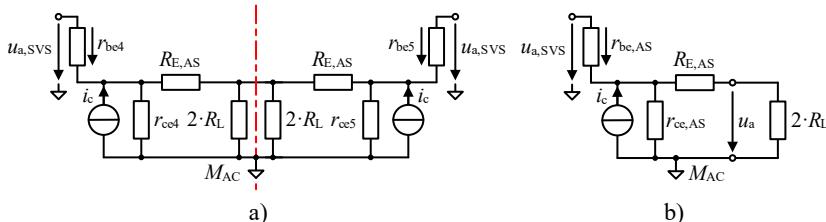


Abbildung A.6: a) Kleinsignalersatzschaltbild der Ausgangsstufe; b) vereinfachtes Kleinsignalersatzschaltbild unter Verwendung der Symmetrie

Mit Hilfe des vereinfachten Ersatzschaltbildes kann der Eingangswiderstand $r_{in,AS}$ und die Spannungsverstärkung $A_{V,AS}$ ermittelt werden. Der Ausgangswiderstand des vereinfachten Ersatzschaltbildes muss aufgrund der Parallelschaltung halbiert werden, um den Ausgangswiderstand $r_{a,AS}$ der Ausgangsstufe zu erhalten. Zur Bestimmung der Widerstandswerte können die aufgrund der anderen Position des Emittewiderstand $R_{E,AS}$ angepassten Bestimmungsgleichungen aus Kapitel A.1.2 verwendet werden. Für die Spannungsverstärkung $A_{V,AS}$ sowie den wirksamen Ein- und Ausgangswiderstand ($r_{in,AS}$ und $r_{a,AS}$) gilt somit:

$$\begin{aligned} r_{in,AS} &= \frac{1}{2} \left(r_{be,AS} + \beta_{AS} \cdot (r_{ce,AS} \parallel (R_{E,AS} + 2 \cdot R_L)) \right) \\ r_{ce,AS} \gg R_L \gg R_{E,AS} &\cong \frac{1}{2} r_{be,AS} + \beta_{AS} \cdot R_L \end{aligned} \quad (\text{A.57})$$

$$r_{a,AS} = \frac{1}{2} \left(R_E + r_{ce,AS} \parallel \left(\frac{1}{g_{m,AS}} + \frac{2 \cdot R_L}{\beta_{AS}} \right) \right) \quad (\text{A.58})$$

$$A_{AS} = \frac{r_{ce,AS} \parallel (R_E + 2 \cdot R_L)}{\frac{1}{g_{m,AS}} + r_{ce,AS} \parallel (R_E + 2 \cdot R_L)} \stackrel{r_{ce,AS} \gg R_L \gg R_E}{\cong} \frac{R_L}{\frac{1}{2 \cdot g_{m,AS}} + R_L} \quad (\text{A.59})$$

A.4 Herleitung des Ausgangswiderstands der Stromquelle

Nachfolgend wird die Herleitung des Ausgangswiderstands $r_{a,CS}$ der verwendeten Stromquelle nach Abbildung A.7 a) beschrieben. Hierzu wird das Kleinsignalersatzschaltbild, welches in Abbildung A.7 b) dargestellt ist, verwendet. Für die dargestellten Maschen gelten die in Gleichung (A.60) bis (A.65) beschriebenen Zusammenhänge.

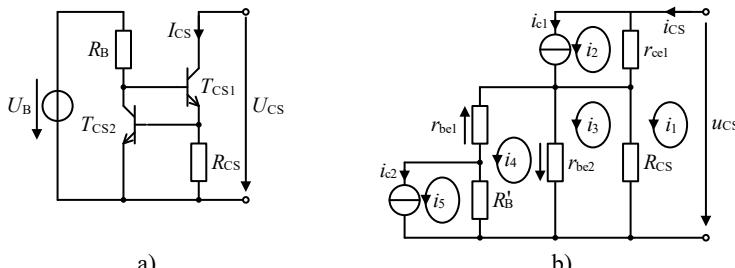


Abbildung A.7: a) Prinzipschaltbild der Stromquelle; b) Kleinsignalersatzschaltbild der Stromquelle

Masche 1:

$$u_{CS} = (i_{CS} - i_2) \cdot r_{ce1} + (i_{CS} - i_3) \cdot R_{CS} \quad (\text{A.60})$$

Masche 2:

$$i_2 = i_{c1} = -i_4 \cdot r_{be1} \cdot g_{m1} \quad (\text{A.61})$$

Masche 3:

$$0 = (i_3 - i_4) \cdot r_{be2} + (i_3 - i_{CS}) \cdot R_{CS} \quad (\text{A.62})$$

Masche 4:

$$0 = r_{be1} \cdot i_4 + (i_4 - i_5) \cdot R'_B + (i_4 - i_3) \cdot r_{be2} \quad (\text{A.63})$$

$$R'_B = R_B' \parallel r_{ce2} \quad (\text{A.64})$$

Masche 5:

$$i_5 = i_{c2} = (i_3 - i_4) \cdot r_{be2} \cdot g_{m2} \quad (\text{A.65})$$

Unter Verwendung der Maschengleichung (A.65) und (A.63) kann eine Bestimmungsgleichung für den Strom i_4 als Funktion des Stroms i_3 ermittelt werden. Dieser Zusammenhang kann wiederum in Verbindung mit der Maschengleichung (A.62) verwendet werden, um den Strom i_3 als Funktion des Stroms i_{cs} zu beschreiben.

$$i_4 = \frac{\beta_2 \cdot R'_B + r_{\text{be}2}}{r_{\text{be}1} + r_{\text{be}2} + R'_B(1 + \beta_2)} \cdot i_3 \quad (\text{A.66})$$

$$i_3 = \frac{R_{\text{CS}}(r_{\text{be}1} + r_{\text{be}2} + R'_B(1 + \beta_2))}{r_{\text{be}2}(r_{\text{be}1} + R'_B) + R_{\text{CS}}(r_{\text{be}1} + r_{\text{be}2} + R'_B(1 + \beta_2))} \cdot i_{\text{cs}} \quad (\text{A.67})$$

Durch Einsetzen der Maschengleichung (A.61) und der beiden Zusammenhänge aus Gleichung (A.66) und (A.67) in die Maschengleichung (A.60) kann der Ausgangswiderstand $r_{\text{a,CS}}$ ermittelt werden zu:

$$r_{\text{A,CS}} = r_{\text{ce}1} \left[1 + \frac{\beta_1 \cdot R_{\text{CS}}(r_{\text{be}2} + \beta_2 \cdot R'_B) + r_{\text{be}2} R_{\text{CS}} \cdot (r_{\text{be}1} + R'_B)}{r_{\text{be}2} \cdot (r_{\text{be}1} + R'_B) + R_{\text{CS}} \cdot (r_{\text{be}1} + r_{\text{be}2} + R'_B(1 + \beta_2))} \right] \quad (\text{A.68})$$

Unter der Annahme, dass $\beta_1, \beta_2 \gg 1$ und $r_{\text{ce}1} \gg r_{\text{be}2}$ ist, kann der Ausdruck entsprechend Gleichung (A.69) weiter vereinfacht werden. Für die vorhandene Anwendung gilt zudem, dass $R'_B \gg r_{\text{be}1}$ ist. Dadurch lässt sich die Bestimmungsgleichung für den Ausgangswiderstand weiter vereinfachen zur Gleichung (A.70).

$$r_{\text{A,CS}} \cong r_{\text{ce}1} \left[1 + \frac{\beta_1 \cdot R_{\text{CS}}(r_{\text{be}2} + \beta_2 \cdot R'_B)}{r_{\text{be}2}(r_{\text{be}1} + R'_B) + R_{\text{CS}}(r_{\text{be}1} + r_{\text{be}2} + \beta_2 R'_B)} \right] \quad (\text{A.69})$$

$$r_{\text{A,CS}} \cong r_{\text{ce}1} \left[1 + \beta_1 \frac{\beta_2 R_{\text{CS}}}{r_{\text{be}2} + \beta_2 R_{\text{CS}}} \right] \quad (\text{A.70})$$

A.5 Stromspiegel als Active Load

In der vorhandenen Schaltung wird der Stromspiegel als Active Load innerhalb der Differenzverstärkerstufe (DVS) verwendet. Um das Verhalten der DVS mit Active Load analysieren zu können, muss zunächst der Stromspiegel isoliert betrachtet werden. In Abbildung A.8 ist sowohl das Prinzipschaltbild des Stromspiegels als auch das Kleinsignalersatzschaltbild zu Bestimmung des Ausgangswiderstands $r_{a,M}$, des Eingangswiderstands $r_{in,M}$ und der Stromverstärkung $A_{I,M}$ dargestellt.

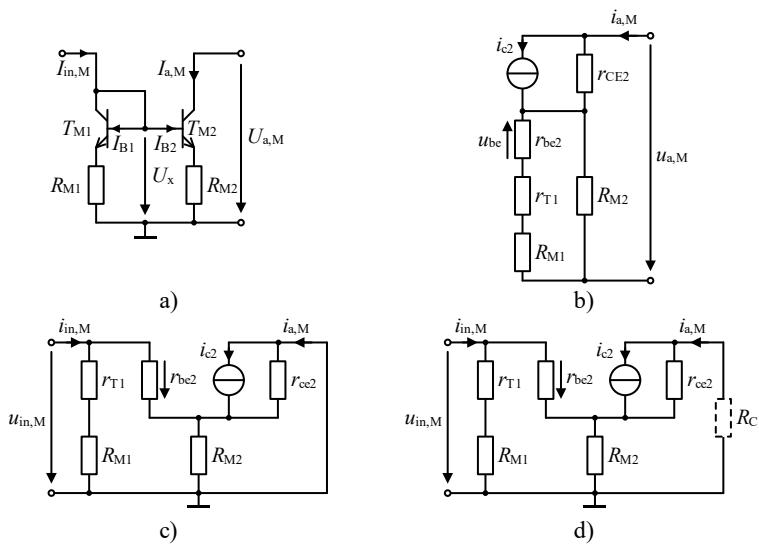


Abbildung A.8: a) Prinzipschaltbild des Stromspiegels sowie Kleinsignalersatzschaltbild zur Ermittlung b) des Ausgangswiderstand $r_{a,M}$, c) des Eingangswiderstands $r_{in,M}$ und d) des Stromübertragungsverhältnisses $A_{I,M}$

Das Verhältnis zwischen Eingangsstrom $I_{in,M}$ und Ausgangsstrom $I_{a,M}$ kann anhand des Prinzipschaltbildes hergeleitet werden. Es gilt:

$$I_{in,M} = I_{C1} + I_{B1} + I_{B2} \quad (\text{A.71})$$

$$I_{a,M} = I_{C2} = I_{B2} \cdot B_2 \quad (\text{A.72})$$

$$U_{BE1} = U_T \cdot \ln\left(\frac{I_{C1}}{I_{S1}}\right); \quad U_{BE2} = U_T \cdot \ln\left(\frac{I_{C2}}{I_{S2}}\right) \quad (\text{A.73})$$

$$U_{RM1} = I_{C1} \left(1 + \frac{1}{B_1}\right) \cdot R_{M1} \quad (\text{A.74})$$

$$U_{RM2} = I_{C2} \left(1 + \frac{1}{B_2}\right) \cdot R_{M2} \quad (\text{A.75})$$

$$U_x = U_{BE1} + U_{RM1} = U_{BE2} + U_{RM2} \quad (\text{A.76})$$

Dabei entspricht I_{S1} und I_{S2} den Sperrströmen der Transistoren T_{M1} und T_{M2} . Durch Einsetzen von (A.73) bis (A.75) in (A.76) folgt:

$$U_T \cdot \ln\left(\frac{I_{C1}}{I_{S1}}\right) + I_{C1} \left(1 + \frac{1}{B_1}\right) R_{M1} = U_T \cdot \ln\left(\frac{I_{C2}}{I_{S2}}\right) + I_{C1} \left(1 + \frac{1}{B_2}\right) R_{M2} \quad (\text{A.77})$$

Hierbei können zwei Fälle unterschieden werden. Im ersten Fall ist der Widerstandsterm dominant. Im zweiten Fall sind die Widerstände R_{M1} und R_{M2} vernachlässigbar klein und der logarithmische Term ist dominant. Hierbei gelten folgende Beziehungen zwischen den Kollektorströmen I_{C1} und I_{C2} :

$$\text{Fall 1: } \frac{I_{C1}}{I_{C2}} \stackrel{B_1, B_2 \gg 1}{\cong} \frac{R_{M2}}{R_{M1}}; \quad \text{Fall 2: } \frac{I_{C1}}{I_{C2}} = \frac{I_{S1}}{I_{S2}} \quad (\text{A.78})$$

Falls das Widerstandsverhältnis reziprok zum Verhältnis der Sperrströme (I_{S1} und I_{S2}) ist, ergibt sich das gleiche Verhältnis der Kollektorströme. Die Gegenkopplungswiderstände R_{M1} und R_{M2} stabilisieren in diesem Fall das Übersetzungsverhältnis. Durch Einsetzen der in (A.78) dargestellten Zusammenhänge in (A.71) kann das Verhältnis zwischen Eingangs- $I_{in,M}$ und Ausgangstrom $I_{a,M}$ hergeleitet werden zu:

$$\frac{I_{a,M}}{I_{in,M}} = \frac{1}{\frac{R_{M2}}{R_{M1}} \left(1 + \frac{1}{B_1}\right) + \frac{1}{B_2}} \stackrel{B_1, B_2 \gg 1}{\cong} \frac{R_{M1}}{R_{M2}} \quad (\text{A.79})$$

bzw. für den zweiten Fall

$$\frac{I_{a,M}}{I_{in,M}} = \frac{1}{\frac{I_{S1}}{I_{S2}} \left(1 + \frac{1}{B_1}\right) + \frac{1}{B_2}} \stackrel{B_1, B_2 \gg 1}{\cong} \frac{I_{S2}}{I_{S1}} \quad (\text{A.80})$$

Für die Ermittlung des Kleinsignalausgangswiderstands $r_{a,M}$ kann das in Abbildung A.8 b) dargestellte Kleinsignalersatzschaltbild verwendet werden. Hierbei wird angenommen, dass der Stromspiegel von einer Stromquelle gespeist wird und somit der Eingang einem Leerlauf entspricht. Das Ersatzschaltbild stimmt nahezu mit dem der Emitterschaltung (siehe Kapitel A.1.1) überein. Für den Ausgangswiderstand gilt entsprechend Gleichung (A.24):

$$r_{a,M} = r_{ce2} \cdot \left(1 + \frac{\beta_2 \cdot R_{M2}}{R_{M2} + r_{T1} + R_{M1} + r_{be2}} \right) \quad (\text{A.81})$$

Der Widerstand r_{T1} ist der Ersatzwiderstand des in Diode geschalteten Transistors T_{M1} . Es gilt folgender Zusammenhang für r_{T1} :

$$r_{T1} = r_{ce1} \parallel r_{be1} \parallel \frac{r_{be1}}{\beta_1} \stackrel{\beta_1 \gg 1}{\cong} \frac{r_{ce1} \gg r_{be1}}{\frac{r_{be1}}{\beta_1}} = \frac{1}{g_{m1,M}} \quad (\text{A.82})$$

Falls $\beta_1 \gg 1$ kann die Gleichung (A.81) vereinfacht werden zu:

$$r_{a,M} = r_{ce2} \cdot \left(1 + \frac{\beta_2 \cdot R_{M2}}{R_{M2} + R_{M1} + r_{be2}} \right) \quad (\text{A.83})$$

Für die Ermittlung des Eingangswiderstands $r_{in,M}$ wird der Ausgang kurzgeschlossen, wodurch das in der Abbildung A.8 c) gezeigte Ersatzschaltbild entsteht. Der Eingangswiderstand des Stromspiegels $r_{in,M}$ entspricht der Parallelschaltung des in Kapitel A.1.1 ermittelten Eingangswiderstands der Emitterschaltung und der Serienschaltung aus r_{T1} und R_{M1} .

$$r_{in,M} = \underbrace{\left(\frac{r_{be1}}{\beta_1} + R_{M1} \right)}_{=r_{T1}+R_{M1}} \parallel (r_{be2} + \beta_2 \cdot R_{M2}) \quad (\text{A.84})$$

$$r_{in,M} \stackrel{\beta_1, \beta_2 \gg 1}{\cong} r_{T1} + R_{M1} = \frac{1}{g_{m1,M}} + R_{M1} \quad (\text{A.85})$$

Bei der Herleitung des Stromübertragungsverhältnis $A_{I,M}$ wird das von der Emitterschaltung ermittelte Spannungsübertragungsverhältnis entsprechend Kapitel A.1.1 als Ausgangspunkt verwendet. Hierbei gilt:

$$A_{V,M} = \frac{u_{a,M}}{u_{in,M}} = -\frac{g_{m2,M} \cdot R_C}{1 + g_{m2,M} \cdot R_{M2}} \quad (A.86)$$

$$U_{a,M} = i_{a,M} \cdot R_C \quad (A.87)$$

$$U_{in,M} = i_{in,M} \cdot r_{in,M} \quad (A.88)$$

$$A_{I,M} = \frac{g_{m2,M}}{g_{m1,M}} \cdot \frac{1 + g_{m1,M} \cdot R_{M1}}{1 + g_{m2,M} \cdot R_{M2}} \quad (A.89)$$

Für die Transkonduktanz g_{m1} und g_{m2} gilt:

$$g_{m1,M} = \frac{I_{C1}}{U_T} \quad \text{und} \quad g_{m2,M} = \frac{I_{C2}}{U_T} \quad (A.90)$$

Da die Widerstände nach der Großsignalanalyse dem Kehrwert des Verhältnisses der beiden Kollektorströmen entsprechen, gilt folgender Zusammenhang:

$$\frac{g_{m1,M}}{g_{m2,M}} = \frac{I_{C1}}{I_{C2}} = \frac{R_{M2}}{R_{M1}} \quad (A.91)$$

Das Stromübertragungsverhältnis $A_{I,M}$ kann entsprechend vereinfacht werden zu:

$$A_{I,M} = \frac{g_{m2}}{g_{m1}} \cdot \frac{\frac{1 + g_{m1} \cdot \frac{g_{m2} \cdot R_{M2}}{g_{m1}}}{1 + g_{m2} \cdot R_{M2}}}{\frac{g_{m2}}{g_{m1}}} = \frac{g_{m2}}{g_{m1}} = \frac{I_{C2}}{I_{C1}} \quad (A.92)$$

Die Kleinsignalstromverstärkung $A_{I,M}$ ist somit identisch zum Verhältnis der eingestellten Bias-Ströme I_{C1} und I_{C2} .

Für die Analyse der Differenzverstärkerstufe mit *Active Load* entsprechend Abbildung 2.33 wird nachfolgend der Stromspiegel durch sein Norton-Äquivalent ersetzt (siehe Abbildung A.9 a)). Das Kleinsignalersatzschaltbild der DVS mit *Active Load* für das Differenzverhalten ist in Abbildung A.9 b) dargestellt.

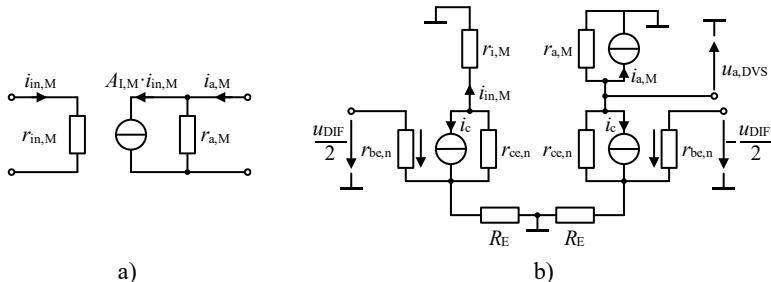


Abbildung A.9: a) Norton-Ersatzschaltbild des Stromspiegels; b) Kleinsignalersatzschaltbild der DVS für das Differenzverhalten

Zunächst wird die linke Seite der DVS analysiert und der Eingangsstrom des Stromspiegels $i_{in,M}$ sowie der daraus resultierende Ausgangsstrom $i_{a,M}$ ermittelt. Die linke Seite entspricht der Emitterschaltung mit Gegenkopplung. Es gilt:

$$i_{in,M} = -\frac{u_{DIF}}{2} \cdot \frac{g_{m,n} \cdot r_{in,M}}{1 + g_{m,n} \cdot R_E} \cdot \frac{1}{r_{in,M}} = -\frac{u_{DIF}}{2} \cdot \frac{g_{m,n}}{1 + g_{m,n} \cdot R_E} \quad (\text{A.93})$$

$$i_{a,M} = A_{I,M} \cdot i_{in,M} = -\frac{u_{DIF}}{2} \cdot \underbrace{\frac{g_{m,n}}{1 + g_{m,n} \cdot R_E}}_{A_X} \cdot \frac{g_{m2,M}}{g_{m1,M}} \quad (\text{A.94})$$

Mit Hilfe des ermittelten Ausgangsstroms $i_{a,M}$ kann anschließend die rechte Seite der DVS analysiert und die Bestimmungsgleichung für die Ausgangsspannung $u_{a,DVS}$ hergeleitet werden. Das dazugehörige Ersatzschaltbild ist in Abbildung A.10 dargestellt. Es unterscheidet sich von dem Ersatzschaltbild der Emitterschaltung (Abbildung A.1) lediglich durch die zusätzliche Stromquelle des Stromspiegels.

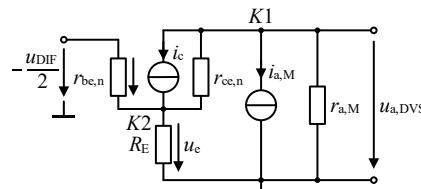


Abbildung A.10: Kleinsignalersatzschaltbild der rechten Seite der DVS mit *Active Load*

Für die Herleitung werden die beiden Knotengleichungen für $K1$ und $K2$ aufgestellt.

Knotenpunkt $K1$:

$$i = i_c + i_{r_{ce,n}} + i_{a,M} + i_{r_{a,M}} \quad (A.95)$$

Knotenpunkt $K2$:

$$i_E = i_{in} + i_c + i_{r_{ce,n}} \quad (A.96)$$

$$i_{a,M} = u_{in} \cdot A_x \quad (A.97)$$

$$i_{r_{a,M}} = \frac{u_{a,DVS}}{r_{a,M}} \quad (A.98)$$

$$i_{r_{ce,n}} = \frac{u_{a,DVS} - u_e}{r_{ce,n}} \quad (A.99)$$

$$i_c = -\left(\frac{u_{DIF}}{2} + u_e\right) \cdot g_{m,n} \quad (A.100)$$

$$i_E = \frac{u_E}{R_E} \quad (A.101)$$

$$i_{in} = -\frac{\frac{u_{DIF} + u_e}{2}}{r_{be,n}} \quad (A.102)$$

Mit Hilfe der Knotengleichung (A.95) kann durch das Einsetzen der Zusammenhänge aus Gleichung (A.97) bis (A.100) eine Bestimmungsgleichung für u_e ermittelt werden.

$$u_e = \frac{u_{a,DVS} \left(\frac{1}{r_{ce,n}} + \frac{1}{r_{a,M}} \right) - \frac{u_{DIF}}{2} (g_{m,n} + A_x)}{\frac{1}{r_{ce,n}} + g_{m,n}} \quad (A.103)$$

Durch Einsetzen dieses Zusammenhangs sowie der in den Gleichungen (A.99) bis (A.102) definierten Zusammenhänge kann die Spannungsverstärkung der DVS $A_{V,DIF}$ aus der Knotengleichung (A.96) ermittelt werden.

$$\frac{u_{a,DVS}}{u_{DIF}} = \frac{\frac{1}{2} g_{m,n} \cdot r_{a,M} \left(1 - \frac{R_E}{\beta \cdot r_{ce,n}} \right) + A_x \cdot r_{a,M} \left(1 + g_{m,n} \cdot R_E \right)}{1 + R_E \left(g_{m,n} \left(1 + \frac{1}{\beta n} + \frac{r_{a,M}}{\beta \cdot r_{ce,n}} \right) + \frac{1}{r_{ce,n}} \right) + \frac{r_{a,M}}{r_{ce,n}}} \quad (A.104)$$

Dieser Ausdruck kann unter der Annahme, dass $R_E \ll r_{ce,n}$ und $\beta \gg 1$ ist, und dem Einsetzen von A_x vereinfacht werden zu:

$$\frac{u_{a,DVS}}{u_{DIF}} = \frac{g_{m,n} \cdot r_{a,M} + \frac{g_{m2,M}}{g_{m1,M}} \cdot r_{a,M} \cdot g_{m,n}}{1 + g_{m,n} R_E \left(1 + \frac{r_{a,M}}{\beta_n \cdot r_{ce,n}} \right) + \frac{r_{a,M}}{r_{ce,n}}} \quad (A.105)$$

Bei der Verwendung des Stromspiegels als *Active Load* beträgt die Stromverstärkung und somit auch das Verhältnis $g_{m2,M}/g_{m1,M}$ eins, weshalb sich die Spannungsverstärkung $A_{V,DIF}$ der DVS weiter vereinfacht.

$$A_{DIF} = \frac{u_{a,DVS}}{u_{DIF}} = \frac{g_{m,n} \cdot r_{a,M}}{1 + g_{m,n} R_E \left(1 + \frac{r_{a,M}}{\beta_n \cdot r_{ce,n}} \right) + \frac{r_{a,M}}{r_{ce,n}}} \quad (A.106)$$

Für den Fall, dass R_E vernachlässigbar klein ist, gilt für die Spannungsverstärkung:

$$A_{DIF} = \frac{u_{a,DVS}}{u_{DIF}} = g_{m,n} \cdot (r_{a,M} \parallel r_{ce,n}) \quad (A.107)$$

A.6 Analyse der Kaskodenschaltung

Nachfolgend werden die drei Kenngrößen der Kaskodenschaltung (Eingangswiderstand $r_{in,Ca}$, Ausgangswiderstand $r_{a,Ca}$ sowie Spannungsverstärkung $A_{V,Ca}$) hergeleitet. Der Eingangswiderstand $r_{in,Ca}$ ist entsprechend dem Kleinsignalersatzschaltbild (siehe Abbildung A.11 b)) gleich dem Basis-Emitter-Widerstand r_{be1} des Transistors T_{C1} .

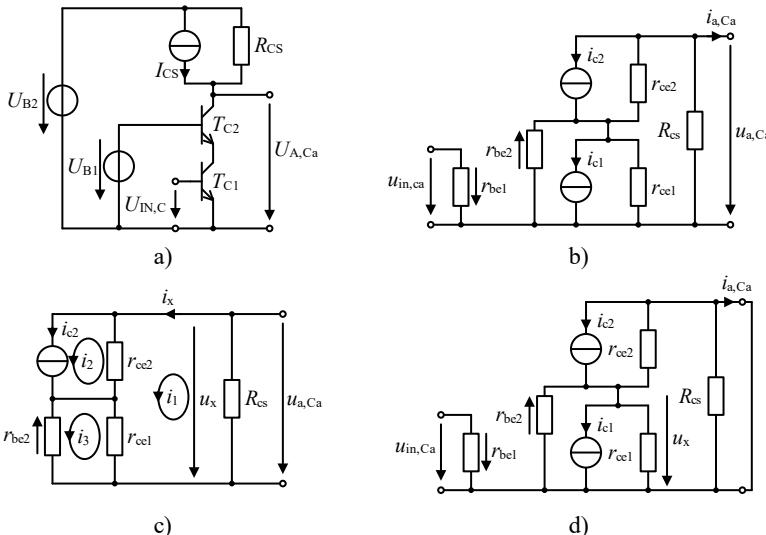


Abbildung A.11: a) Kaskodenschaltung; b) Kleinsignalersatzschaltbild der Kaskodenschaltung; c) Kleinsignalersatzschaltbild zur Ermittlung der Ausgangsspannung $u_{a,Ca}$; d) Kleinsignalersatzschaltbild zur Ermittlung der Schaltungstranskonduktanz $G_{m,Ca}$

Der Ausgangswiderstand $r_{a,Ca}$ entspricht der Parallelschaltung des Widerstands der Stromquelle R_{CS} und dem Widerstand r_x , der anhand der in Abbildung A.11 c) dargestellten drei Maschen hergeleitet werden kann.

Masche 1:

$$u_x = (i_x - i_2) \cdot r_{ce2} + (i_x - i_3) \cdot r_{ce1} \quad (\text{A.108})$$

Masche 2:

$$i_{c2} = i_2 = -i_3 \cdot \beta_2 \quad (\text{A.109})$$

Masche 3:

$$0 = i_3 \cdot r_{be2} + (i_3 - i_x) \cdot r_{ce1} \quad (\text{A.110})$$

Aus der dritten Maschengleichung (A.110) kann der Strom i_3 in Abhängigkeit von i_x hergeleitet werden. Durch Einsetzen dieses Zusammenhangs sowie der zweiten Maschengleichung (A.109) in die erste Maschengleichung (A.108) lässt sich die Bestimmungsgleichung für den Widerstand r_x ermitteln.

$$r_x = r_{ce2} \left(1 + \frac{r_{ce1} \cdot \beta_2}{r_{ce1} + r_{be2}} \right) + r_{ce1} \left(1 - \frac{r_{ce1}}{r_{ce1} + r_{be2}} \right) \quad (\text{A.111})$$

Unter der Annahme, dass $r_{ce1} \gg r_{be2}$ ist, lässt sich die Gleichung vereinfachen zu dem Ausdruck:

$$r_x = r_{ce2} (1 + \beta_2) \stackrel{\beta_2 \gg 1}{\cong} r_{ce2} \cdot \beta_2 \quad (\text{A.112})$$

Der wirksame Ausgangswiderstand $r_{a,Ca}$ der Kaskodenschaltung entspricht somit:

$$r_{a,Ca} = r_x \parallel R_{CS} = (\beta_2 \cdot r_{ce2}) \parallel R_{CS} \quad (\text{A.113})$$

Zur Ermittlung der Spannungsverstärkung $A_{V,Ca}$ wird zunächst die Transkonduktanz $G_{m,Ca}$ der Kaskodenschaltung ermittelt, welche den Zusammenhang zwischen der Eingangsspannung $u_{in,Ca}$ und dem Ausgangstrom $i_{a,Ca}$ beschreibt. Zur Bestimmung der Transkonduktanz wird der Ausgang entsprechend Abbildung A.11 d) kurzgeschlossen. Der Ausgangstrom $i_{a,Ca}$ kann nach Gleichung (A.114) ermittelt werden. Durch Einsetzen der Bestimmungsgleichung für die Spannung u_x (siehe Gleichung (A.118)) kann die Transkonduktanz $G_{m,Ca}$ entsprechend Gleichung (A.119) ermittelt werden.

$$i_{a,Ca} = -i_{c2} - i_{r_{ce2}} = u_x \cdot g_{m2} + \frac{u_x}{r_{ce2}} \quad (\text{A.114})$$

$$u_x = (i_{c2} - i_{c1}) \cdot (r_{ce1} \parallel r_{ce2} \parallel r_{be2}) \quad (\text{A.115})$$

$$i_{c1} = u_{in,C} \cdot g_{m1} \quad (\text{A.116})$$

$$i_{c2} = -u_x \cdot g_{m2} \quad (\text{A.117})$$

$$u_x = -\frac{g_{m1} \cdot (r_{ce1} \| r_{ce2} \| r_{be2})}{1 + g_{m2} \cdot (r_{ce1} \| r_{ce2} \| r_{be2})} \cdot u_{in,C} \quad (A.118)$$

$$G_{m,Ca} = \frac{i_{a,Ca}}{u_{in,Ca}} = -\frac{g_{m1} \cdot (r_{ce1} \| r_{ce2} \| r_{be2}) \cdot (g_{m2} + \frac{1}{r_{ce2}})}{1 + g_{m2} \cdot (r_{ce1} \| r_{ce2} \| r_{be2})} \quad (A.119)$$

Unter Annahme, dass $r_{ce2}, r_{ce1} \gg r_{be2}$ ist, folgt für die Transkonduktanz der Kaskodenschaltung:

$$G_{m,Ca} = -\frac{g_{m1} \cdot r_{be2} \cdot g_{m2}}{1 + g_{m2} \cdot r_{be2}} = -\frac{g_{m1} \cdot \beta_2}{1 + \beta_2} \stackrel{\beta_2 \gg 1}{\cong} g_{m1} \quad (A.120)$$

Aufgrund des linearen Kleinsignalverhaltens der Kaskodenschaltung kann sie durch das Norton-Äquivalent ersetzt werden (siehe Abbildung A.9 a)). Die Spannungsverstärkung des Norton-Äquivalents entspricht dem Produkt aus der Transkonduktanz $G_{m,Ca}$ und dem Ausgangswiderstand $r_{a,Ca}$. Für die Spannungsverstärkung $A_{V,Ca}$ der Kaskodenschaltung gilt somit:

$$A_{V,Ca} = G_{M,Ca} \cdot r_{a,Ca} = g_{m1} \cdot ((\beta_2 \cdot r_{ce2}) \| R_{CS}) \quad (A.121)$$

A.7 Analyse der Darlington-Schaltung

Nachfolgend wird die Transkonduktanz $g_{m,Da}$, der Basis-Emitter-Widerstand $r_{be,Da}$ und der Kollektor-Emitter-Widerstand $r_{ce,Da}$ des Ersatztransistors der Darlington-Schaltung hergeleitet. In Abbildung A.12 a) ist das entsprechende Kleinsignalersatzschaltbild der Darlington-Schaltung dargestellt.

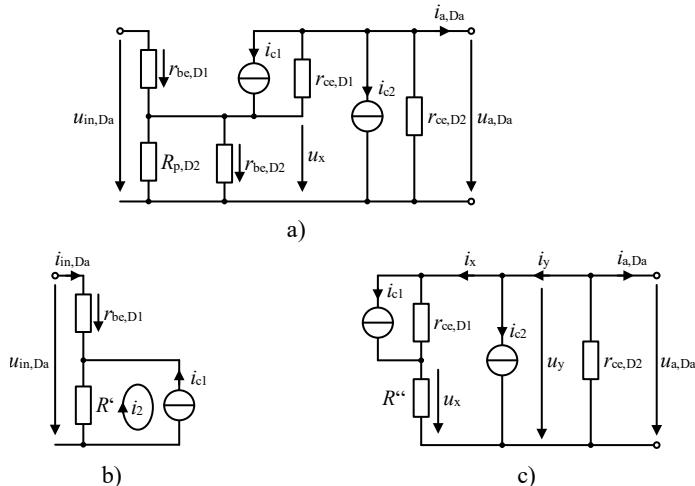


Abbildung A.12: a) Kleinsignalersatzschaltbild der Darlington-Schaltung; b) vereinfachtes Kleinsignalersatzschaltbild zur Herleitung von $r_{be,Da}$; c) vereinfachtes Kleinsignalersatzschaltbild zur Herleitung von $r_{ce,Da}$

Zur Ermittlung der Transkonduktanz $g_{m,Da}$ wird der Ausgang kurzgeschlossen, wodurch der Widerstand $r_{ce,D2}$ vernachlässigt werden kann. Für die beiden Kollektorströme i_{c1} und i_{c2} gilt:

$$i_{c1} = g_{m1} \cdot (u_{in,Da} - u_x) \quad (\text{A.122})$$

$$i_{c2} = g_{m2} \cdot u_x \quad (\text{A.123})$$

Die Spannung u_x kann wie folgt hergeleitet werden:

$$\begin{aligned} u_x &= \left[\frac{u_{in,Da} - u_x}{r_{be,D1}} + i_{c1} \right] \cdot (r_{be,D2} \parallel R_{p,D2} \parallel r_{ce,D1}) \\ &\stackrel{\beta_1, \beta_2 \gg 1}{\cong} u_{in,Da} \cdot \frac{g_{m,D1} \cdot (r_{be,D2} \parallel R_{p,D2})}{1 + g_{m,D1} \cdot (r_{be,D2} \parallel R_{p,D2})} \end{aligned} \quad (\text{A.124})$$

Unter Vernachlässigung des Stroms durch den Widerstand $r_{ce,D1}$ gilt für den Ausgangsstrom $i_{a,Da}$:

$$i_{a,Da} = i_{c1} + i_{c2} = u_{in,Da} \cdot g_{m,D1} \cdot \frac{1+g_{m,D2} \cdot (r_{be,D2} \| R_{p,D2})}{1+g_{m,D1} \cdot (r_{be,D2} \| R_{p,D2})} \quad (\text{A.125})$$

Für die Transkonduktanz $g_{m,Da}$ folgt somit:

$$g_{m,Da} = \frac{i_{a,Da}}{u_{in,Da}} = g_{m,D1} \cdot \frac{1+g_{m,D2} \cdot (r_{be,D2} \| R_{p,D2})}{1+g_{m,D1} \cdot (r_{be,D2} \| R_{p,D2})} \quad (\text{A.126})$$

Unter Annahme, dass der Widerstand $R_{p,D2} \gg r_{be,D2}$ ist, gilt für die beiden Kollektorströme I_{C1} und I_{C2} folgender Zusammenhang:

$$I_{C2} = \beta_2 \cdot I_{C1} \quad (\text{A.127})$$

Hieraus folgt:

$$g_{m,D1} = \frac{I_{C1}}{U_T} = \frac{I_{C2}}{U_T \cdot \beta_2} = \frac{g_{m,D2}}{\beta_2} \quad (\text{A.128})$$

$$r_{be,D1} = \frac{\beta_1 \cdot U_T}{I_{C1}} = \frac{\beta_1 \cdot \beta_2 \cdot U_T}{I_{C2}} = \beta_1 \cdot r_{be,D2} \quad (\text{A.129})$$

$$r_{ce,D1} = \frac{U_A}{I_{C1}} = \frac{\beta_2 \cdot U_A}{I_{C2}} = \beta_2 \cdot r_{ce,D2} \quad (\text{A.130})$$

Unter Berücksichtigung des Zusammenhangs der beiden Transkonduktanzen $g_{m,D1}$ und $g_{m,D2}$ aus Gleichung (A.128) folgt für die Transkonduktanz der Darlington-Schaltung:

$$g_{m,Da} = g_{m,D2} \cdot \frac{1+\frac{1}{\beta_2}}{2} \stackrel{\beta_2 \gg 1}{\cong} \frac{g_{m,D2}}{2} \quad (\text{A.131})$$

Für die Herleitung des Basis-Emitter-Widerstands $r_{be,Da}$ wird der Ausgang ebenfalls kurzgeschlossen. Das Kleinsignalersatzschaltbild kann entsprechend Abbildung A.12 b) vereinfacht werden. Der Ersatzwiderstand R' entspricht dabei der Parallelschaltung von $R_{p,D2}$, $r_{ce,D1}$ und $r_{be,D2}$. Es gilt:

$$u_{in,Da} = i_{in,Da} \cdot r_{be,D1} + (i_{in,D1} - i_2) \cdot R' \quad (\text{A.132})$$

$$i_2 = -i_{c1} = -i_{in,Da} \cdot \beta_1 \quad (\text{A.133})$$

$$\begin{aligned} r_{be,Da} &= \frac{u_{in,Da}}{i_{in,Da}} = r_{be,D1} + \beta_1 (r_{be,D2} \parallel R_{p,D2} \parallel r_{ce,D1}) \\ &\stackrel{R_{p,D2}, r_{ce,D1} \gg r_{be,D2}}{\cong} 2 \cdot r_{be,D1} \end{aligned} \quad (\text{A.134})$$

Die Ermittlung des Kollektor-Emitter-Widerstands $r_{ce,Da}$ erfolgt anhand des Ersatzschaltbilds aus Abbildung A.12 c). Der Widerstand R'' entspricht der Parallelschaltung von $r_{be,D1}$, $R_{p,D2}$ und $r_{be,D2}$. Für den Widerstand $r_{ce,Da}$ gilt:

$$r_{ce,Da} = \frac{u_{a,Da}}{i_x + i_{c2}} \parallel r_{ce,D2} \quad (\text{A.135})$$

Für die Ströme i_x und i_{c2} gelten folgende Zusammenhänge:

$$i_{c2} = u_x \cdot g_{m,D2} = i_x \cdot R'' \cdot g_{m,D2} \quad (\text{A.136})$$

$$u_{a,Da} = (i_x - i_{c1}) \cdot r_{ce,D1} + i_x \cdot R'' \quad (\text{A.137})$$

$$u_{a,Da} = (i_x + i_x \cdot R'' \cdot g_{m,D1,D1}) \cdot r_{ce,D1} + i_x \cdot R'' \quad (\text{A.138})$$

$$i_x = \frac{u_{a,Da}}{r_{ce,D1} \cdot (1 + g_{m,D1} \cdot R'') + R''} \stackrel{r_{ce,D1} \gg R''}{\cong} \frac{u_{a,Da}}{r_{ce,D1} \cdot (1 + g_{m,D1} \cdot R'')} \quad (\text{A.139})$$

Für den Kollektor-Emitter-Widerstand gilt somit:

$$r_{ce,Da} = \left(r_{ce1} \cdot \frac{1 + g_{m,D1} \cdot R''}{1 + g_{m,D2} \cdot R''} \right) \parallel r_{ce,D2} \quad (\text{A.140})$$

Unter der Annahme, dass $R_{p,D2} \gg r_{be,D2}$ ist und den darausfolgenden Zusammenhängen aus den Gleichungen (A.128) bis (A.130), folgt für den Kollektor-Emitter-Widerstand:

$$r_{ce,Da} = \frac{2}{3} \cdot r_{ce,D2} \quad (\text{A.141})$$

A.8 Analyse der Triple Emitterfolger Ausgangsstufe

Für die Analyse der AS wird zunächst das Prinzipschaltbild aus Abbildung A.13 des Tipple Emitterfolgers in das Kleinsignalersatzschaltbild nach Abbildung A.14 überführt. Zur Vereinfachung dieses Kleinsignalersatzschaltbild werden zwei Annahmen getroffen:

1. Die Widerstände R_{o1} bis R_{o4} sind gegenüber den Basis-Emitterwiderständen ($r_{be,T_{o1}} - r_{be,T_{o20}}$) und Kollektor-Emitter-Widerstände ($r_{ce,T_{o1}} - r_{ce,T_{o20}}$) vernachlässigbar und können somit näherungsweise durch einen Kurzschluss ersetzt werden.
 2. Die NPN- ($T_{o1} - T_{o10}$) und PNP-Transistoren ($T_{o11} - T_{o20}$) besitzen ähnliche Eigenschaften, wodurch die letzte Stufe der AS einen symmetrischen Aufbau besitzt. Hierdurch können die Emitterwiderstände R_{oE} in den Pfad des Lastwiderstands R_L verschoben werden.

Durch diese beiden Annahmen vereinfacht sich das Kleinsignalersatzschaltbild zu dem in Abbildung A.15 dargestellten Ersatzschaltbild.

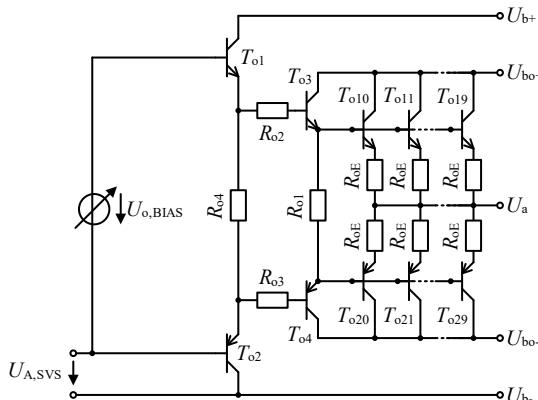


Abbildung A.13: Prinzipschaltbild der Triple Emitterfolger Ausgangsstufe

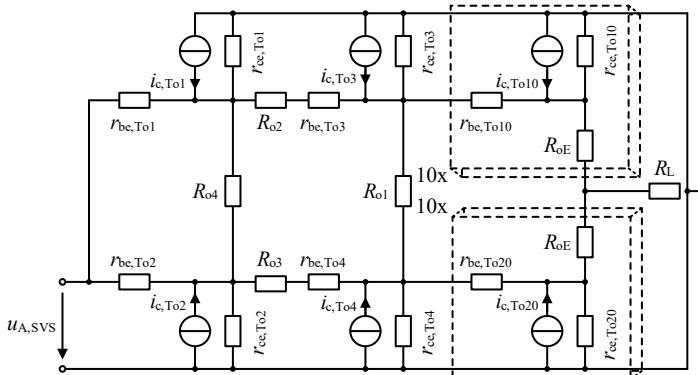


Abbildung A.14: Kleinsignalersatzschaltbild der Triple Emitterfolger Ausgangsstufe

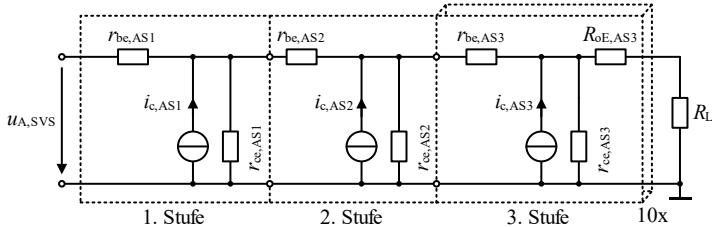


Abbildung A.15: Vereinfachtes Kleinsignalersatzschaltbild der Triple Emitterfolger Ausgangsstufe

Die vorhandenen Widerstände sowie Stromquellen aus Abbildung A.15 können anhand des in Abbildung A.14 dargestellten Kleinsignalersatzschaltbild hergeleitet werden. Es gelten folgende Zusammenhänge:

$$i_{c,AS1} = i_{c,T_{o1}} + i_{c,T_{o2}} \quad (\text{A.142})$$

$$i_{c,AS2} = i_{c,T_{o3}} + i_{c,T_{o4}} \quad (\text{A.143})$$

$$i_{c,AS3} = i_{c,T_{o1\chi}} + i_{c,T_{o2\chi}} \quad \{\chi \in \mathbb{N}_0 | 0 \leq \chi \leq 9\} \quad (\text{A.144})$$

$$r_{be,AS1} = r_{be,T_{o1}} \parallel r_{be,T_{o2}} \quad (\text{A.145})$$

$$r_{be,AS2} = r_{be,T_{o3}} \parallel r_{be,T_{o4}} \quad (\text{A.146})$$

$$r_{be,AS3} = r_{be,T_{o1\chi}} \parallel r_{be,T_{o2\chi}} \quad (\text{A.147})$$

$$r_{ce,AS1} = r_{ce,T_{01}} \parallel r_{ce,T_{02}} \quad (A.148)$$

$$r_{ce,AS2} = r_{ce,T_{03}} \parallel r_{ce,T_{04}} \quad (A.149)$$

$$r_{ce,AS3} = r_{ce,T_{01\chi}} \parallel r_{ce,T_{02\chi}} \quad (A.150)$$

$$R_{oE,AS3} = \frac{1}{2} R_{oE} \quad (A.151)$$

Entsprechend dem vereinfachten Kleinsignalersatzschalbild besteht die AS aus drei Stufen. Die Herleitung der Kenngrößen ist ähnlich der für eine Kollektorstufe entsprechend Kapitel A.1.2. Für den Eingangswiderstand $r_{in,AS1}$ und Ausgangswiderstand $r_{a,AS1}$ sowie für die Spannungsverstärkung $A_{V,AS1}$ der ersten Stufe gilt:

$$\begin{aligned} r_{in,AS1} &= r_{be,AS1} + \left(1 + r_{be,AS1} \cdot (g_{m,T_{01}} + g_{m,T_{02}}) \right) \cdot \\ &\quad (r_{ce,AS1} \parallel r_{in,AS2}) \end{aligned} \quad (A.152)$$

$$A_{V,AS1} = \frac{1 + (g_{m,T_{01}} + g_{m,T_{02}}) \cdot r_{be,AS1}}{\frac{r_{be,AS1}}{r_{ce,AS1} \parallel r_{in,AS2}} + 1 + (g_{m,T_{01}} + g_{m,T_{02}}) \cdot r_{be,AS1}} \quad (A.153)$$

$$r_{a,AS1} = \frac{(r_{be,AS1} + r_{a,SVS}) \cdot r_{ce,AS1}}{r_{be,AS1} + r_{a,SVS} + r_{ce,AS1} (1 + (g_{m,T_{01}} + g_{m,T_{02}}) \cdot r_{be,AS1})} \quad (A.154)$$

Unter Annahme, dass $1 \ll (g_{m,T_{01}} + g_{m,T_{02}}) \cdot r_{be,AS1}$ ist, lassen sich die Gleichungen vereinfachen zu:

$$\begin{aligned} r_{in,AS1} &\cong r_{be,AS1} + r_{be,AS1} \cdot (g_{m,T_{01}} + g_{m,T_{02}}) \cdot \\ &\quad (r_{ce,AS1} \parallel r_{in,AS2}) \end{aligned} \quad (A.155)$$

$$A_{V,AS1} \cong \frac{r_{ce,AS1} \parallel r_{in,AS2}}{\frac{1}{(g_{m,T_{01}} + g_{m,T_{02}})} + r_{ce,AS1} \parallel r_{in,AS2}} \quad (A.156)$$

$$r_{a,AS1} \cong \frac{(r_{be,AS1} + r_{a,SVS}) \cdot r_{ce,AS1}}{r_{be,AS1} + r_{a,SVS} + r_{ce,AS1} \cdot (g_{m,T_{01}} + g_{m,T_{02}}) \cdot r_{be,AS1}} \quad (A.157)$$

Für den Fall, dass die Eigenschaften der NPN- und PNP-Transistoren identisch sind folgt:

$$r_{in,AS1} \cong \frac{1}{2} r_{be,T_{o1}} + \beta_{T_{o1}} \cdot \left(\frac{r_{ce,T_{o1}}}{2} \parallel r_{in,AS2} \right) \quad (A.158)$$

$$A_{V,AS1} \cong \frac{\frac{r_{ce,T_{o1}}}{2} \parallel r_{in,AS2}}{\frac{1}{2 \cdot g_{m,T_{o1}}} + \frac{r_{ce,T_{o1}}}{2} \parallel r_{in,AS2}} \quad (A.159)$$

$$r_{a,AS1} \cong \left(\frac{1}{2 \cdot g_{m,T_{o1}}} + \frac{r_{a,SVS}}{\beta_{T_{o1}}} \right) \parallel \frac{r_{ce,T_{o1}}}{2} \quad (A.160)$$

Für die zweite Stufe gilt entsprechend:

$$r_{in,AS2} \cong \frac{1}{2} r_{be,T_{o3}} + \beta_{T_{o3}} \cdot \left(\frac{r_{ce,T_{o3}}}{2} \parallel r_{in,AS3} \right) \quad (A.161)$$

$$A_{V,AS2} \cong \frac{\frac{r_{ce,T_{o3}}}{2} \parallel r_{in,AS3}}{\frac{1}{2 \cdot g_{m,T_{o3}}} + \frac{r_{ce,T_{o3}}}{2} \parallel r_{in,AS3}} \quad (A.162)$$

$$r_{a,AS2} \cong \left(\frac{1}{2 \cdot g_{m,T_{o3}}} + \frac{r_{a,AS1}}{\beta_{T_{o3}}} \right) \parallel \frac{r_{ce,T_{o3}}}{2} \quad (A.163)$$

Bei der dritten Stufe muss berücksichtigt werden, dass zehn Emitterfolger parallelgeschaltet sind. Aufgrund der Symmetrie dieser Stufen gilt für die Kenngrößen:

$$r_{in,AS3} \cong \frac{1}{2 \cdot 10} r_{be,T_{o10}} + \beta_{T_{o10}} \cdot \left(\frac{r_{ce,T_{o10}}}{2 \cdot 10} \parallel \left(\frac{1}{2 \cdot 10} R_{oE} + R_L \right) \right) \quad (A.164)$$

$$A_{V,AS3} \cong \frac{\frac{r_{ce,T_{o10}}}{2 \cdot 10} \parallel \left(\frac{1}{2 \cdot 10} R_{oE} + R_L \right)}{\frac{1}{2 \cdot 10 \cdot g_{m,T_{o10}}} + \frac{r_{ce,T_{o10}}}{2 \cdot 10} \parallel \left(\frac{1}{2 \cdot 10} R_{oE} + R_L \right)} \quad (A.165)$$

$$r_{a,AS3} \cong \frac{1}{2 \cdot 10} R_{oE} + \left[\left(\frac{1}{2 \cdot 10 \cdot g_{m,T_{o10}}} + \frac{r_{a,AS2}}{\beta_{T_{o10}}} \right) \parallel \frac{r_{ce,T_{o10}}}{2 \cdot 10} \right] \quad (A.166)$$

Hierbei gilt, dass $r_{ce,T_{o10}} \gg R_L, R_{oE}$ ist, wodurch sich die Zusammenhänge für die dritte Stufe vereinfachen lassen zu:

$$r_{\text{in,AS3}} \cong \frac{1}{2 \cdot 10} r_{\text{be,T}_{010}} + \beta_{T_{010}} \cdot \left(\frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}} \right) \quad (\text{A.167})$$

$$A_{V,\text{AS3}} \cong \frac{\frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}}}{\frac{1}{2 \cdot 10 \cdot g_{\text{m},T_{010}}} + \frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}}} \quad (\text{A.168})$$

$$r_{\text{a,AS3}} \cong \frac{1}{2 \cdot 10} R_{\text{oE}} + \left(\frac{1}{2 \cdot 10 \cdot g_{\text{m},T_{010}}} + \frac{r_{\text{a,AS2}}}{\beta_{T_{010}}} \right) \quad (\text{A.169})$$

Zur Bestimmung der Parameter der gesamten AS werden die Gleichungen der einzelnen Stufen (A.158) bis (A.163) und (A.167) bis (A.169) verwendet. Der Eingangswiderstand $r_{\text{in,AS}}$, Ausgangswiderstand $r_{\text{a,AS}}$ sowie die Spannungsverstärkung $A_{V,\text{AS}}$ können nach den Gleichung (A.170) bis (A.172) ermittelt werden. Dabei wird angenommen, dass die vorhandenen Kollektor-Emitter-Widerstände der AS wesentlich größer sind als die restlichen Widerstände der AS.

$$r_{\text{in,AS}} \cong \frac{1}{2} r_{\text{be,T}_{01}} + \beta_{T_{01}} \cdot \left\{ \frac{1}{2} r_{\text{be,T}_{03}} + \beta_{T_{03}} \cdot \left[\frac{1}{2 \cdot 10} r_{\text{be,T}_{010}} + \beta_{T_{010}} \cdot \left(\frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}} \right) \right] \right\} \quad (\text{A.170})$$

$$A_{V,\text{AS}} \cong \frac{\frac{1}{2} r_{\text{be,T}_{03}} + \beta_{T_{03}} \cdot \left[\frac{1}{2 \cdot 10} r_{\text{be,T}_{010}} + \beta_{T_{010}} \cdot \left(\frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}} \right) \right]}{\frac{1}{2 \cdot g_{\text{m},T_{01}}} + \frac{1}{2} r_{\text{be,T}_{03}} + \beta_{T_{03}} \cdot \left[\frac{1}{2 \cdot 10} r_{\text{be,T}_{010}} + \beta_{T_{010}} \cdot \left(\frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}} \right) \right]} \cdot \\ \frac{\frac{1}{2 \cdot 10} r_{\text{be,T}_{010}} + \beta_{T_{010}} \cdot \left(\frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}} \right)}{\frac{1}{2 \cdot g_{\text{m},T_{03}}} + \frac{1}{2 \cdot 10} r_{\text{be,T}_{010}} + \beta_{T_{010}} \cdot \left(\frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}} \right)} \cdot \\ \frac{\frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}}}{\frac{1}{2 \cdot 10 \cdot g_{\text{m},T_{01}}} + \frac{1}{2 \cdot 10} R_{\text{oE}} + R_{\text{L}}} \quad (\text{A.171})$$

$$r_{\text{a,AS}} \cong \frac{1}{2 \cdot 10} R_{\text{oE}} + \frac{1}{2 \cdot 10 \cdot g_{\text{m},T_{010}}} + \frac{1}{\beta_{T_{010}}} \left[\frac{1}{2 \cdot g_{\text{m},T_{03}}} + \frac{1}{\beta_{T_{03}}} \left(\frac{1}{2 \cdot g_{\text{m},T_{01}}} + \frac{r_{\text{a,SVS}}}{\beta_{T_{01}}} \right) \right] \quad (\text{A.172})$$

A.9 Herleitung der Umrichterimpedanz mittels Forward Return Loop Methode

Die Forward Return Loop (FRL) Methode stellt eine Erweiterung der Mason Rule dar und ist auch auf mehrdimensionalen Signalflussdiagramme anwendbar [136]. Nachfolgend wird das Verfahren anhand des Signalflussdiagramms des DUT-Umrichters (vgl. Abbildung 5.7) erläutert [S5]. Mit Hilfe der FRL-Methode kann dabei die Übertragungsfunktion von $U_{a,dq}$ nach $I_{a,dq}$ ermittelt werden. Dies entspricht der Admittanz des Umrichters Y_{dq} . Die gesuchte Impedanz des Umrichters Z_{dq} entspricht der Inversen der Admittanz Y_{dq} . Für das Verfahren wird das Signalflussdiagramm in die alternative Darstellungsform nach Abbildung A.16 überführt. Dabei stellt jeder Knotenpunkt eine Systemvariable dar, wodurch die FRL-Methode leichter nachvollziehbar ist.

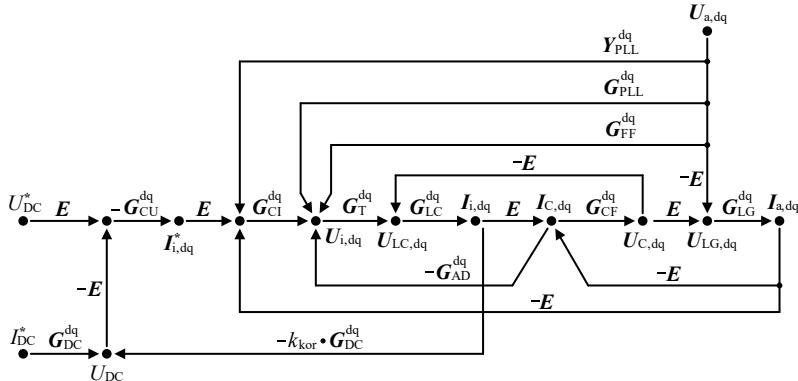


Abbildung A.16: Alternative Darstellungsform des Signalflussdiagramms des DUT-Umrichters

Zur Ermittlung einer Übertragungsfunktion innerhalb eines Signalflussdiagramms werden folgende Schritte durchgeführt:

1. Auflisten aller Vorwärtspfade, die vom gewünschten Quellknoten $U_{a,dq}$ zum Zielknoten $I_{a,dq}$ führen. Dabei muss die Reihenfolge beachtet werden, da die Matrizenmultiplikation nicht kommutativ ist.

$$P_1 = \mathbf{G}_{\text{LG}}^{\text{dq}} \cdot \mathbf{E} \quad (\text{A.173})$$

$$P_2 = \mathbf{G}_{\text{LG}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{G}_{\text{CF}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{G}_{\text{LC}}^{\text{dq}} \cdot \mathbf{G}_{\text{T}}^{\text{dq}} \cdot \mathbf{G}_{\text{FF}}^{\text{dq}} \quad (\text{A.174})$$

$$P_3 = \mathbf{G}_{\text{LG}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{G}_{\text{CF}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{G}_{\text{LC}}^{\text{dq}} \cdot \mathbf{G}_{\text{T}}^{\text{dq}} \cdot \mathbf{G}_{\text{PLL}}^{\text{dq}} \quad (\text{A.175})$$

$$P_4 = \mathbf{G}_{\text{LG}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{G}_{\text{CF}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{G}_{\text{LC}}^{\text{dq}} \cdot \mathbf{G}_{\text{T}}^{\text{dq}} \cdot \mathbf{G}_{\text{CI}}^{\text{dq}} \cdot Y_{\text{PLL}}^{\text{dq}} \quad (\text{A.176})$$

2. Bestimmung der Knotenbeiträge entlang der ermittelten Vorwärtspfade. Dabei muss für jeden Knoten, der Teil eines Vorwärtspfads ist, der Knotenbeitrag ermittelt werden. Der Knotenbeitrag entspricht der Inversen der Schleifendifferenz. Die Schleifendifferenz wird ermittelt, indem beim betrachteten Knoten alle Knoten, die näher Richtung Senke/Ausgang liegen, entfernt werden. Anschließend wird die Schleifenverstärkung des Knotens berechnet, d.h. es werden alle geschlossenen Schleifen, die beim entsprechenden Knoten starten und enden, bestimmt. Für den Fall, dass innerhalb der Schleife weitere Knoten mit Schleifen enthalten sind, müssen die Knotenbeiträge dieser Knoten in der Schleifenverstärkung berücksichtigt werden. Zur Bestimmung der Schleifendifferenz wird die ermittelte Schleifenverstärkung von der Einheitsmatrix \mathbf{E} abgezogen

Knoten $\mathbf{I}_{i,\text{dq}}$:

$$\mathbf{I}_{i,\text{dq}} = [\mathbf{E} + \mathbf{G}_{\text{LC}}^{\text{dq}} \cdot \mathbf{G}_{\text{T}}^{\text{dq}} \cdot \mathbf{G}_{\text{CI}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{G}_{\text{CU}}^{\text{dq}} \cdot \mathbf{E} \cdot k_{kor} \cdot \mathbf{G}_{\text{DC}}^{\text{dq}}]^{-1} \quad (\text{A.177})$$

Knoten $\mathbf{I}_{C,\text{dq}}$

$$\mathbf{I}_{C,\text{dq}} = [\mathbf{E} + \mathbf{E} \cdot \mathbf{I}_{i,\text{dq}} \cdot \mathbf{G}_{\text{LC}}^{\text{dq}} \cdot \mathbf{G}_{\text{T}}^{\text{dq}} \cdot \mathbf{G}_{\text{AD}}^{\text{dq}}]^{-1} \quad (\text{A.178})$$

Knoten $\mathbf{U}_{C,\text{dq}}$

$$\mathbf{U}_{C,\text{dq}} = [\mathbf{E} + \mathbf{G}_{\text{CF}}^{\text{dq}} \cdot \mathbf{I}_{C,\text{dq}} \cdot \mathbf{E} \cdot \mathbf{I}_{i,\text{dq}} \cdot \mathbf{G}_{\text{LC}}^{\text{dq}} \cdot \mathbf{E}]^{-1} \quad (\text{A.179})$$

Knoten $\mathbf{I}_{a,\text{dq}}$

$$\begin{aligned} \mathbf{I}_{a,\text{dq}} = & [\mathbf{E} + \mathbf{G}_{\text{LG}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{U}_{C,\text{dq}} \cdot \mathbf{G}_{\text{CF}}^{\text{dq}} \cdot \mathbf{I}_{C,\text{dq}} \cdot \mathbf{E} \cdot \mathbf{I}_{i,\text{dq}} \cdot \mathbf{G}_{\text{LC}}^{\text{dq}} \\ & \cdot \mathbf{G}_{\text{T}}^{\text{dq}} \cdot \mathbf{G}_{\text{CI}}^{\text{dq}} \cdot \mathbf{E} + \mathbf{G}_{\text{LG}}^{\text{dq}} \cdot \mathbf{E} \cdot \mathbf{U}_{C,\text{dq}} \cdot \mathbf{G}_{\text{CF}}^{\text{dq}} \cdot \mathbf{I}_{C,\text{dq}} \\ & \cdot \mathbf{E}]^{-1} \end{aligned} \quad (\text{A.180})$$

3. Die Knotenbeiträge werden in die ermittelten Vorwärtspfade an die entsprechenden Stellen eingefügt und anschließend alle Vorwärtspfade addiert, um die Übertragungsfunktion vom Quellknoten $\mathbf{U}_{a,dq}$ zum Zielknoten $-\mathbf{I}_{a,dq}$ zu erhalten. Dabei ist der Strom $\mathbf{I}_{a,dq}$ negiert, da laut Blockschaltbild dieser als Strom vom Umrichter zum Netz definiert ist. Um die Admittanz zu erhalten, muss der Stromfluss vom Netz in den Umrichter betrachtet werden.

$$\begin{aligned}
Y_{dq} = & +\mathbf{I}_{a,dq} \cdot \mathbf{G}_{LG}^{dq} \cdot \mathbf{E} \\
& -\mathbf{I}_{a,dq} \cdot \mathbf{G}_{LG}^{dq} \cdot \mathbf{E} \cdot \mathbf{U}_{C,dq} \cdot \mathbf{G}_{CF}^{dq} \cdot \mathbf{I}_{C,dq} \cdot \mathbf{E} \cdot \\
& \mathbf{I}_{i,dq} \cdot \mathbf{G}_{LC}^{dq} \cdot \mathbf{G}_T^{dq} \cdot \mathbf{G}_{FF}^{dq} \\
& -\mathbf{I}_{a,dq} \cdot \mathbf{G}_{LG}^{dq} \cdot \mathbf{E} \cdot \mathbf{U}_{C,dq} \cdot \mathbf{G}_{CF}^{dq} \cdot \mathbf{I}_{C,dq} \cdot \mathbf{E} \cdot \\
& \mathbf{I}_{i,dq} \cdot \mathbf{G}_{LC}^{dq} \cdot \mathbf{G}_T^{dq} \cdot \mathbf{G}_{PLL}^{dq} \\
& -\mathbf{I}_{a,dq} \cdot \mathbf{G}_{LG}^{dq} \cdot \mathbf{E} \cdot \mathbf{U}_{C,dq} \cdot \mathbf{G}_{CF}^{dq} \cdot \mathbf{I}_{C,dq} \cdot \mathbf{E} \cdot \\
& \mathbf{I}_{i,dq} \cdot \mathbf{G}_{LC}^{dq} \cdot \mathbf{G}_T^{dq} \cdot \mathbf{G}_{CI}^{dq} \cdot Y_{PLL}^{dq} \tag{A.181}
\end{aligned}$$

Die gesuchte Impedanz des Umrichters \mathbf{Z}_{dq} ist die Inverse der ermittelten Admittanz \mathbf{Y}_{dq} . Somit gilt:

$$\mathbf{Z}_{dq} = \mathbf{Y}_{dq}^{-1} \tag{A.182}$$

A.10 Beschreibung der verwendeten ETI-SoC-Erweiterungskarten

Zur Steuerung des aufgebauten PHIL-Systems werden unterschiedliche Erweiterungskarten für das ETI-SoC-System benötigt. Nachfolgend werden diese zum besseren Verständnis ausführlicher erläutert.

A.10.1 ADC-Karte

Die ADC-Karte wird in Abbildung A.17 gezeigt. Auf ihr ist dreimal der ADC-Baustein *LTC2325-16* verbaut. Der ADC-Baustein stellt vier analoge Kanäle zur Verfügung mit einer Auflösung von 16 Bit bei einer Abtastrate von 5 MSPS/s [D55]. Mit einer ADC-Karte können somit bis zu 12 analoge Kanäle digitalisiert werden. Das analoge Front-End ermöglicht einen Messbereich von $\pm 10,24$ V. Die erzeugte Latenz durch die Digitalisierung sowie Clock-Domain-Crossing innerhalb des FPGAs beträgt 410 ns [E7].

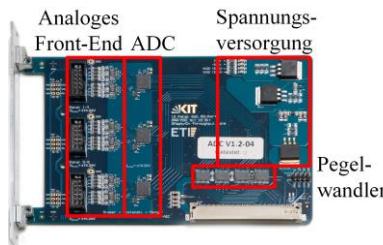


Abbildung A.17: ADC-Karte

A.10.2 IO-Karte

Die in der Abbildung A.18 abgebildete IO-Karte besitzt 16 digitale Kanäle. Die Signalrichtung (Eingang oder Ausgang) und die Spannungsklasse (3,3 V oder 5 V) können für jeden Kanal unabhängig voneinander mit dem Level-Shifter *SN74LVC1T45* und mit zwei DIP-Mehrfachschaltern eingestellt werden [E7, D56]. Darüber hinaus verfügt die IO-Karte über einen Steckplatz für eine zusätzliche Anpasskarte, um weitere Spannungsniveaus bereitzustellen.

Die IO-Karte wird zur Steuerung von Leistungsschützen und Anzeigeelementen sowie zur Auswertung von Tastern und Schaltern des Schaltschranks verwendet.

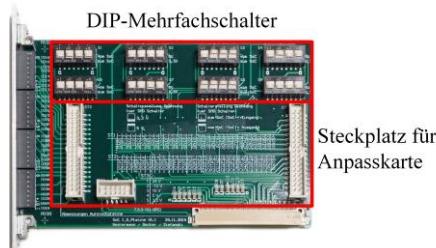


Abbildung A.18: IO-Karte

A.10.3 LWL-Karte und Phasen-FPGA-Karte

Die LWL-Karte ist in der Abbildung A.19 a) dargestellt und kann mit bis zu acht Sendern *AFBR-1624Z* und acht Empfängern *AFBR-2624Z* mit je 50 MBaud bestückt werden [D57]. Sie wird für die Kommunikation mit der Temperaturregelungseinheit und mit den drei AFEs verwendet. Die Phasen-FPGA-Karte besitzt 12 Sender und 12 Empfänger (siehe Abbildung A.19 b)). Auf ihr ist entsprechend Kapitel 2.1.3 der Sortieralgorithmus implementiert und es werden sämtliche Informationen aller CHB-Zellen einer Phase auf ihr gebündelt. Diese Aufgaben übernimmt das installierte *MAX10* Phasen-FPGA *10M08SAE144* mit 8000 Logikzellen [D31]. Beide Platinen verwenden für die Kommunikation über die Lichtwellenleiter das in Kapitel 2.2.4 beschriebene UART-Protokoll.

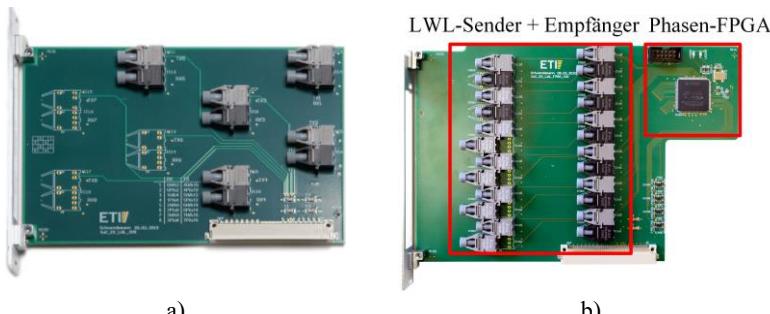


Abbildung A.19: a) LWL-Karte und b) Phasen-FPGA-Karte

A.10.4 Dig2Diff-Karte

In Abbildung A.20 ist die Dig2Diff-Karte abgebildet. Sie wird zur Ansteuerung des LPA-Sollwertgenerators verwendet. Hierzu werden die vom SoC kommenden, asymmetrischen, digitalen Signale in differentielle Signale umgewandelt, welche anschließend über ein 37-poliges DSUB-Kabel an den LPA-Sollwertgenerator übertragen werden.

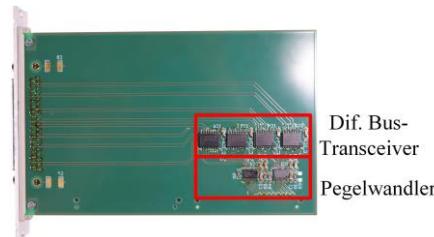


Abbildung A.20: Dig2Diff-Karte

Symbolverzeichnis

Abkürzungen

AC	Wechselgröße (eng.: Alternating Current)
ADC	Analog-Digital-Wandler (engl.: Analog-Digital-Converter)
AFE	Frequenzumrichter mit geregeltem Netzgleichrichter (engl.: Active Front End)
ARM	Advanced RISC Machine
AS	Ausgangsstufe des LPAs
CCU	Zentrales Signalverarbeitungssystem (engl.: Central Control Unit)
CHB	Kaskadierte H-Brücke (engl.: Cascaded H-Bridge)
CI	Konstantstrommodus in der Hochlaufphase der CHB-Zelle
CMRR	Gleichtaktunterdrückung (engl.: Common Mode Rejection Ratio)
CV	Konstantspannungsmodus in der Hochlaufphase der CHB-Zelle
DAC	Digital-Analog-Wandler (engl.: Digital Analog Converter)
DC	Gleichgröße (engl.: Direct Current)
DC/DC-Wandler	Gleichspannungswandler
DIBS	Discrete Interval Binary Sequences
DIM	Damping Impedance Method

DITM	Damped Ideal Transformer Method
du/dt -Filter	Spannungssteilheitsfilter
DUT	Device Under Test
DVS	Differenzverstärkerstufe
EEG	Erneuerbaren Energien Gesetz
EHC	Envelope Hybrid Converter
ETI	Elektrotechnisches Institut
FHA	First Harmonic Approximation
FPGA	Field-Programmable-Gate-Array
FRL	Forward Return Loop
FRT	Fault Ride Through
FSF	Feedback Signal Filtering
HMI	Human Machine Interface
HU	Hauptumrichter
IA	Schnittstellenalgorithmus (engl.: Interface Algorithm)
IGBT	Insulated-Gate Bipolar Transistor
ITM	Ideal Transformer Method
KU	Korrekturmumrichter
LCU	Dezentrale Kontrolleinheit (engl.: Local Control Unit)
LE	Leistungselektronik, leistungselektronisch
LPA	Linearverstärker (engl. Linear Power Amplifier)
MAD	Mittlere absolute Abweichung vom arithmetischen Mittel (eng.: Mean Absolute Deviation)
MLBS	Maximum Length Binary Sequence
MMC	Modular Multilevel Converter
MMPMC	Modular Multiphase Multilevel Converter
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
NAP	Netzanschlusspunkt
ONT	Ortsnetztransformator
PCD	Partial Circuit Duplication

PHC	Parallel Hybrid Converter
PHIL	Power-Hardware-in-the-Loop
PLL	Phasenregelschleife (engl. Phase-Locked-Loop)
PRBS	Pseudorandom Binary Sequence
PSSR	Betriebsspannungsunterdrückung (engl.: Power Supply Rejection Ratio)
SHC	Series Hybrid Converter
SHCHB	Series Hybrid Cascaded H-Bridge
Si	Silizium
SiC	Siliziumcarbid
SNR	Signal-Rausch-Verhältnis (engl.: Signal-to-Noise-Ratio)
SPMMC	Modularer Multilevel-Umrichter mit Rechteckspeisung (engl.: Square-wave Powered Modular Multilevel Converter)
SoC	System-on-Chip
SR	Spannungssteilheit (engl.: Slew Rate)
SVS	Spannungsverstärkerstufe des LPAs
TFA	Time-variant First-Order Approximation
THD	Oberschwingungsgehalt (engl.: Total Harmonic Distortion)
TLM	Transmission Line Model
VSC	Spannungszwischenkreisumrichter (engl.: Voltage Source Converter)
ZCS	Stromloses Schalten (engl.: Zero Current Switching)
ZVS	Spannungsloses Schalten (engl.: Zero Voltage Switching)

Formelzeichen

Allgemeine Größen

e	Eulerzahl
n	Laufparameter
s	Laplace-Transformierte
t	Laufparameter Zeit

Spezifische Größen

$A_{I,M}$	Stromverstärkung des Stromspiegels
A_{Rand}	Amplitudenrand des offenen Regelkreises
$A_{V,AS}$	Spannungsverstärkung der Ausgangsstufe
$A_{V,Ca}$	Spannungsverstärkung der Kaskodenschaltung
$A_{V,DIF}$	Differenzspannungsverstärkung
$A_{V,DVS,o}$	Spannungsverstärkung des oberen Pfads der DVS
$A_{V,DVS,u}$	Spannungsverstärkung des unteren Pfads der DVS
$A_{V,DVS}$	Resultierende Spannungsverstärkung der DVS
$A_{V,GL}$	Gleichtaktspannungsverstärkung
$A_{V,LPA}$	Spannungsverstärkung des LPAs
$A_{V,n.\text{inv}}$	Verstärkung eines nicht invertierenden Verstärkers
$A_{V,SVS,o}$	Spannungsverstärkung des oberen Pfads der SVS
$A_{V,SVS,u}$	Spannungsverstärkung des unteren Pfads der SVS
$A_{V,SVS}$	Resultierende Spannungsverstärkung der SVS
A_V	Spannungsverstärkung einer Transistorschaltung
$A_{V0,DIF}$	Differenzleerlaufspannungsverstärkung einer Transistor-schaltung
$A_{V0,LPA}$	Leerlaufspannungsverstärkung des LPAs
A_{V0}	Leerlaufspannungsverstärkung einer Transistorschaltung

a_T	Übersetzungsverhältnis des Transformators
B_{LPA}	Bandbreite des LPAs
B_{PHIL}	Bandbreite des PHIL-Systems
C_D	Entkoppelkapazität des Dämpfungswiderstands des du/dt -Filters
$C_{DC,min,p}$	Minimale primäre Zwischenkreiskapazität
$C_{DC,min,s}$	Minimale sekundäre Zwischenkreiskapazität
$C_{DC,s}$	Sekundäre Zwischenkreiskapazität
C_{DC}	Zwischenkreiskapazität des DUT-Umrichters
C_F	Filterkapazität des Spannungssteilheitsfilter
C_K	Kopplungskapazität des TLM-IAs
C_{LLC}	Kapazität des LLC-Serienschwingkreis
C_M	Millerkapazität der SVS
D_{LCR}	Dämpfung des LCR-Filters
D_{LCRC}	Dämpfung des LCRC-Filters
$E_{SW,off}$	Ausschaltenergie eines MOSFETs
F_{dudt}	Übertragungsfunktion des du/dt -Filters
$f_{g,CS}$	Grenzfrequenz/Bandbreite des Stromsensors
$f_{g,DITM}$	Grenzfrequenz des bedämpften Netzmodells
$f_{g,dudt}$	Grenzfrequenz des du/dt -Filters
$f_{g,FSF}$	Grenzfrequenz des Tiefpassfilters des FSF-IA
$f_{g,LCR}$	Grenzfrequenz des LCR-Filters
$f_{g,LCRC}$	Grenzfrequenz des LCRC-Filters
$f_{g,LPA}$	Grenzfrequenz des LPAs
$f_{g,V}$	Grenzfrequenz des PHIL-Umrichters
f_{gr}	Netzfrequenz
$f_{res,l,n}$	normierte untere Resonanzfrequenz des LLC-DC/DC-Wandlers
$f_{res,l}$	Untere Resonanzfrequenz des LLC-Schwingkreises

f_{res}	Resonanzfrequenz des LLC-Schwingkreises
$f_{s,\text{DUT}}$	Schaltfrequenz des DUT-Umrichters
$f_{s,\text{LLC,start}}$	Startschaltfrequenz des Algorithmus zur Ermittlung der optimalen Schaltfrequenz
$f_{s,\text{LLC}}$	Schaltfrequenz des LLC-DC/DC-Wandlers
$f_{s,\text{PHIL}}$	Schaltfrequenz des PHIL-Umrichters
f_x	Normierte Schaltfrequenz des LLC-DC/DC-Wandlers
f_k	Betrachteter Messfrequenzpunkt
FB_0	Übertragungsfunktion des Rückkoppelpfads des bekannten Serien-Hybrid-Umrichterkonzepts
FB	Übertragungsfunktion des Rückkoppelpfads des verwen-deten Serien-Hybrid-Umrichterkonzepts
$G_{\text{AD}}^{\text{dq}}$	Übertragungsfunktion der Aktiven Dämpfung
$G_{\text{CF}}^{\alpha\beta}$	Übertragungsfunktion der Filterkondensators des LCL-Netzfilters
$G_{\text{CI}}^{\text{dq}}$	Übertragungsfunktion des Stromreglers
$G_{\text{CU}}^{\text{dq}}$	Übertragungsfunktion des Spannungsreglers
$G_{\text{DC}}^{\text{dq}}$	Übertragungsfunktion des Spannung zwischenkreises
G_{DIM1}	Teilübertragungsfunktion des DIM-IAs
G_{DIM2}	Teilübertragungsfunktion des DIM-IAs
G_{DUT}	Übertragungsfunktion des DUTs
G_{eq}^*	Äquivalente Koppeladmittanz des TFA-IAs
$G_{\text{FF}}^{\text{dq}}$	Übertragungsfunktion der Spannung vorsteuerung
G_{Fi}	Übertragungsfunktion des Filters des FSF-IAs
$G_{\text{G,DIM}}$	Geschlossene Übertragungsfunktion des DIM-IAs
$G_{\text{G,ITM}}$	Geschlossene Übertragungsfunktion des ITM-IAs
$G_{\text{G,PCD}}$	Geschlossene Übertragungsfunktion des PCD-IAs
$G_{\text{G,DITM}}$	Geschlossene Übertragungsfunktion des DITM-IAs
$G_{\text{G,FSF}}$	Geschlossene Übertragungsfunktion des FSF-IAs

$G_{\text{G,IA}}$	Geschlossene Übertragungsfunktion der closed-loop-Emulation unter Verwendung eines IAs
$G_{\text{G,ideal}}$	Ideale, geschlossene Übertragungsfunktion des zu emulierenden Modells
$G_{\text{IO,LPA,o}}$	Geschlossene Sollwertübertragungsfunktion des SHCHB-Umrichters mit dem bekannten Verschaltungskonzept
$G_{\text{IO,LPA}}$	Geschlossene Sollwertübertragungsfunktion des SHCHB-Umrichters mit dem verwendeten Verschaltungskonzept
$G_{\text{LC}}^{\alpha\beta}$	Übertragungsfunktion der umrichterseitigen Induktivität des LCL-Netzfilters
G_{LCR}	Übertragungsfunktion des LCR-Filters
G_{LCRC}	Übertragungsfunktion des LCRC-Filters
$G_{\text{LG}}^{\alpha\beta}$	Übertragungsfunktion der netzseitigen Induktivität des LCL-Netzfilters
G_{LPA}	Übertragungsfunktion des LPAs
$g_{\text{m,Ca}}$	Transkonduktanz der Kaskodenschaltung
$G_{\text{m,Ca}}$	Transkonduktanz der Kaskodenschaltung
$G_{\text{M,d}}$	Übertragungsfunktion des bedämpften Netzmodells
$g_{\text{m,D2}}$	Transkonduktanz des Transistors T_{D2} der Darlington-Schaltung
$g_{\text{m,Da,o}}$	Transkonduktanz der oberen Darlingtonschaltung
$g_{\text{m,Da,u}}$	Transkonduktanz der unteren Darlingtonschaltung
$g_{\text{m,Da}}$	Transkonduktanz der Darlington-Schaltung
$g_{\text{m,in,Ca,o}}$	Transkonduktanz der oberen Kaskodenschaltung
$g_{\text{m,in,Ca,u}}$	Transkonduktanz der unteren Kaskodenschaltung
$g_{\text{m,in,Ca}}$	Transkonduktanz der Kaskodenschaltung der DVS
g_{m}	Transkonduktanz eines Transistors
G_{M}	Übertragungsfunktion des Netzmodells

G_{NV}	Übertragungsfunktion der Nachverarbeitung der Sollwert für den PHIL-Umrichter innerhalb des IAs
$G_{\text{o,DIM}}$	Offene Übertragungsfunktion des DIM-IAs
$G_{\text{O,IA}}$	Offene Übertragungsfunktion der closed-loop-Emulation unter Verwendung eines IAs
$G_{\text{o,ITM}}$	Offene Übertragungsfunktion des ITM-IAs
$G_{\text{O,LPA,o}}$	Offene Sollwertübertragungsfunktion des SHCHB-Umrichters mit dem bekannten Verschaltungskonzept
$G_{\text{O,LPA}}$	Offene Sollwertübertragungsfunktion des SHCHB-Umrichters mit dem verwendeten Verschaltungskonzept
$G_{\text{o,PCD}}$	Offene Übertragungsfunktion des PCD-IAs
$G_{\text{PLL}}^{\text{dq}}$	Übertragungsfunktion der PLL
G_S	Übertragungsfunktion der Messstrecke
G_{Si}	Übertragungsfunktion der Stromerfassungsmessstrecke
G_{Su}	Übertragungsfunktion der Spannungserfassungsmessstrecke
G_T^{dq}	Übertragungsfunktion des Totzeitglieds
G_V	Übertragungsfunktion des PHIL-Umrichters
G_{VV}	Übertragungsfunktion der Vorverarbeitung der Messwerte innhalber des IAs
$i_{\text{a},123}$	Dreiphasiger netzseitiger Strom des LCL-Netzfilters des DUT-Umrichters
$i_{\text{a,Ca}}$	Kleisignalausgangsstrom der Kaskodenschaltung
$i_{\text{a,CHB}}$	Ausgangsstrom der CHB-Zelle
$I_{\text{a,CHB}}$	Effektivstrombelastung einer CHB-Zelle
$I_{\text{a,d}}$	D-Anteil des Ausgangsstroms des DUT-Umrichters
$i_{\text{a,Da}}$	Kleisignalausgangsstrom der Darlington-Schaltung
$i_{\text{a,dq}}$	Ausgangsstrom des DUT-Umrichters
$I_{\text{a,dq}}$	Ausgangsstrom des DUT-Umrichters
$i_{\text{a,M}}$	Kleinsignalausgangsstrom des Stromspiegels

$I_{a,M}$	Ausgangsstrom des Stromspiegels
$I_{a,q}$	Q-Anteil des Ausgangsstroms des DUT-Umrichters
$i_{a,s,CS,o}$	Ausgangsstrom der oberen Norton-Ersatzstromquelle der SVS
$i_{a,s,CS,u}$	Ausgangsstrom der unteren Norton-Ersatzstromquelle der SVS
$i_{a,x}$	Ausgangsstrom des SHCHB-Umrichters
$I_{a,x}$	Effektivwert des Ausgangsstroms des SHCHB-Umrichters
\boldsymbol{i}_a	Dreiphasiger Ausgangsstrom des PHIL-Systems
i_A	Ausgangsstrom eines hybriden Umrichters
i_b	Kleinsignal Basisstrom eines Transistors
I_B	Basisstrom eines Transistors
$i_{c,AS1}$	Summenstrom erste Stufe der AS
$i_{c,AS2}$	Summenstrom zweite Stufe der AS
$i_{c,AS3}$	Summenstrom dritte Stufe der AS
$i_{C,DC,s}$	Strom durch den sekundären Zwischenkreiskondensator des LLC-DC/DC-Wandlers
$I_{C,DC,s}$	Effektivstrombelastung des sekundären Zwischenkreiskondensators des LLC-DC/DC-Wandlers
$I_{C,DC,p}$	Effektivstrombelastung des primären Zwischenkreiskondensators des LLC-DC/DC-Wandlers
$\boldsymbol{I}_{C,dq}$	Kondensatorstrom des LCL-Netzfilters
i_c	Kleinsignalkollektorstrom eines Transistors
I_C	Kollektorstrom eines Transistors
I_{C0}	Bias-Kollektorstrom eines Transistors
i_{cs}	Kleinsignalausgangsstrom der Stromquelle
I_{CS}	Ausgangsstrom der Stromquelle
i_{DC}	Zwischenkreisstrom des DUT-Umrichters
i_{eq}^*	Koppelstrom des TFA-Algorithmus

I_E	Emitterstrom eines Transistors
$I_{\text{gr},k}$	Netzstrom für eine gegebene Frequenz f_k
i_{gr}	Netzstrom
i_H	Magnetisierungsstrom des Transformators
i_{HU}	Strom des Hauptumrichters
$i_{\text{i},123}$	Dreiphasiger umrichterseitiger Strom des LCL-Netzfilters des DUT-Umrichters
$i_{\text{i,dq}}$	Umrichterseitiger Strom des LCL-Netzfilters des DUT-Umrichters
$I_{\text{i,dq}}$	Umrichterseitiger Strom des LCL-Netzfilters des DUT-Umrichters
$I_{\text{in,B}}$	Biasstrom der DVS
$i_{\text{in,M}}$	Kleinsignaleingangsstrom des Stromspiegels
$I_{\text{in,M}}$	Eingangsstrom des Stromspiegels
i_{KU}	Strom des Korrekturmrichters
i_{LLC}	Strom im LLC-Schwingkreis
$I_{\text{LPA,max}}$	Maximaler Ausgangsstrom des LPAs
I_{LPA}	Effektivstrom des LPAs
$I_{\text{Norton},k}$	Stromquelle der Nortonersatzschaltung für eine gegebene Frequenz f_k
i_{Norton}	Interne Stromquelle der Norton-Ersatzschaltung
$i_{\text{p,FHA}}$	Primäre LLC-Strom nach dem FHA-Modell
$I_{\text{p,FHA}}$	FHA-Effektivwert des primären Schwingkreisstroms
$I_{\text{p,min}}$	Minimaler Laststrom, bei dem der Algorithmus zur Schaltfrequenzermittlung aktiviert wird
i_p	Primäre LLC Strom
I_p	Effektivwert des Primärstroms des LLC-DC/DC-Wandlers
$I_{\text{s,B1}}$	Biasstrom der SVS
$I_{\text{s,B2}}$	Biasstrom der SVS

$i_{s,GL,FHA}$	Gleichgerichteter LLC-Strom nach dem FHA-Modell
$i_{s,GL}$	Gleichgerichteter LLC-Strom des LLC-DC/DC-Wandlers
$i_{s,FHA}$	Sekundärer LLC-Strom nach dem FHA-Modell
$I_{s,FHA}$	Effektivwert des sekundären Schwingkreisstroms
$I'_{s,FHA}$	Transformierter Effektivwert des sekundären Schwingkreisstroms
I_S	Sättigungssperrstrom eines Transistors
$I_{SW,off,P}$	Primärer Abschaltstrom der MOSFETs des LLC-DC/DC-Wandlers
$I_{SW,off,S}$	Sekundärer Abschaltstrom der MOSFETs des LLC-DC/DC-Wandlers
$I_{T,p}$	Effektivwert des Stroms durch die primären MOSFETs
$I_{T,s}$	Effektivwert des Stroms durch die sekundären MOSFETs
k_{AD}	Verstärkungsfaktor der aktiven Dämpfung
k_{FF}	Verstärkungsfaktor der Spannungsvorsteuerung
$k_{i,PLL}$	Integralanteil des PLL-PI-Reglers
k_{kor}	Korrekturterm für die Umrechnung der dq-Ströme zum wirksamen DC-Strom
$k_{p,I}$	Proportionalanteil des Stromreglers
$k_{p,PLL}$	Proportionalanteil des PLL-PI-Reglers
L_F	Filterinduktivität des Spannungssteilheitsfilter
L_{gr}	Seriennetzinduktivität
L_H	Hauptinduktivität des Transformators
L_K	Kopplungsinduktivität
$l_{L,St,min}$	Minimale emulierte Leitungslänge
$l_{L,St}$	Emulierte Leitungslänge
L'_{PCB}	Parasitäre Induktivität der Platine
L_{Ser}	Serieninduktivität zwischen PHIL-System und DUT

L_{ser}	Serieninduktivität des Schwingkreises
L_Z	Zweiginduktivität
$L'_{\sigma T}$	Streuinduktivität des Transformators
M_{AC}	Kleinsignalmassepotential
m_L	Induktivitätsverhältnis
M_0	Übertragungsfunktion einer Widerstandsbeschaltung des bekannten SHCHB-Umrichterkonzepts
M	Übertragungsfunktion des LLC-DC/DC-Wandlers
$\text{MAD}_{\text{rel},k}$	Relative mittlere absolute Abweichung bei einer Frequenz f_k
$n_{\text{CHB},x}$	Anzahl der aktiven CHB-Zellen
N_{CHB}	Anzahl der in Serie geschalteten CHB-Zellen
Q_H	Ladungshub im Zwischenkreiskondensator
$Q_{\text{LLC},n}$	Güte des Schwingkreises im Nennarbeitspunkt
Q_{LLC}	Güte des LLC-Schwingkreises
$r_{a,\text{AS}}$	Kleinsignalausgangswiderstand der AS
$r_{a,\text{Ca}}$	Kleinsignalausgangswiderstand der Kaskodenschaltung
$r_{a,\text{CS}}$	Kleinsignalausgangswiderstand der Stromquelle
$r_{a,\text{DVS},o}$	Kleinsignalausgangswiderstand des oberen Pfads der DVS
$r_{a,\text{DVS},u}$	Kleinsignalausgangswiderstand des oberen Pfads der DVS
$r_{a,\text{DVS}}$	Kleinsignalausgangswiderstand der DVS
$r_{a,\text{in,Ca},o}$	Kleinsignalausgangswiderstand des oberen Kaskoden-schaltung
$r_{a,\text{in,Ca},u}$	Kleinsignalausgangswiderstand des unteren Kaskoden-schaltung
$r_{a,\text{in,Ca}}$	Kleinsignalausgangswiderstand der Kaskodenschaltung der DVS
$r_{a,\text{int}}$	Interner Kleinsignalausgangswiderstand des LPAs

$r_{a,LPA}$	Kleinsignalausgangswiderstand des Linearverstärkers
$r_{a,M,o}$	Kleinsignalausgangswiderstand des oberen Stromspiegels
$r_{a,M,u}$	Kleinsignalausgangswiderstand des unteren Stromspiegels
$r_{a,M}$	Kleinsignalausgangswiderstand des Stromspiegels
$r_{a,n.inv}$	Kleinsignalausgangswiderstand eines nicht invertierenden Verstärkers
$r_{a,s,CS,o}$	Kleinsignalausgangswiderstand der Norton-Ersatzstromquelle
$r_{a,s,CS,u}$	Kleinsignalausgangswiderstand der Norton-Ersatzstromquelle
$r_{a,SVS}$	Kleinsignalausgangswiderstand der Spannungsverstärkerstufe
r_a	Kleinsignalausgangswiderstand einer Transistorschaltung
$r_{be,D1}$	Basis-Emitter-Kleinsignalwiderstand des Transistors T_{D1} der Darlington-Schaltung
$r_{be,D2}$	Basis-Emitter-Kleinsignalwiderstand des Transistors T_{D2} der Darlington-Schaltung
$r_{be,DA}$	Basis-Emitter-Kleinsignalwiderstand des Ersatztransistors der Darlington-Schaltung
r_{be}	Basis-Emitter-Kleinsignalwiderstand eines Transistors
R_C	Kollektorwiderstand
R'_C	Wirksamer Kollektorwiderstand
$R_{CHB,eq}$	Gemittelter äquivalenter Ersatzwiderstand einer CHB-Zelle
$R_{CHB,x}$	Wirksamer Widerstand aller CHB-Zellen einer Phase
$r_{ce,D1}$	Kollektor-Emitter-Kleinsignalwiderstand des Transistors T_{D1} der Darlington-Schaltung
$r_{ce,D2}$	Kollektor-Emitter-Kleinsignalwiderstand des Transistors T_{D2} der Darlington-Schaltung

$r_{ce,Da}$	Kollektor-Emitter-Kleinsignalwiderstand des Ersatztransistors der Darlington-Schaltung
r_{ce}	Kollektor-Emitter-Kleinsignalwiderstand eines Transistors
R_{CS}	Ausgangswiderstand der Stromquelle
$R_{D,gr}$	Dämpfungswiderstand des bedämpften Netzmodells des DITM-IAs
R_D	Dämpfungswiderstand des Spannungssteilheitsfilter
$R_{DS,(on),Si}$	Kanalwiderstand der Si-MOSFETs
$R_{DS,(on),SiC}$	Kanalwiderstand der SiC-MOSFETs
$R_{E,AS}$	Emitterwiderstand der AS
$R_{E,DVS}$	Emitterwiderstand der DVS
R_E	Emitterwiderstand zur Stromgegenkopplung
R'_E	Wirksamer Emitterwiderstand
R_{Fe}	Verlustwiderstand des Transformators
R_{gr}	Serienwiderstand des Netzanschlusses
$r_{in,AS}$	Kleinsignaleingangswiderstand der Ausgangsstufe
$r_{in,Ca}$	Kleinsignaleingangswiderstand der Kaskodenschaltung
$r_{in,DVS,GL}$	Gleichakteingangswiderstand der Differenzverstärkerstufe
$r_{in,DVS,o}$	Kleinsignaleingangswiderstand des oberen Pfads der DVS
$r_{in,DVS,u}$	Kleinsignaleingangswiderstand des unteren Pfads der DVS
$r_{in,DVS}$	Differenzeingangswiderstand der Differenzverstärkerstufe
$r_{in,LPA}$	Kleinsignaleingangswiderstand des LPAs
$R_{in,LPA}$	Eingangswiderstand des LPAs
$r_{in,M}$	Kleinsignaleingangswiderstand des Stromspiegels

$r_{in,s,CS,o}$	Kleinsignaleingangswiderstand der Norton-Ersatzstromquelle
$r_{in,s,CS,u}$	Kleinsignaleingangswiderstand der Norton-Ersatzstromquelle
$r_{in,SVS,o}$	Kleinsignaleingangswiderstand des oberen Pfads der SVS
$r_{in,SVS,u}$	Kleinsignaleingangswiderstand des unteren Pfads der SVS
$r_{in,SVS}$	Kleinsignaleingangswiderstand der SVS
r_{in}	Kleinsignaleingangswiderstand einer Transistorschaltung
R_K	Innenwiderstand der Thèvenin-Ersatzspannungsquelle des TLM-IAs
R_L	Lastwiderstand
R_{M1}	Gegenkopplungswiderstand des Stromspiegels
R_{M2}	Gegenkopplungswiderstand des Stromspiegels
R_{oE}	Emitterwiderstand der AS
$R_{p,D2}$	Bypass-Widerstand für Transistor T_{D2}
R_{P0}	Widerstand des Trimmpotentiometers
R_q	Innenwiderstand der Quellenspannung
$R_{s,B}$	Widerstand zur Einstellung des Biasstroms der SVS
$R_{SP,1}$	Widerstand des Spannungsteilers zur Sollwertgenerierung
$R_{SP,2}$	Widerstand des Spannungsteilers zur Sollwertgenerierung
r_{T1}	Kleinsignalersatzwiderstand des als Diode geschalteten Transistors
$R_{th,CH}$	Thermischer Übergangswiderstand Gehäuse-Kühlkörper
$R_{th,HA,max}$	Maximaler zulässiger thermischer Widerstand des Kühlkörpers
$R_{th,HA}$	Thermischer Übergangswiderstand Kühlkörper-Umgebung

$R_{\text{th,JC}}$	Thermischer Übergangswiderstand Sperrsicht-Gehäuse
$R'_{\sigma T}$	Parasitärer Serienwiderstand des Transformators
R'_L	Transformierter Ausgangsersatzwiderstand der FHA-Methode
R_σ	Parasitärer Widerstand des LLC-Schwingkreises
r_x	Kleinsignalteilwiderstand
SR_{LPA}	Flankensteilheit des LPAs
T_A	Umgebungstemperatur
T_{CS2}	Transistor der Stromquelle
$t_{i,z}$	Zeitpunkt des Nulldurchgangs des primären Stroms des LLC-DC/DC-Wandlers
t_{i1}	Integrationsgrenze
t_{i2}	Integrationsgrenze
$T_{J,\text{max}}$	Maximal zulässige Sperrsichttemperatur
$T_{J,\text{SiC}}$	Sperrsichttemperatur der SiC-MOSFETs
$t_{\text{L,D}}$	Latenz des PHIL-Systems
$t_{\text{LPA},10,90}$	Anstiegszeit von 10 % auf 90 % des LPAs
T_{Modell}	Kehrwert der Berechnungsfrequenz des Modells
t_{Puls}	Pulsdauer im CI-Modus
$T_{S,\text{LLC}}$	Periodendauer des LLC-DC/DC-Wandlers
T_S	Abtastperiode des AD-Wandlers
$t_{\text{t,AC}}$	Totzeit der Messwerterfassung
$t_{\text{t,ADC}}$	Totzeit des AD-Wandlers inkl. dessen Auswertung
$t_{\text{t,CHB}}$	Totzeit der CHB-Zellen
$t_{\text{t,CS}}$	Totzeit des Stromsensors
$t_{\text{t,DAC}}$	Totzeit des Digital-Analog-Wandlers
$t_{\text{t,LPA}}$	Totzeit der LPAs
$t_{\text{t,M}}$	Totzeit des Modells

$t_{t,v}$	Totzeit des PHIL-Umrichters einschließlich der Totzeit der Modellberechnung
$t_{u,z}$	Zeitpunkt des Polaritätswechsel der primären AC-Spannung des LLC-DC/DC-Wandlers
u_{123}	Dreiphasige Ausgangsspannung des SHCHB-Umrichters
\underline{U}_{123}	Komplexer Spannungsraumzeiger der drei Ausgangsphasen des SHCHB-Umrichters
u_{20}	Ausgangsspannung der zweiten Phase
$u_{a,123}$	Dreiphasige Netzspannung am Anschlusspunkts des LCL-Filters
$U_{a,CHB}$	Ausgangsspannung einer CHB-Zelle
$U_{a,d}$	D-Anteil der Ausgangsspannung des DUT-Umrichters
$u_{a,dq}$	Ausgangsspannung des DUT-Umrichters
$U_{a,dq}$	Spannung an den Anschlussklemmen des DUT-Umrichters
$u_{a,DVS}$	Ausgangsspannung der DVS
$U_{A,DVS,o}$	Ausgangsspannung des oberen Pfads der DVS
$U_{A,DVS,u}$	Ausgangsspannung des unteren Pfads der DVS
$U_{a,LCR}$	Ausgangsspannung des LCR-Filters
$U_{a,LCRC}$	Ausgangsspannung des LCRC-Filters
$U_{a,q}$	Q-Anteil der Ausgangsspannung des DUT-Umrichters
$U_{a,SVS}$	Ausgangsspannung der SVS
u_A	Ausgangsspannung eines hybriden Umrichters
U_A	Early-Spannung
$U_{AC,LPA,max}$	Maximale AC-Ausgangsspannung des LPAs
U_{b-}	Negative Versorgungsspannung der DVS und SVS
U_{b+}	Positive Versorgungsspannung der DVS und SVS
U_{b1}	Biasspannung zur Einstellung des Biasstroms der SVS
U_{b2}	Biasspannung zur Einstellung des Biasstroms der SVS
u_{be}	Basis-Emitter- Kleinsignalspannung

U_{BE}	Großsignal Basis-Emitter-Spannung
$U_{\text{BE}0}$	Basis-Emitter-Biasspannung
$U_{\text{bo}-}$	Negative Versorgungsspannung der AS
$U_{\text{bo}+}$	Positive Versorgungsspannung der AS
$u_{\text{C},123}$	Spannung über den Filterkapazitäten des LCL-Filters
$U_{\text{C,dq}}$	Spannung über dem Filterkondensator des LCL-Netzfilters
$u_{\text{C,LLC}}$	Spannung des LLC-Schwingkreiskondensators
$U_{\text{C,LLC}}$	Effektivwert der Spannung über der Kapazität des LLC-Schwingkreises
u_{ce}	Kollektor-Emitter- Kleinsignalspannung
U_{CE}	Großsignal Kollektor-Emitter-Spannung
$U_{\text{CE}0}$	Kollektor-Emitter-Biasspannung
$U_{\text{CHB,DC,s}}$	Sekundäre Zwischenkreisspannung der kaskadierten H-Zelle
$u_{\text{CHB},x}$	Ausgangsspannung der kaskadierten H-Brücken Zellen einer Phase
u_{CHB}	Dreiphasige Ausgangsspannung der CHB-Zellen
u^*_{CHB}	Dreiphasiger Sollwert für die CHB-Zellen
u^*_{CHB}	Sollspannung der CHB-Zellen
$u_{\text{CHBf},2}$	Ausgangsspannung des du/dt -Filters der zweiten Phase
$u_{\text{CHBf,calc}}$	Dreiphasige berechnete Ausgangsspannung der du/dt -Filter
$u_{\text{CHBf},x}$	Gefilterte Ausgangsspannung der CHB-Zellen einer Phase
u_{CHBf}	Dreiphasige Ausgangsspannung der du/dt -Filter
$U_{\text{DC,LPA,max}}$	Maximale DC-Ausgangsspannung des LPAs
$U_{\text{DC,p}}$	Primäre Zwischenkreisspannung der CHB-Zelle
$U_{\text{DC,s,xy}}$	Sekundäre Zwischenkreisspannung der CHB-Zelle
$U_{\text{DC,s}}$	Sekundäre Zwischenkreisspannung der CHB-Zelle

U_{DC}	Zwischenkreisspannung des DUT-Umrichters
u_{DIF}	Kleinsignal differenzial eingangsspannung
U_{DIF}	Differenzspannung am Eingang des LPAs
$u_{DS,T1}$	Drain-Source-Spannung des SiC-MOSFETs $T1$
$u_{DUT,AV,mess}$	Gleitender Mittelwert der gemessenen DUT-Spannung
$u_{DUT,AV,sim}$	Gleitender Mittelwert des simulierten DUT-Spannung
$U_{DUT,k}$	Effektivwert der Ausgangsspannung des DUTs für eine gegebene Frequenz f_k
$u_{DUT,mess}$	Gemessenen DUT-Spannung
$u_{DUT,sim}$	Simulierte DUT-Spannung
\mathbf{u}_{DUT}	Dreiphasige DUT-Spannung
u_{DUT}	Spannung an den Klemmen des DUTs
U_{DUT}	Effektivwert der Ausgangsspannung des DUTs
u_{DUT}^*	Softwaretechnische Nachbildung der DUT-Spannung
$U_{e,LCR}$	Eingangsspannung des LCR-Filters
$U_{e,LCRC}$	Eingangsspannung des LCRC-Filters
u_e	Kleinsignalspanungsabfall über der Emitterbeschaltung
U_E	Spanungsabfall über der Emitterbeschaltung
U_{EB}	Großsignal Emitter-Basis-Spannung
U_{EC}	Großsignal Emitter-Kollektor-Spannung
U_{GL}	Gleichtaktspannung
$U_{gr,N}$	Nennspannung des Netzes
U_{gr}	Effektivwert der Netzspannung
$u_{GS,T1}$	Gate-Source-Spannung des SiC-MOSFETs $T1$
u_{HU}	Ausgangsspannung des Hauptumrichters
$u_{in,Ca}$	Kleinsignaleingangsspannung der Kaskodenschaltung
U_{IN-}	Spannung am negativen Eingang des LPAs
U_{IN+}	Spannung am positiven Eingang des LPAs

u_{in}	Kleinsignaleingangsspannung einer Transistorgrundschaltung
u_{KU}	Ausgangsspannung des Korrekturmrichters
$u_{\text{LPA},x}$	Ausgangsspannung des Linearverstärkers
$U_{\text{LPA},x}$	Großsignalausgangsspannung des LPAs
u_{LPA}^*	Dreiphasiger Sollwert für die LPAs
u_{LPA}^*	Sollspannung des LPAs
\hat{U}_{LPA}	Maximale Amplitude des LPAs
U_{MG0}	Symmetrische Komponenten des emulierten Netzes
u_{NAP}	Netzspannung am NAP
u_{NAP}^*	Softwaretechnische Nachbildung der Netzspannung am NAP
U_{NAP}	Spannung am NAP
u_{Neg}	Negative DC-Spannung des EHCs
$U_{\text{o,BIAS}}$	Biasspannung der Ausgangsstufe
u_{ONT}	Spannung am ONT
U_{ONT}	Effektivwert der Netzspannung am ONT
U_{ONT}	Raumzeiger der Spannung am ONT
$u_{\text{p,FHA}}$	Grundschwingung der primären Rechteckspannung nach der FHA-Methode
$U_{\text{p,FHA}}$	Effektivwert der Grundschwingung der primären Rechteckspannung
u_p	Primäre Ausgangsspannung der H-Brücke des LLC DC/DC-Wandlers
u_{Pos}	Positive DC-Spannung des EHCs
$u_{\text{ref},x}$	Sollwertspannung einer Ausgangsphase
$U_{\text{Ref,DB}}$	Referenzspannung für die Schaltenergien aus dem Datenblatt
$U_{\text{ref,max}}$	Maximale Referenzspannung des Sollwertgenerators
$U_{\text{ref},x}$	Referenzspannung des Sollwertgenerators

u_{ref}	Dreiphasiger Sollwert für den Ausgang des SHCHB-Umrichters
\hat{U}_{ref}	Amplitude der Referenzspannung
$u_{s,\text{FHA}}$	Grundschwingung der sekundären Rechteckspannung nach der FHA-Methode
$U_{s,\text{FHA}}$	Effektivwert der Grundschwingung der sekundären Rechteckspannung
u_s	Sekundäre Ausgangsspannung der H-Brücke des LLC-DC/DC-Wandlers
U_T	Temperaturspannung
$U_{\text{th,CHB},n}$	Ein- bzw. Ausschaltswelle der CHB-Zellen
u_{Thev}	Interne Spannung der Thévenin-Ersatzschaltung
$U_{\text{Thév},k}$	Spannungsquelle der Thévenin-Ersatzschaltung für eine gegebene Frequenz
$U_{x0,\text{max}}$	Maximale Ausgangsspannung des SHCHB-Umrichters
u_{x0}	Ausgangsspannung des PHIL-Umrichters
U_{x0}	Ausgangsspannung des SHCHB-Umrichters
V_1	Übertragungsfunktion der Vorverarbeitung
V_2	Übertragungsfunktion der Vorverarbeitung
V_o	Übertragungsfunktion der Vorverarbeitung
Y_{dq}	Ausgangsadmittanz des DUT-Umrichters
$Y_{\text{PLL}}^{\text{dq}}$	Übertragungsfunktion der PLL
$Z_{a,k}$	Ausgangsimpedanz für eine gegebene Frequenz f_k
Z_{CHB}	Ausgangsimpedanz der CHB-Zelle inklusive du/dt -Filter
Z_{D1}	Dämpfungswiderstand des PCD-IAs zwischen PHIL-System und DUT-Umrichter
Z_{D1}^*	Nachbildung des Dämpfungswiderstands des PCD-IAs zwischen PHIL-System und DUT-Umrichter
Z_{D2}^*	Dämpfungswiderstand des DIM-IAs
Z_{dq}	Ausgangsimpedanz des DUT-Umrichters

$Z_{\text{DUT},k}$	Impedanz des DUTs für eine gegebene Frequenz f_k
Z_{DUT}	Impedanz der DUTs
Z_{GG}	Impedanz im Gegensystem
Z_{GM}	Koppelimpedanz zwischen Gegen- und Mitsystem
$Z_{\text{gr,d}}$	Bedämpfte emulierte Netzimpedanz
$Z_{\text{gr},k}$	Impedanz des Netzes für eine gegebene Frequenz f_k
Z_{gr}	Netzimpedanz vom NAP bis zum DUT-Umrichter
Z_K	Koppelimpedanz zwischen PHIL-System und DUT
Z_{LCR}	Ausgangsimpedanz des LCR-Filters
Z_{LCRC}	Ausgangsimpedanz des LCRC-Filters
Z_{MG}	Koppelimpedanz zwischen Gegen- und Mitsystem
$Z_{\text{MG}}^{\text{dq}}$	Impedanz im mitrotierenden Mit- und Gegensystem
$Z_{\text{MG}}^{\alpha\beta}$	Impedanz im Mit- und Gegensystem
Z_{MM}	Impedanz im Gegensystem
$Z_{\text{RL(Bode}100)}$	Gemessener Impedanzverlauf einer RL-Last mit dem <i>Bode100</i>
$Z_{\text{RL(theor)}}$	Analytisch bestimmter Impedanzverlauf einer RL-Last
$Z_{\text{RL(PHIL),mean}}$	Gemessener Impedanzverlauf einer RL-Last mit dem SHCHB-Umrichter
Z_{Tr}	Wirksame Impedanz des Ortsnetztransformator auf der Niederspannungsseite
$\alpha_{\text{aus},n}$	Ausschaltwinkel der n -ten CHB-Zelle
$\alpha_{\text{ein},n}$	Einschaltwinkel der n -ten CHB-Zelle
β_{Da}	Stromverstärkung der Darlingtonstufe
$\beta_{\text{in,Ca}}$	Stromverstärkung der Kaskodenschaltung der DVS
ε_{DIM}	Relativer Fehler des DIM-Algorithmus bezogen auf das ideale Verhalten
$\varepsilon_{\text{DITM}}$	Relativer Fehler des DITM-Algorithmus bezogen auf das ideale Verhalten

ε_{FSF}	Relativer Fehler des FSF-Algorithmus bezogen auf das ideale Verhalten
ε_{IA}	Relativer Fehler der closed-loop-Emulation mit einem bestimmten IA
ε_{ITM}	Relativer Fehler des ITM-Algorithmus bezogen auf das ideale Verhalten
ε_{PCD}	Relativer Fehler des PCD-Algorithmus bezogen auf das ideale Verhalten
ε_{U}	Maximaler Spannungsfehler im Sprungmoment
$\eta_{\text{CHB,AVG}}$	Gemittelter Wirkungsgrad aller CHB-Zellen
η_{CHB}	Wirkungsgrad einer CHB-Zelle
τ_{L}	Signallaufzeit einer elektrisch langer Leitung
τ_{LR}	Zeitkonstante der LR-Serienschaltung
φ_{gr}	Winkel zwischen Ausgangstrom und Ausgangsspannung
φ_{Rand}	Phasenrand des offenen Regelkreises
φ_x	Winkel des komplexen Spannungsraumzeigers für die Phase x
$\omega_{\text{g,DITM}}$	Grenzfrequenz des bedämpften Netzmodells
$\omega_{\text{g,Fil}}$	Eigenkreisfrequenz des Spannungssteilheitsfilter
$\omega_{\text{g,FSF}}$	Grenzfrequenz des Tiefpassfilters im Messerfassungspfad des FSF-IA
$\omega_{\text{g,LCR}}$	Eigenkreisfrequenz des LCR-Filters
$\omega_{\text{g,LCRC}}$	Eigenkreisfrequenz des bedämpften LC-Filters
$\omega_{\text{g,RC}}$	Eigenkreisfrequenz des RC-Serienglied
ω_{gr}	Kreisfrequenz des Netzes
$\omega_{\text{res,LCL}}$	Eigenkreisfrequenz des LCL-Netzfilters
Δi_p	Stromimpulshöhe im CI-Modus
Δu_z	Spannungsabfall über der emulierten Impedanz

Δu_z Dreiphasiger Spannungsabfall über der emulierten Impedanz

Abbildungsverzeichnis

Abbildung 1.1:	Charakteristische Frequenzbereiche der verschiedenen physikalischen Komponenten sowie Regelkreise eines LE-Systems.....	1
Abbildung 1.2:	Schematische Darstellung eines PHIL-Prüfstands	3
Abbildung 1.3:	PHIL-Umrichter auf Basis eines 2L-Umrichters.....	5
Abbildung 1.4:	Emulator basierend auf einem Multilevelumrichter aus mehreren parallelen Halbbrücken (MMPMC)	6
Abbildung 1.5:	a) Emulator basierend auf einem Modularen Multilevel Umrichter (MMC); b) Zweig eines MMC; c) Emulator basierend auf einem Modularen Multilevel Umrichter mit rechteckförmiger Einspeisung (SPMMC).....	8
Abbildung 1.6:	PHIL-Umrichter basierend auf einem CHB-Umrichter.....	9
Abbildung 1.7:	Schematische Darstellung eines Emulators basierend auf einem Linearverstärker	10
Abbildung 1.8:	Parallel Hybrid Converter (PHC): a) Ersatzschaltbild, b) Strom- und Spannungsverläufe	12
Abbildung 1.9:	Envelope Hybrid Converter (EHC): a) Ersatzschaltbild, b) Strom- und Spannungsverläufe	14
Abbildung 1.10:	Series Hybrid Converter (SHC): a) Ersatzschaltbild, b) Strom- und Spannungsverläufe	14
Abbildung 2.1:	Blockschaltbild des PHIL-Systems bestehend aus Netzeinspeisung (AFE) und SHCHB-Umrichter	23
Abbildung 2.2:	Einphasige Darstellung der Verschaltungskonzepte des SHCHB-Umrichters: a) bisher genutztes SHC-Konzept, b) in dieser Arbeit verwendete SHC-Konzept.....	25
Abbildung 2.3:	Regelungstechnisches Signalflussdiagramm: a) des bisher genutzten SHC-Konzepts, b) des in dieser Arbeit verwendeten SHC-Konzepts.....	25

Abbildung 2.4:	Signalverarbeitungsstruktur des PHIL-Systems mit Lichtwellenleitern (grün), analogen Messgrößen (rot) und digitalen Schnittstellen (grau).....	29
Abbildung 2.5:	Softwarestruktur des PHIL-Systems.....	30
Abbildung 2.6:	Beispielhafte Netzsituation, die mithilfe des PHIL- Systems nachgebildet wird.....	31
Abbildung 2.7:	Signallaufplan des SHCHB-Umrichters für eine closed- loop-Emulation sowie Sollwertgenerierung der CHB- Zellen und des LPAs.....	32
Abbildung 2.8:	Algorithmus zur Bestimmung der aktiven Zellen.....	33
Abbildung 2.9:	Sortieralgorithmus der CHB-Zellen.....	33
Abbildung 2.10:	Prinzipschaltbild einer CHB-Zelle mit galvanisch trennendem LLC-DC/DC-Wandler	35
Abbildung 2.11:	Schaltsignale der Transistoren T_1 und T_3 , Ausgangsspannung der primären H-Brücke up und Schwingkreisstrom i_p sowie Magnetisierungsstrom des Transformators i_H für f_s , $LLC = 1,05 \cdot f_{res}$	38
Abbildung 2.12:	Ersatzschaltbild des LLC-DC/DC-Wandlers für die Analyse mit der FHA-Methode mit den dazugehörigen Strom- und Spannungsverläufen	39
Abbildung 2.13:	FHA-Wechselstromersatzschaltbild des LLC-DC/DC- Wandlers.....	40
Abbildung 2.14:	Übertragungsfunktion für: a) verschiedene Gütefaktoren $QLLC$ und ein Induktivitätsverhältnis m_L von 15, b) verschiedene Induktivitätsverhältnisse m_L und einen Gütefaktor $QLLC$ von 0,1	42
Abbildung 2.15:	a) Strom- und Spannungsverlauf für einen sinusförmigen Sollwert für verschiedene $\cos(\varphi_{gr})$; b) Mittlere Effektivstrombelastung einer CHB-Zelle für einen sinusförmigen Spannungs- und Stromverlauf in Abhängigkeit von $\cos(\varphi_{gr})$	44
Abbildung 2.16:	Schwingkreiskapazität C_{LLC} , Spannungsbelastung der Schwingkreiskapazität U_C , LLC und Serieninduktivität L_{ser} über der Güte $QLLC$ für eine Resonanzfrequenz f_{res} von 70 kHz	47
Abbildung 2.17:	Strom durch einen a) primären und b) sekundären MOSFET.....	49

Abbildung 2.18:	Stromverlauf des gleichgerichteten Stroms i_S , GL, des Zwischenkreiskondensatorstroms i_C, DC, s und des Ausgangsstroms I_a, CHB	51
Abbildung 2.19:	Ablaufdiagramm des Algorithmus zur automatischen Schaltfrequenzanpassung.....	53
Abbildung 2.20:	Simulierte, primäre Strom- und Spannungsverläufe während der Schaltfrequenzanpassung des LLC-DC/DC-Wandlers.....	54
Abbildung 2.21:	Übertragungsfunktion M des LLC-DC/DC-Wandlers für gegebenes Induktivitätsverhältnis m_L von 148	55
Abbildung 2.22:	a) Ersatzschaltbild des LLC-DC/DC-Wandlers, b) vereinfachtes Modell für die Berechnung der Pulsdauer t_{Puls} im CI-Modus	56
Abbildung 2.23:	Simulierte sekundäre Zwischenkreisspannung $U_{DC, s}$ sowie primärer Schwingkreisstrom i_p	57
Abbildung 2.24:	Primärer Strom i_p sowie Spannungsabfall des Schwingkreiskondensators u_C, LLC im CI-Modus	57
Abbildung 2.25:	Kommunikationswort der seriellen Verbindung zwischen zentraler Signalverarbeitung und dezentraler Logikeinheit.....	58
Abbildung 2.26:	Schichtmodell, Schaltbild, Kleinsignal- und Großsignal-Modell eines NPN-Transistors (links) und eines PNP-Transistors (rechts).....	60
Abbildung 2.27:	Ausgangskennlinienfeld eines NPN-Transistors mit verschiedenen Betriebsbereichen: Sättigungs- (blau), Quasi-Sättigungs- (hellblau), Verstärkungs- (grün) und Sperrbereich (rot)	61
Abbildung 2.28:	a) Thévenin-Ersatzschaltschaltung und b) Norton-Ersatzschaltschaltung eines Zweitors	64
Abbildung 2.29:	a) Emitterschaltung mit Stromgegenkopplung; b) Kleinsignalersatzschaltbild der Emitterschaltung mit Stromgegenkopplung.....	65
Abbildung 2.30:	a) Kollektorschaltung; b) Kleinsignalersatzschaltbild der Kollektorschaltung; c) Basisschaltung; d) Kleinsignalersatzschaltbild der Basisschaltung.....	66

Abbildung 2.31: Prinzipschaltbild eines Linearverstärkers bestehend aus Differenzverstärkerstufe, Spannungsverstärkerstufe und Ausgangsstufe	69
Abbildung 2.32: a) Prinzipschaltbild der verwendeten Stromquelle; b) Prinzipschaltbild des verwendeten Stromspiegels; c) Norton-Ersatzschaltung der Stromquelle; d) Norton-Ersatzschaltung des Stromspiegels	71
Abbildung 2.33: a) Prinzipschaltbild einer DVS mit <i>Active Load</i> , b) Kleinsignalersatzschaltbild einer DVS mit <i>Active Load</i> ...	72
Abbildung 2.34: a) Kaskodenschaltung; b) Darlington-Schaltung und Schaltsymbol	73
Abbildung 2.35: SHCHB-Umrichter mit Linearverstärker in H-Brücken Verschaltung: a) mit konventionellem Linearverstärker, b) mit neuem Linearverstärkerkonzept mit vier Eingängen	76
Abbildung 2.36: Spannungsfehler εU für verschiedene Grenzfrequenzen des dU/dt -Filters $f_{g,dudt}$: a) über der Latenz des LPAs t_L , LPA für eine Flankensteilheit von $120 \text{ V}\mu\text{s}$, b) über der maximalen Flankensteilheit des LPAs $SRLPA$ für eine Latenz t_L , LPA von 150 ns	77
Abbildung 2.37: Prinzipschaltbild des internen Aufbaus eines, der in H-Brücken verschalteten, Teilverstärkers des entwickelten Linearverstärkers	78
Abbildung 2.38: Schaltung zur Erzeugung der Bias-Spannung für die Ausgangsstufe	81
Abbildung 2.39: Ersatzschaltung der SVS mit Norton-Ersatzstromquellen.	82
Abbildung 2.40: a) Vereinfachtes Ersatzschaltbild eines nicht invertierenden Verstärkers; b) Signalflussgraph eines nicht invertierenden Verstärkers	85
Abbildung 2.41: Zeitverlauf der Ausgangsspannung des LPAs $ULPA_x$ für eine sinusförmige Ausgangsspannung des SHCHB-Umrichters UX_0 mit einer Grundfrequenz von 50 Hz und einer Amplitude von $2 \cdot 230 \text{ V}$	91
Abbildung 2.42: Zeitverlauf der Verlustleistung der NPN-Transistoren eines Teilverstärkers des LPAs bei einem sinusförmigen Ausgangsstrom I_a, x und $\varphi_{gr} = 0^\circ$	91

Abbildung 2.43: Mittlere Verlustleistung der NPN-Transistoren eines Teilverstärkers des LPAs in Abhängigkeit des Winkels φ_{gr} für einen effektiven Ausgangstrom I_a, x von 72,5 A	91
Abbildung 2.44: Prinzipschaltbild der Ansteuerung der LPAs	94
Abbildung 2.45: Spannungssteilheitsfilter: a) LCR-Filter, b) LCRC-Filter.	95
Abbildung 2.46: a) Sprungantwort des LCR-Filters und des LCRC-Filters; b) Bode-Diagramm der Übertragungsfunktion des LCR-Filters und des LCRC-Filters.....	99
Abbildung 2.47: a) Verlustleistung des Dämpfungswiderstands R_D des LCR- und LCRC-Filters; b) maximale zulässige Ausgangsspannung des LCR- und LCRC-Filters.....	100
Abbildung 2.48: Impedanzverlauf des LCR- und des LCRC-Filters.....	100
Abbildung 3.1: a) 19-Zoll-Einschub des ETI-SoC-Systems mit zwei Mainboards und einer dedizierten Anzahl an Erweiterungskarten sowie Spannungsversorgungsplatine auf der linken Seite; b) Mainboard des ETI-SoC-Systems	103
Abbildung 3.2: a) Blockschaltbild der LCU; b) Abbildung der LCU.....	104
Abbildung 3.3: a) Blockschaltbild des LPA-Sollwertgenerators; b) LPA-Sollwertgenerator; c) Blockschaltbild der Temperaturregelungseinheit; d) Temperaturregelungseinheit	105
Abbildung 3.4: Entwickelte Platine der CHB-Zellen einschließlich der LLC-DC/DC-Wandler.....	106
Abbildung 3.5: Messung des LLC-Stroms i_p und der primären Eingangsspannung $u_{p,up}$ während der Schaltfrequenzanpassung.....	107
Abbildung 3.6: LLC-Strom i_p , Gate-Source-Spannung $u_{GS,T1}$, und Drain-Source-Spannung $u_{DS,T1}$ für den Einschaltvorgang des primären SiC-MOSFETs $T1$	108
Abbildung 3.7: Sekundäre Zwischenkreisspannung UDC,s und primärer Schwingkreisstrom i_p während der Hochlaufphase, die aus dem Konstantstrommodus (CI) und dem Konstantspannungsmodus (CV) besteht.....	108

Abbildung 3.8:	Primärer Strom i_p und Spannungsabfall über dem Schwingkreiskondensator des LLC-DC/DC-Wandlers uC , LLC während eines Ausschnitts der Hochlaufphase..	109
Abbildung 3.9:	a) Wirkungsgradverlauf der CHB-Zellen; b) Spannungsabfall innerhalb einer CHB-Zelle.....	110
Abbildung 3.10:	a) CAD-Zeichnung des Kühlkonzepts einschließlich der Transistoren, der Heatpipes, der Kupferplatten und des Kühlkörpers; b) Prinzipschaltbild einer Phase des SHCHB-Umrichters mit den hervorgehobenen Ausgangsstufentransistoren des LPAs	111
Abbildung 3.11:	Konstruierter Linearverstärker	113
Abbildung 3.12:	Gemessenes Bode-Diagramm des LPAs für eine Ausgangsspannungsamplitude $\bar{U}_{LPA,x}$ von 1 V und 30 V sowie das Bode-Diagramm der SPICE-Simulation des LPAs.....	114
Abbildung 3.13:	a) Exemplarische Messung einer sinusförmigen Ausgangsspannung des LPAs mit einer Amplitude von 30 V und einer Frequenz von 100 kHz; b) korrespondierendes Spektrum der Ausgangsspannung ...	115
Abbildung 3.14:	Rechteckförmige Ausgangsspannung mit einer Amplitude von 30 V und einer Frequenz von 100 kHz ..	116
Abbildung 3.15:	Ausgangswiderstand des LPAs r_a,LPA über der Frequenz	116
Abbildung 3.16:	Platinen des du/dt -Filters: a) Drosselplatine, b) Sternpunktplatine mit den Filterkapazitäten und den Dämpfungswiderständen.....	117
Abbildung 3.17:	Vorderansicht des konstruierten PHIL-Prüfstands	119
Abbildung 3.18:	Rückansicht des konstruierten PHIL-Prüfstands	120
Abbildung 3.19:	Ausgangsspannung des SHCHB-Umrichters u_{x0} , des du/dt -Filters $u_{CHBf,x}$ und des LPAs $u_{LPA,x}$	121
Abbildung 3.20:	Messergebnisse eines 3-phasigen 400 V-Systems für eine Grundfrequenz von a) 50 Hz und b) 1000 Hz sowie das dazugehörige Spektrum für c) 50 Hz und d) 1000 Hz	122
Abbildung 3.21:	3-phasisches 400 V System mit überlagertem sinusförmigem Testsignal mit einer Amplitude von 10 V	

und einer Frequenz von 350 Hz: a) Zeitverlauf, b) Spektrum	123
Abbildung 3.22: Sprungantwort des SHCHB-Umrichters: a) ohne Sollwertbegrenzung der LPA-Spannung und b) mit Sollwertbegrenzung anhand eines Modells des du/dt - Filters.....	123
Abbildung 3.23: Störverhalten des SHCHB-Umrichters für einen Lastsprung von 21 kW und einer DC-Ausgangsspannung zwischen Phase 1 und 2 von 400 V, maximale Stromsteilheit 4 A/ μ s	125
Abbildung 3.24: Störverhalten des SHCHB-Umrichters für ein Lastsprung von -15 kW auf +20 kW	126
Abbildung 3.25: a) Prüfling basierend auf einem 2L-VSC; b) Umrichtersystem für den Prüfling	128
Abbildung 3.26: Blockschaltbild des Umrichtersystem einschließlich des DUTs	129
Abbildung 4.1: Blockschaltbild eines PHIL-Prüfstands bestehend aus dem PHIL-System und dem DUT	131
Abbildung 4.2: Regelungstechnisches Signalflussdiagramm eines als Netzemulator betriebenen PHIL-Prüfstands	132
Abbildung 4.3: Blockschaltbild des ITM-Schnittstellenalgorithmus a) spannungsbasierende und b) strombasierende Variante..	136
Abbildung 4.4: Regelungstechnisches Signalflussdiagramm des ITM- Algorithmus	137
Abbildung 4.5: Blockschaltbild des PHIL-Prüfstand mit spannungsbasierendem PCD-Schnittstellenalgorithmus.	139
Abbildung 4.6: Regelungstechnisches Signalflussdiagramm des PHIL- Prüfstands unter Verwendung des PCD-Algorithmus	139
Abbildung 4.7: Blockschaltbild des PHIL-Prüfstands mit spannungsbasierendem TLM-Schnittstellenalgorithmus	140
Abbildung 4.8: Blockschaltbild des PHIL-Prüfstands mit spannungsbasierendem TFA-Schnittstellenalgorithmus.	141
Abbildung 4.9: Blockschaltbild der PHIL-Prüfstands mit dem spannungsbasierendem DIM-Algorithmus	143
Abbildung 4.10: Regelungstechnisches Signalflussdiagramm des PHIL- Prüfstands mit DIM-Algorithmus	144

Abbildung 4.11:	Blockschaltbild des PHIL-Prüfstands mit dem spannungsbasierendem FSF-Algorithmus.....	145
Abbildung 4.12:	Regelungstechnisches Signalflussdiagramm des PHIL-Prüfstands unter Verwendung des FSF-Algorithmus.....	145
Abbildung 5.1:	a) frequenzabhängige Thévenin-Ersatzschaltung; b) frequenzabhängige Norton-Ersatzschaltung.....	150
Abbildung 5.2:	Einphasiges Ersatzschaltbild des Gesamtsystems bestehend aus Lastsystem (DUT-Umrichter) und Quellsystem (Netz)	151
Abbildung 5.3:	Signalflussdiagramm des betrachteten Gesamtsystems ..	151
Abbildung 5.4:	Prinzipschaltbild des Prüfaufbaus zur Vermessung des frequenzabhängigen Verhaltens mit analogen Messgrößen (rot), digitaler Schnittstellen (grau) und Leistungsverkabelung (schwarz)	154
Abbildung 5.5:	Blockschaltbild des DUT-Umrichters einschließlich der Regelungsstruktur.....	156
Abbildung 5.6:	Signalflussdiagramm des LCL-Filters im dq-Koordinatensystem	157
Abbildung 5.7:	Signalflussdiagramm des DUT-Umrichters in dq-Koordinaten.....	159
Abbildung 6.1:	Nachgebildete Netzsituation eines Photovoltaikwechselrichters, angeschlossen an eine Stichleitung im Niederspannung (NS)-Netz.....	164
Abbildung 6.2:	Nyquist-Diagramme des PHIL-Prüfstands unter Verwendung des ITM-Schnittstellenalgorithmus	166
Abbildung 6.3:	Nyquistdiagramme des PHIL-Prüfstands für eine Stichleitungslänge von 1 km	167
Abbildung 6.4:	Prozentualer Fehler der Netznachbildung mit dem PHIL-Prüfstand für verschiedene IAs für eine Stichleitungslänge von a) 0,6 km und b) 1 km	169
Abbildung 6.5:	Blockschaltbild in a) der Direktform 1 und b) der transponierten Direktform 2	170
Abbildung 6.6:	Ersatzschaltbild für die Berechnungsvorschrift des DIM-Algorithmus	172
Abbildung 6.7:	DUT-Spannung u_{DUT} für a) den DITM-IA, b) den FSF-IA und c) den DIM-IA bei einer Übertragungsleitungslänge von 0,6 km und einem L-	

Netzfilter; schwarz: Messergebnisse, blau: simulierte Spannung, orange: Mittelwert der gemessenen Spannung über eine Schaltperiode, rot: Mittelwert der simulierten Spannung über eine Schaltperiode	175
Abbildung 6.8: FRT-Kurve für Erzeugungseinheit von Typ 2, rot: Unterspannungsgrenzkurve, blau: Überspannungsgrenzkurve.....	177
Abbildung 6.9: Sollwertgenerierung für die verschiedenen Netzfehlerfälle	178
Abbildung 6.10: Zeitverlauf eines Unterspannungsszenarios der Phasen 2 und 3 auf 15 % der Nennspannung	180
Abbildung 6.11: Zeitverlauf eines Phasenkurzschlusses zwischen Phase 1 und Phase 2	181
Abbildung 6.12: Grenzkurve der Variation der Netzfrequenz, oberhalb derer die volle Abgabeleistung bereitgestellt werden muss (blau schraffierter Bereich)	182
Abbildung 6.13: Amplitude und Phase der sinusförmigen Testsignale für die 3-phasige Ausgangsspannung des SHCHB-Umrichters	184
Abbildung 6.14: Gemessener Impedanzverlauf mit Hilfe des PHIL-Systems (blau) und des <i>Bode100</i> (grün) sowie der theoretisch berechnete Impedanzverlauf (rot).....	185
Abbildung 6.15: Abweichung zwischen den gemessenen Impedanzverläufen mit Hilfe des <i>Bode100</i> und des PHIL-Systems.....	186
Abbildung 6.16: Relative mittlere absolute Abweichung vom arithmetischen Mittelwert zwischen den drei Messungen ermittelt mit dem PHIL-System	187
Abbildung 6.17: Impedanzverläufe des DUT-Umrichters mit verschiedenen Proportionalanteilen k_p, I des Stromreglers.....	188
Abbildung 6.18: Vergleich des Impedanzverlaufs im Mitsystem mit Vorsteuerung ($k_{FF} = 1$) und ohne Vorsteuerung ($k_{FF} = 0$)	189
Abbildung 6.19: Vergleich des Impedanzverlaufs im Mitsystem mit (blau) und ohne (grün) harmonische Kompensation	190

Tabellenverzeichnis

Tabelle 1.1:	Übersicht der entwickelten einphasigen SHCs.....	15
Tabelle 2.1:	Gemessene Transformatordaten bei einer Frequenz von 100 kHz.....	47
Tabelle 2.2:	Auftretende Durchlass- und Schaltverluste im Gleichstromfall für eine positive Ausgangsspannung U_a, CHB	50
Tabelle 2.3:	Übersicht der Parameter des entwickelten LPAs abhängig von der Stromverstärkung der einzelnen Transistoren	89
Tabelle 2.4:	Theoretische Bauteilwerte der Spannungssteilheitsfilter ..	98
Tabelle 3.1:	Leistungsdaten des PICOZED 7030 SOM bzw. des verbauten SoC XC7Z030 [D28, D30]	103
Tabelle 3.2:	Übersicht der Kenndaten verschiedener kommerzieller Netzemulatoren ähnlicher Leistungsklasse ((*): gemessener Wert) [D1, D2, D47–D53]	127
Tabelle 3.3:	Parameter des L-Netzfilters bzw. des LCL-Netzfilters...	129
Tabelle 6.1:	Zeitwerte und normierte Spannungswerte für die Unterspannungs- sowie Überspannungs-Grenzkurve.....	177
Tabelle 6.2:	Auflistung der Fehlerarten im Stromnetz.....	178

Literaturverzeichnis

Eigene Veröffentlichungen

- [E1] R. Schwendemann, F. Sommer, M. Hiller, „A resonant supplied cascaded H-Bridge Cell for a Series Hybrid Cascaded H-Bridge Converter used as a Power Hardware in the Loop Emulator,” in 2020 IEEE 21st Workshop on Control and Modeling for Power Electronics (COMPEL), Aalborg, Denmark, 2020, 1–8.
- [E2] L. Stefanski, B. Schmitz-Rode, R. Schwendemann, N. Weis, A. Liske, M. Hiller, „Power Hardware-in-the-Loop Test Bench for Permanent Magnet Synchronous Machines based on a Parallel Hybrid Converter,” in 2022 IEEE 23rd Workshop on Control and Modeling for Power Electronics (COMPEL), Tel Aviv, Israel, 2022, 1–8.
- [E3] D. Bernet, C. Rollbühler, R. Schwendemann, L. Stefanski, P. Winder, M. Hiller, Patentschrift DE102018101679A1, „Dreiphasiger Hybridumrichter,” 2018.
- [E4] L. Stefanski, R. Schwendemann, D. Bernet, M. Widenmeyer, A. Liske, M. Hiller, „Cascaded H-Bridge based Parallel Hybrid Converter – A new Voltage Source for Power-Hardware-in-the-Loop Emulation Systems,” in 2020 IEEE 21st Workshop on Control and Modeling for Power Electronics (COMPEL), Aalborg, Denmark, 2020, 1–8.
- [E5] L. Stefanski, R. Schwendemann, D. Bernet, et al., „A novel high dynamic six phase 120 kW Power Hardware in the Loop Emulation Test Bench for emulating AC/DC Grids and Electrical Machines,” in 2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe), Ghent, Belgium, 2021, 1–10.

- [E6] R. Schwendemann, D. Schulz, L. Stefanski, M. Hiller, „A 60 kW Power Hardware-in-the-Loop Test Bench for grid emulation based on a Series Hybrid Cascaded H-Bridge Converter,” in 2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe), Ghent, Belgium, 2021, 1–10.
- [E7] B. Schmitz-Rode, L. Stefanski, R. Schwendemann, et al., „A modular signal processing platform for grid and motor control, HIL and PHIL applications,” in 2022 International Power Electronics Conference (IPEC-Himeji 2022- ECCE Asia), Himeji, Japan, 2022, 1817–24.
- [E8] R. Schwendemann, M. Lorcher, F. Sommer, L. Stefanski, M. Hiller, „A new, universal Series Hybrid Cascaded H-Bridge Converter for Power-Hardware in the Loop Emulation,” in 2019 21st European Conference on Power Electronics and Applications (EPE '19 ECCE Europe), Genova, Italy, 2019, 1–10.
- [E9] R. Schwendemann, M. Lörcher, M. Hiller, Patentschrift DE102019110021A1, „Elektronische Schaltung für einen Differenzverstärker mit mindestens vier Eingängen,” 2019.
- [E10] R. Schwendemann, M. Loercher, M. Hiller, „A new Linear Power Amplifier for a Series Hybrid Cascaded H-Bridge Converter used as a Power Hardware in the Loop Emulator,” in PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, 2020, 1–8.
- [E11] R. Schwendemann, S. Decker, M. Hiller, M. Braun, „A Modular Converter- and Signal-Processing-Platform for Academic Research in the Field of Power Electronics,” in 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia), Niigata, 2018, 3074–80.
- [E12] R. Schwendemann, „Inbetriebnahme eines Stromrichters mit SiC-MOSFET-Sechspulsbrücke und Reglerimplementierung in VHDL,” Masterarbeit, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2015.
- [E13] S. Frank, D. Schulz, L. Stefanski, R. Schwendemann, M. Hiller, „A standardized and modular power electronics platform for academic research on advanced grid-connected converter control and microgrids,” in 2022 24th European Conference on Power Electronics

- and Applications (EPE'22 ECCE Europe), Hanover, Germany, 2022, 1–9.
- [E14] R. Schwendemann, L. Stefanski, M. Hiller, „Comparison of different Interface Algorithms for a highly dynamic grid Emulator based on a Series Hybrid Converter,” in 2022 IEEE 23rd Workshop on Control and Modeling for Power Electronics (COMPEL), Tel Aviv, Israel, 2022, 1–8.
- [E15] D. Schulz, R. Schwendemann, A. Liske, M. Hiller, „Comprehensive Modeling and Measurement of the Control Influence on Impedance at Critical LCL Frequencies for a 50 kHz SiC Converter,” in 2024 IEEE Energy Conversion Congress and Exposition (ECCE), Phoenix, Arizona, 2024, 1–7.

Studentische Arbeiten

- [S1] M. Lörcher, „Entwurf und Inbetriebnahme eines Linearverstärkers für einen Serien-Hybrid-Umrichter,” Masterarbeit, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2017.
- [S2] F. Sommer, „Entwurf und Inbetriebnahme einer CHB-Zelle für einen Serien-Hybrid-Umrichter,” Masterarbeit, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2018.
- [S3] S. Zwick, „Aufbau und Inbetriebnahme einer einstellbaren, bidirektionalen und potentialgetrennten DC-Spannungsquelle,” Masterarbeit, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2018.
- [S4] S. Schlick, „Aufbau eines Prüfverfahrens für die Impedanzspektroskopie von Wechselrichtern,” Masterarbeit, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2017.
- [S5] Thomas Eckstein, „Entwicklung und Erprobung eines Messverfahrens von harmonischen Impedanzen netzfolgender Stromrichter,” Masterarbeit, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2024.
- [S6] D. Schulz, „Inbetriebnahme und Einsatz eines Serien-Hybrid-Umrichters als PHIL-Prüfstand zur Untersuchung von Netztumrichtern,” Masterarbeit, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2020.

Datenblätter und Applikationshinweise

- [D1] EGSTON Power Electronics, „CSU 100–1GAMP4,” CSU 100–1GAMP4 Datenblatt, Version 4.2.
- [D2] Spitzenberger & Spies, „APS Serie Leistungsverstärker,” SPS-TD-APS-Overview-1108-d-0008 Datenblatt, 2021.
- [D3] EPCOS AG, „Ferrites and accessories,” ETD 59/31/22 Datenblatt, 2018.
- [D4] EPCOS AG, „Ferrites and accessories,” SIFERRIT material N87 Datenblatt, 2018.
- [D5] Cree, Inc, „C3M0280090D,” C3M0280090D Rev. A 03-2017 Datenblatt, 2017, Version A.
- [D6] Texas Instruments, „CSD18536KCS 60 V N-Channel NexFET™ Power MOSFET,” SLPS532A Datenblatt, 2017, Version A.
- [D7] Infineon Technologies AG, „MOSFET Power Losses Calculation Using the Data-Sheet Parameters,” Anwendungshinweis, 2006, Version 1.1.
- [D8] Ohmite MFG, „W Series Heatsinks,” WA-T220-101E Datenblatt, Version 8/21-1.
- [D9] Fischer Elektronik GmbH & Co. KG, „Produkt LAM 5 K 150 24,” LAM 5 K 150 24 Datenblatt.
- [D10] MeanWell Direct, „RSP-2400 series,” RSP-2400-SPEC 2016-02-24 Datenblatt, 2016.
- [D11] Texas Instruments, „TL783 High-voltage Adjustable Regulator,” SLVS036N Datenblatt, 2018.
- [D12] MeanWell Direct, „LRS-35 series,” LRS-35-SPEC 2017-10-10 Datenblatt, 2017.
- [D13] Nexperia, „PMP4201V; PMP4201G; PMP4201Y,” PMP4201V v.5 Datenblatt, 2022.
- [D14] Nexperia, „PMP5201Y,” PMP5201Y v.4 Datenblatt, 2022.
- [D15] On Semiconductor, „FMBM5551,” FMBM5551/D Datenblatt, 2017, Version 2.
- [D16] On Semiconductor, „FMBM5401,” FMBM5401/D Datenblatt, 2017, Version 2.
- [D17] Diotec Semiconductor AG, „2N5401,” 2N5401 Datenblatt, 2023.
- [D18] Diotec Semiconductor AG, „2N5551-HTS,” 2N5551 Datenblatt, 2023.

- [D19] onsemi, „PNP Epitaxial Silicon Transistor,” KSA1381/D Datenblatt, 2022, Version 1.
- [D20] onsemi, „NPN Epitaxial Silicon Transistor,” KSC3503/D Datenblatt, 2022, Version 2.
- [D21] Linear Technology Corporation, „LTC1666/LTC1667/LTC1668,” LTC1667CG#PBF Datenblatt, 2017.
- [D22] Linear Technology Corporation, „LT1363,” LT1363CS8#PBF Datenblatt, 2007.
- [D23] Teledyne LeCroy, „MDA8000HD Motor Drive Analyzer (350 MHz - 2 GHz) Datasheet,” mda8000hd-ds-21jun21 Datenblatt, 2021.
- [D24] Shenzhen Micsig Instruments Co., Ltd., „DP10007/DP10013/DP20003 High Voltage Differential Probe,” Benutzerhandbuch, 2019.
- [D25] HIOKI, „Advanced Lineup of Current Probes,” series_Current_Probe_E4-9YB Datenblatt, 2019.
- [D26] ZES Zimmer, „LMG500 Präzisions-Leistungsmessgerät,” LMG500 de 04/2012 Datenblatt, 2012.
- [D27] OMICRON LAB, „Technical Data Sheet Bode 100,” Datenblatt, 2024, Version 1.4.
- [D28] Avnet, „PicoZed™ 7Z015 / 7Z030 SOM,” LIT# 5279-UG-Pico-Zed-7015-7030-v2 0 Benutzerhandbuch, 2018, Version 2.0.
- [D29] Xilinx, Inc., „7 Series FPGAs GTX/GTH Transceivers User Guide (UG476),”.
- [D30] Xilinx, „Zynq-7000 SoC Data Sheet: Overview,” DS190 Datenblatt, 2018, Version 1.11.1.
- [D31] Intel Corporation, „Intel® MAX® 10 FPGA Device Overview,” 683658 Datenblatt, 2021, Version 2021.11.01.
- [D32] Texas Instruments, „ISO776x High-speed, robust EMC, reinforced six-channel digital isolators,” SLLSER1H Datenblatt, 2024, Version H.
- [D33] Littelfuse, „TO-220 Series Thermistor Probe,” TO103J2K Datenblatt, 2018.
- [D34] Texas Instruments, „AMC1035 Delta-Sigma Modulator With Bipolar Input of ± 1 V and Reference Output of 2.5 V (Rev.),” SBAS837B Datenblatt, 2020, Version B.
- [D35] Texas Instruments, „ISOW7821 High-Performance, 5000-VRMS Reinforced Dual-Channel Digital Isolator With Integrated High-

- Efficiency, Low-Emissions DC-DC Converter,” SLLSF40B Datenblatt, 2019, Version B.
- [D36] Kerafol, „U 85,” Datenblatt, 2014.
- [D37] Fischer Elektronik GmbH & Co. KG, „Produkt LA V 15 400 24,” LA V 15 400 24 Datenblatt.
- [D38] ebm-papst St. Georgen GmbH & Co. KG, „DC axial fans Series 4100 N,” 4114NH6 Datenblatt, 2016.
- [D39] Apex Microtechnology, „PA50 - Power Operational Amplifier,” Datenblatt, 2015, Version REV J.
- [D40] AE Techron, „7794 5-kVA, DC-enabled Linear Power Amplifier,” Datenblatt, 2022.
- [D41] AE Techron, „7796 5-kVA, DC-enabled Linear Power Amplifier,” Datenblatt, 2022.
- [D42] Würth Elektronik eiSos GmbH & Co. KG, „WE-HCFT Flat Wire THT High Current Inductor,” 7443763540100 Datenblatt, 2018, Version 001.
- [D43] TDK Electronics AG, „Film Capacitors - Metallized Polypropylene Film Capacitors (MKP) -,” B32671L, B32672L Datenblatt, 2021.
- [D44] EBG Resistors, „Series HXP-600,” HXP 600 1 50R 10% Datenblatt, 2023.
- [D45] Fischer Elektronik GmbH & Co. KG, „Produkt LA 8 200 24,” LA 8 200 24.
- [D46] EPCOS AG, „Film Capacitors - Metallized Polypropylene Film Capacitors (MKP),” B32754 ... B32758 Datenblatt, 2019.
- [D47] AE Techron, „8700 Series Ultra-Wide-Bandwidth, High-Power Switch-Mode Amplifiers,” Datenblatt, 2024.
- [D48] NATIONAL INSTRUMENTS, „NHR 9510 High-Power System for Grid Simulation,” Datenblatt, 2023.
- [D49] Regatron AG, „TC.ACS.50.528.4WR.HC.LC,” Datenblatt, 2024, Version V02.50.
- [D50] cinergia, „GE&EL+ vAC/DC SiC,” Datenblatt, 2023.
- [D51] Chroma ATE, „REGENERATIVE GRID SIMULATOR MODEL 61800 SERIES,” Datenblatt, 2022.
- [D52] OPAL-RT Technologies, „OP1400 Series,” Datenblatt, 2020.
- [D53] Kikusui Electronics, „PCR-WEA/WEA2 Series,” Datenblatt, 2023, Version 202305PDFEC51.

- [D54] LEM, „Current Transducer LA 150-P,” N° 74.B4.39.000.0 Datenblatt, 2015, Version 4.
- [D55] Analog Devices, „LTC2325-16 Quad, 16-Bit, 5Msps/Ch Simultaneous Sampling ADC,” 232516fa Datenblatt, 2024, Version B.
- [D56] Texas Instruments, „SN74LVC1T45 Single-Bit Dual-Supply Bus Transceiver With Configurable Voltage Translation and 3-State Outputs datasheet (Rev. M),” SCES515M Datenblatt, 2022, Version M.
- [D57] Broadcom, „AFBR-16xxZ and AFBR-26x4Z/25x9Z,” AV02-4369EN Datenblatt, 2023.

Fremdliteratur

- [1] F. Capizzi, A. Das, T. Dauwe, I. Moorkens, R. J Saarikivi, M. Tomescu, „Renewable energy in Europe - 2019,” European Environment Agency, Mol, Belgium, 2019.
- [2] B. Burger, „Öffentliche Nettostromerzeugung in Deutschland im Jahr 2019,” Fraunhofer ISE, Freiburg, 2020.
- [3] L. Kocewiak, „Harmonics in large offshore wind farms,” Dissertation, Department of Energy Technology, Aalborg University, Aalborg, 2012.
- [4] J. Enslin, P. Heskes, „Harmonic Interaction Between a Large Number of Distributed Power Inverters and the Distribution Network,” in IEEE Transactions on Power Electronics, vol. 19, no. 6, 2004, 1586–93.
- [5] Z. Shuai, D. Liu, J. Shen, C. Tu, Y. Cheng, an Luo, „Series and Parallel Resonance Problem of Wideband Frequency Harmonic and Its Elimination Strategy,” in IEEE Transactions on Power Electronics, vol. 29, no. 4, 2014, 1941–52.
- [6] F. Ackermann, N. Bihler, S. Rogalla, „Stability prediction and stability enhancement for large-scale PV Power plants,” in 2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems (PEDG), Vancouver, Canada, 2016, 1–7.
- [7] U. Markovic, O. Stanojev, P. Aristidou, E. Vrettos, D. Callaway, G. Hug, „Understanding Small-Signal Stability of Low-Inertia Systems,” in IEEE Transactions on Power Systems, vol. 36, no. 5, 2021, 3997–4017.

- [8] L. Kocewiak, R. BLASCO-GIMENEZ, M. Larsson, X. Wang, „Multi-frequency stability of converter-based modern power systems,” Cigré, 2024.
- [9] T. Roinila, M. Vilkko, J. Sun, „Online Grid Impedance Measurement Using Discrete-Interval Binary Sequence Injection,” in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 2, no. 4, 2014, 985–93.
- [10] L. Jessen, S. Günter, F. W. Fuchs, M. Gottschalk, H.-J. Hinrichs, „Measurement Results and Performance Analysis of the Grid Impedance in Different Low Voltage Grids for a Wide Frequency Band to Support Grid Integration of Renewables,” in 2015 IEEE Energy Conversion Congress and Exposition (ECCE), Montreal, QC, Canada, 2015, 1960–7.
- [11] R. Pollanen, L. Kankainen, M. Paakkonen, J. Ollila, S. Strandberg, „Full-power converter based test bench for low voltage ride-through testing of wind turbine converters,” in 2011 14th European Conference on Power Electronics and Applications, Birmingham, UK, 2011, 1–10.
- [12] R. Lohde, F. Fuchs, „Laboratory type PWM grid emulator for generating disturbed voltages for testing grid connected devices,” in 2009 13th European Conference on Power Electronics and Applications, Barcelona, Spain, 2009, 1–9.
- [13] K. Ma, J. Wang, X. Cai, F. Blaabjerg, „AC Grid Emulations for Advanced Testing of Grid-Connected Converters—An Overview,” in IEEE Transactions on Power Electronics, vol. 36, no. 2, 2021, 1626–45.
- [14] J. Eloy-García, J. C. Vasquez, J. M. Guerrero, „Grid simulator for power quality assessment of micro-grids,” in IET Power Electronics, 6, 2013, 700–9.
- [15] K. N. Narayanan, L. Umanand, „A Virtual Impedance Based Grid Emulator for the Performance Analysis of Distributed Generations,” in 2019 IEEE Applied Power Electronics Conference and Exposition (APEC), Anaheim, CA, USA, 2019, 3013–8.
- [16] J. Lai, X. Min, J. Su, et al., „Harmonic Generation for Renewable Energy Converter Test,” in IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society, Beijing, China, 2017, 2516–21.

- [17] T. Liu, D. Wang, K. Zhou, „High-Performance Grid Simulator Using Parallel Structure Fractional Repetitive Control,” in IEEE Transactions on Power Electronics, vol. 31, no. 3, 2016, 2669–79.
- [18] P. Jonke, J. Stockl, H. Ertl, „Concept of a three phase AC power source with virtual output impedance for tests of grid connected components,” in 2015 International Symposium on Smart Electric Distribution Systems and Technologies (EDST), Vienna, Austria, 2015, 399–404.
- [19] P. Jonke, M. Makoschitz, B. Sumanta, J. Stöckl, H. Ertl, „AC-Sweep Analysis and Verification of an AC Power Source with Virtual Output Impedance for Validation of Grid Connected Components,” in PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, 2017, 1–7.
- [20] J. E. Huber, J. W. Kolar, G. Pammer, „Hybrid inverter concept for extreme bandwidth high-power AC source,” in Electron. Lett., 53, 2017, 947–9.
- [21] A. Schmitt, „Hochdynamische Power Hardware-in-the-Loop Emulation hoch ausgenutzter Synchronmaschinen mit einem Modularen-Multiphasen-Multilevel Umrichter,” Dissertation, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2017.
- [22] C. Nemec, J. Roth-Stielow, „Ripple current minimization of an interleaved-switched multi-phase PWM inverter for three-phase machine-emulation,” in 2011 14th European Conference on Power Electronics and Applications, Birmingham, UK, 2011, 1–8.
- [23] Y. Rahmoun, P. Winzer, A. Schmitt, H. Hammerer, „Six-Phase PMSM Drive Inverter Testing on a High Performance Power Hardware-in-the-Loop Testbed,” in 2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe), Lyon, France, 2020, 1–10.
- [24] M. Jia, S. Cui, P. Joebges, R. W. de Doncker, „A Modular Multi-level Converter as a Grid Emulator in Balanced and Unbalanced Scenarios Using a Delta-Wye Transformer,” in 2021 IEEE Energy Conversion Congress and Exposition (ECCE), Vancouver, BC, Canada, 2021, 2950–7.

- [25] M. Jia, S. Cui, K. Hetzenecker, J. Hu, R. W. Doncker, „Control of a Three-Phase Four-Wire Modular Multilevel Converter as a Grid Emulator in Fault Scenarios,” in 2021 IEEE Energy Conversion Congress and Exposition (ECCE), Vancouver, BC, Canada, 2021, 624–31.
- [26] M. Schnarrenberger, „Der Modulare Multilevel-Umrichter als dreiphasige Spannungsquelle,” Dissertation, Elektrotechnisches Institut, Karlsruher Institut für Technologie, Karlsruhe, 2019.
- [27] M. Schnarrenberger, F. Kammerer, D. Bräckle, M. Braun, „Cell Design of a Square-Wave Powered 1AC-3AC Modular Multilevel Converter Low Voltage Prototype,” in 2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe), Karlsruhe, Germany, 2016, 1–11.
- [28] A. J. Korn, M. Winkelkemper, P. Steimer, „Low Output Frequency Operation of the Modular Multi-Level Converter,” in 2010 IEEE Energy Conversion Congress and Exposition, Atlanta, GA, USA, 2010, 3993–7.
- [29] J. Bohler, J. Huber, J. Wurz, et al., „Ultra-High-Bandwidth Power Amplifiers: A Technology Overview and Future Prospects,” in IEEE Access, vol. 10, 2022, 54613–33.
- [30] G. Gong, D. Hassler, J. W. Kolar, „A Comparative Study of Multi-cell Amplifiers for AC-Power-Source Applications,” in IEEE Transactions on Power Electronics, vol. 26, no. 1, 2011, 149–64.
- [31] Felix Lehfuss, Georg Lauss, Panos Kotsopoulos, Nikos Hatzigyriou, Paul Crolla, Andrew Roscoe, „Comparison of multiple power amplification types for power Hardware-in-the-Loop applications,” in 2012 Complexity in Engineering (COMPENG), Aachen, Germany, 2012, 1–6.
- [32] P. Koralewicz, V. Gevorgian, R. Wallen, W. van der Merwe, P. Jorg, „Advanced grid simulator for multi-megawatt power converter testing and certification,” in 2016 IEEE Energy Conversion Congress and Exposition (ECCE), Milwaukee, WI, USA, 2016, 1–8.
- [33] G. De Carne, „The Power-Hardware in the Loop Laboratory,” Energy Lab 2.0, 2022.
- [34] G. B Yundt, „Series Parallel Connected Composite Amplifiers,” M.Sc. Thesis, Department of Electrical Engineering and Computer

- Science, Massachusetts Institute of Technology, Cambridge, MA, 1983.
- [35] G. Gong, „Hybrid Amplifiers for AC Power Source Applications,” Dissertation, Power Electronics Systems Laboratory, ETH Zürich, Zürich, 2009.
- [36] R. C. Beltrame, M. L. da Silva Martins, C. Rech, H. L. Hey, „Hybrid power amplifiers - a review,” in XI Brazilian Power Electronics Conference, Natal, Brazil, 2011, 189–95.
- [37] G. B. Yundt, „Series- or Parallel-Connected Composite Amplifiers,” in IEEE Transactions on Power Electronics, vol. PE-1, no. 1, 1986, 48–54.
- [38] R. van der Zee, E. van Tuijl, „A power-efficient audio amplifier combining switching and linear techniques,” in IEEE Journal of Solid-State Circuits, vol. 34, no. 7, 1999, 985–91.
- [39] G. R. Walker, „A Class B Switch-Mode Assisted Linear Amplifier,” in IEEE Transactions on Power Electronics, vol. 18, no. 6, 2003, 1278–85.
- [40] H. Ertl, J. W. Kolar, F. C. Zach, „A New 1kW Class-D Supported Linear Power Amplifier Employing a Self-Adjusting Ripple"Cancellation Scheme,” in 29" International Conference on Power Conversion,, Nuremberg, Germany,, 1996, 265–74.
- [41] L. Stefanski, D. Bernet, M. Schnarrenberger, C. Rollbuhler, A. Liske, M. Hiller, „Cascaded H-Bridge based Parallel Hybrid Converter — A novel Topology for perfectly sinusoidal high power Voltage Sources,” in IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society, Lisbon, Portugal, 2019, 1639–46.
- [42] F. Wang, A. H. Yang, D. F. Kimball, L. E. Larson, P. M. Asbeck, „Design of wide-bandwidth envelope-tracking power amplifiers for OFDM applications,” in IEEE Transactions on Microwave Theory and Techniques, vol. 53, no. 4, 2005, 1244–55.
- [43] V. Z. Lazarevic, I. Zubitur, M. Vasic, et al., „High-Efficiency High-Bandwidth Four-Quadrant Fully Digitally Controlled GaN-Based Tracking Power Supply System for Linear Power Amplifiers,” in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 7, no. 2.

- [44] V. Z. Lazarevic, M. Vasic, E. Boere, J. Eltze, J. A. Cobos, „Design Considerations for Hybrid, Energy-Efficient, and Fast Industrial Power Amplifiers With Supply Modulation,” in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 8, no. 3, 2020, 2206–16.
- [45] Q. Jin, X. Ruan, X. Ren, H. Xi, „High-Efficiency Switch-Linear-Hybrid Envelope-Tracking Power Supply With Step-Wave Approach,” in IEEE Transactions on Industrial Electronics, vol. 62, no. 9, 2015, 5411–21.
- [46] X. Liu, S. Liu, L. Ge, „Research on a flexible waveform power amplifier adopting Switch-Linear Hybrid(SLH) Scheme,” in 2007 7th Internatonal Conference on Power Electronics, Daegu, 2007, 1156–9.
- [47] X. Liu, S. Liu, J. Kan, „A high efficiency linear power amplifier with Switch-Linear Hybrid Scheme,” in 2009 IEEE Energy Conversion Congress and Exposition, San Jose, CA, USA, 2009, 479–83.
- [48] G. Gong, S. Round, J. W. Kolar, „Design, Control and Performance of Tracking Power Supply for a Linear Power Amplifier,” in 2005 IEEE 36th Power Electronics Specialists Conference, Dresden, Germany, 2005, 2841–7.
- [49] G. Gong, H. Ertl, J. W. Kolar, „Novel Tracking Power Supply for Linear Power Amplifiers,” in IEEE Transactions on Industrial Electronics, vol. 55, no. 2, 2008, 684–98.
- [50] R. C. Beltrame, M. I. Desconzi, M. L. da Silva Martins, C. Rech, H. L. Hey, „AC power source based on series-connection between cascaded PWM multilevel inverter and linear power amplifier,” in 2011 14th European Conference on Power Electronics and Applications, Birmingham, UK, 2011.
- [51] G. S. da Silva, R. C. Beltrame, H. L. Hey, M. L. S. Martins, C. Rech, L. Schuch, „AC Power Source based on Series-Connection between Modular Multilevel Converter and Linear Power Amplifier,” in IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society, Vienna, Austria, 2013, 362–7.
- [52] G. S. da Silva, R. C. Beltrame, L. Schuch, C. Rech, „Hybrid AC Power Source Based on Modular Multilevel Converter and Linear Amplifier,” in IEEE Transactions on Power Electronics, vol. 30, no. 1, 2015, 216–26.

- [53] D. L. R. Vidor, E. Rosa, N. Rigo, J. R. Pinheiro, „A switched-linear series converter,” in 2016 12th IEEE International Conference on Industry Applications (INDUSCON), Curitiba, PR, Brazil, 2016, 1–6.
- [54] P. Steimer, M. Veenstra, US 6,621,719 B2, „Converter with additional voltage addition or subtraction at the output,” 2002.
- [55] I. Kirchner, T.-M. Plotz, H.-G. Eckel, „Design of a cascaded hybrid multilevel converter for traction application,” in 2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe), Karlsruhe, Germany, 2016, 1–8.
- [56] I. Kirchner, T.-M. Plotz, H.-G. Eckel, „Control of a cascaded hybrid multilevel converter for the use in rail vehicles,” in 2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe), Warsaw, Poland, 2017, P.1-P.5.
- [57] X. Zeng, D. Gong, M. Wei, J. Xie, „Research on novel hybrid multilevel inverter with cascaded H-bridges at alternating current side for high-voltage direct current transmission,” in IET Power Electronics, 11, 2018, 1914–25.
- [58] Z. Hong, Z. Xing, L. Fei, L. Fang, J. Jiehong, „Research of high-power grid simulator system,” in 2015 IEEE 2nd International Future Energy Electronics Conference (IFEEC), Taipei, Taiwan, 2015, 1–3.
- [59] G. Gong, H. Ertl, J. W. Kolar, „A multi-cell cascaded power amplifier,” in Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, Dallas, TX, USA, 2006, 1550–6.
- [60] T. Messo, R. Luhtala, A. Aapro, T. Roinila, „Accurate Impedance Model of Grid-Connected Inverter for Small-Signal Stability Assessment in High-Impedance Grids,” in International Power Electronics Conference (IPEC), Niigata, Japan, 2018, 3156–63.
- [61] S. Rogalla, S. Kaiser, B. Burger, B. Engel, „Determination of the Frequency Dependent Thévenin Equivalent of Inverters Using Differential Impedance Spectroscopy,” in 2020 IEEE 11th International Symposium on Power Electronics for Distributed Generation Systems (PEDG), Dubrovnik, Croatia, 2020, 181–6.
- [62] S. Rogalla, „Analyse frequenzabhängiger Netzwechselwirkungen von selbstgeführten Wechselrichtern mittels differentieller Impedanzspektroskopie und Oberschwingungsquellenbetrachtung,”

- Dissertation, Institut für Hochspannungstechnik und Energiesysteme, Technischen Universität Carolo-Wilhelmina zu Braunschweig, Braunschweig, 2020.
- [63] J. Zeng, G. Zhang, S. S. Yu, B. Zhang, Y. Zhang, „LLC resonant converter topologies and industrial applications — A review,” in Chinese Journal of Electrical Engineering, vol. 6, no. 3, 2020, 73–84.
 - [64] P. Kowstubha, K. Krishnaveni, K. Ramesh Reddy, „Review on different control strategies of LLC series resonant converters,” in 2014 International Conference on Advances in Electrical Engineering (ICAEE), Vellore, India, 2014, 1–4.
 - [65] R. L. Steigerwald, „A comparison of half-bridge resonant converter topologies,” in 1987 2nd IEEE Applied Power Electronics Conference and Exposition, San Diego, CA USA, 1987, 135–44.
 - [66] N. Mohan, T. M Undeland, W. P Robbins, „Power Electronics: Converters, Applications and Design,” 3rd ed., Hoboken, NJ, Wiley, 2007.
 - [67] D. J Munarriz, „Analysis and design of resonant dc/dc converters for automotive applications,” Institut für Elektrische Maschinen, Antriebe und Bahnen, TU Braunschweig, Braunschweig, 2014.
 - [68] D. Urbaneck, P. Rehlaender, J. Bocker, F. Schafmeister, „LLC Converter in Capacitive Operation Utilizing ZCS for IGBTs – Theory, Concept and Verification of a 2 kW DC-DC Converter for EVs,” in 2021 IEEE Applied Power Electronics Conference and Exposition (APEC), Phoenix, AZ, USA, 2021, 2753–60.
 - [69] R. W Erickson, D. Maksimović, „Fundamentals of Power Electronics,” Cham, Springer International Publishing, 2020.
 - [70] X. Fang, „Analysis and Design Optimization of resonant DC-DC Converters,” Dissertation, Electrical Engineering and Computer Science, University of Central Florida, Orlando, Florida, 2012.
 - [71] Y. Yang, L. Zhang, T. Ma, „Conduction Loss Analysis and Optimization Design of Full Bridge LLC Resonant Converter,” in 2018 International Power Electronics Conference (IPEC-Niigata 2018 - ECCE Asia), Niigata, Japan, 2018.
 - [72] Y. Wei, Q. Luo, S. Chen, P. Sun, N. Altin, „Comparison among different analysis methodologies for LLC resonant converter,” in IET Power Electronics, 12, 2019, 2236–44.

- [73] Y. Wei, Q. Luo, Z. Wang, A. Mantooth, X. Zhao, „Comparison between Different Analysis Methodologies for LLC Resonant Converter,” in 2019 IEEE Energy Conversion Congress and Exposition (ECCE), Baltimore, MD, USA, 2019.
- [74] Q. Cao, Z. Li, H. Wang, „Wide Voltage Gain Range LLC DC/DC Topologies: State-of-the-Art,” in 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia), Niigata, 2018, 100–7.
- [75] A. Bhat, „A generalized steady-state analysis of resonant converters using two-port model and Fourier-series approach,” in IEEE Transactions on Power Electronics, vol. 13, no. 1, 1998, 142–51.
- [76] A. J. Forsyth, G. A. Ward, S. V. Mollov, „Extended fundamental frequency analysis of the LCC resonant converter,” in IEEE Transactions on Power Electronics, vol. 18, no. 6, 2003, 1286–92.
- [77] G. Ivensky, S. Bronshtein, A. Abramovitz, „Approximate Analysis of Resonant LLC DC-DC Converter,” in IEEE Transactions on Power Electronics, vol. 26, no. 11, 2011, 3274–84.
- [78] X. Fang, H. Hu, Z. J. Shen, I. Batarseh, „Operation Mode Analysis and Peak Gain Approximation of the LLC Resonant Converter,” in IEEE Transactions on Power Electronics, vol. 27, no. 4, 2012, 1985–95.
- [79] J. Deng, C. C. Mi, R. Ma, S. Li, „Design of LLC Resonant Converters Based on Operation-Mode Analysis for Level Two PHEV Battery Chargers,” in IEEE/ASME Transactions on Mechatronics, vol. 20, no. 4, 2015, 1595–606.
- [80] R. Unruh, F. Schafmeister, J. Bocker, „11kW, 70kHz LLC Converter Design with Adaptive Input Voltage for 98% Efficiency in an MMC,” in 2020 IEEE 21st Workshop on Control and Modeling for Power Electronics (COMPEL), Aalborg, Denmark, 2020, 1–8.
- [81] N. Massey, „Taking the Heat – and Leads – Out of Higher Power Designs,” Electronic Engineering Times Europe.
- [82] Y. Nishimura, M. Oonota, F. Momose, „Thermal Management Technology for IGBT Modules,” 2010.
- [83] C. Fei, F. C. Lee, Q. Li, „Soft start-up for high frequency LLC resonant converter with optimal trajectory control,” in 2015 IEEE Applied Power Electronics Conference and Exposition (APEC), Charlotte, NC, USA, 2015, 609–15.

- [84] W. Feng, F. C. Lee, „Optimal trajectory control of LLC resonant converters for soft start-up,” in 2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, USA, 2013, 1461–8.
- [85] M. Reisch, „Halbleiter-Bauelemente,” 2nd ed., Berlin, Heidelberg, Springer-Verlag, 2007.
- [86] U. Tietze, C. Schenk, E. Gamm, „Halbleiter-Schaltungstechnik,” 15th ed., Berlin, Heidelberg, Springer Verlag, 2016.
- [87] S. Goßner, „Grundlagen der Elektronik,” 9th ed., Aachen, Shaker Verlag, 2016.
- [88] B. Razavi, „Fundamentals of microelectronics,” 2nd ed., Hoboken, NJ, J. Wiley & Sons, 2014.
- [89] B. Cordell, „Designing Audio Power Amplifiers,” New York City, McGrawHill, 2011.
- [90] G. Stochino, „Ultra-fast amplifier,” in Electronics world + wireless world, 1995, 835–41.
- [91] J. Siegl, E. Zocher, „Schaltungstechnik - Analog und gemischt analog/digital,” 5th ed., Berlin, Heidelberg, Springer Berlin Heidelberg, 2014.
- [92] G. Stochino, „300V V/us power,” in Electronics world + wireless world, 1997, 278–82.
- [93] G. Stochino, „Non-slewing audio power amplifier,” in Electronics world + wireless world, 1996, 256–9.
- [94] B. Locanthy, „Operational Amplifier Circuit for Hi-Fi,” in Electronics world + wireless world, 1967, 39–41.
- [95] B. Locanthy, „An Ultra-Low Distortion Direct-Current Amplifier,” in JOURNAL OF THE AUOIO ENGINEERING SOCIETY, 1967, 290–4.
- [96] C. Vadstrup, X. Wang, F. Blaabjerg, „LC filter design for wide band gap device based adjustable speed drives,” in 2014 International Power Electronics and Application Conference and Exposition, Shanghai, China, 2014, 1291–6.
- [97] H. Kim, B.-H. Kim, S. Bhattacharya, „An Analytical Design Strategy and Implementation of a Dv/Dt Filter for WBG Devices Based High Speed Machine Drives,” in IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society, Washington, DC, USA, 2018.

- [98] Y. Zhang, Y. Shi, H. Li, „Study of Passive dv/dt Filter and Proposed Active Solution for SiC MV Motor Drive,” in 2019 IEEE Electric Ship Technologies Symposium (ESTS), Washington, DC, USA, 2019, 236–40.
- [99] W. Ren, „Accuracy Evaluation of Power Hardware-in-the-Loop (PHIL) Simulation,” Dissertation, Electrical and Computer Engineering Department, Florida State University, Tallahassee, 2007.
- [100] G. Lauss, M. O. Faruque, K. Schoder, C. Dufour, A. Viehwieder, J. Langston, „Characteristics and Design of Power Hardware-in-the-Loop Simulations for Electrical Power Systems,” in IEEE Transactions on Industrial Electronics, vol. 63, no. 1, 2016, 406–17.
- [101] A. Viehwieder, G. Lauss, F. Lehfuss, „Interface and Stability Issues for SISO and MIMO Power Hardware in the Loop Simulation of Distribution Networks with Photovoltaic Generation,” in INTERNATIONAL JOURNAL of RENEWABLE ENERGY RESEARCH, 2012, 1–9.
- [102] F. Li, Y. Wang, F. Wu, et al., „Review of Real-time Simulation of Power Electronics,” in Journal of Modern Power Systems and Clean Energy, vol. 8, no. 4, 2020, 796–808.
- [103] F. Lehfuß, G. F. Lauss, „Power Hardware-in-the-Loop Simulations for Distributed Generation,” in 21st International Conference on Electricity Distribution, Frankfurt, Germany, 2012, 1–4.
- [104] W. Ren, M. Steurer, T. L. Baldwin, „Improve the Stability and the Accuracy of Power Hardware-in-the-Loop Simulation by Selecting Appropriate Interface Algorithms,” in 2007 IEEE/IAS Industrial & Commercial Power Systems Technical Conference, Edmonton, AB, Canada, 2007, 1286–94.
- [105] G. Lauss, F. Lehfuss, A. Viehwieder, T. Strasser, „Power hardware in the loop simulation with feedback current filtering for electric systems,” in IECON 2011 - 37th Annual Conference of the IEEE Industrial Electronics Society, Melbourne, Vic, Australia, 2011, 3725–30.
- [106] V. B. Dmitriev-Zdorov, B. Klaassen, „An improved relaxation approach for mixed system analysis with several simulation tools,” in Proceedings of EURO-DAC. European Design Automation Conference, Brighton, UK, 1995, 274–9.

- [107] Vladimir B .Dmitriev-Zdorov, „Generalized coupling as a way to improve the convergence in relaxation-based solvers,” in EURO-DAC '96. European Design Automation Conference with EURO-VHDL '96 and Exhibition, Geneva, Switzerland, 1996, 15–20.
- [108] R. Kuffel, R. P. Wierckx, H. Duchen, et al., „Expanding an Analogue HVDC Simulator's Modelling Capability Using a Real-Time Digital Simulator (RTDS),” in ICDS '95. First International Conference on Digital Power System Simulators, Texas, USA, 1995, 199–204.
- [109] S. Paran, „Utilization Of Impedance Matching To Improve Damping Impedance Method-Based Phil Interface,” Masterthesis, Department of Electrical and Computer Engineering, Florida State University Libraries, Tallahassee, 2013.
- [110] S. Hui, K. K. Fung, C. Christopoulos, „Decoupled simulation of DC-linked power electronic systems using transmission-line links,” in IEEE Transactions on Power Electronics, vol. 9, no. 1, 1994, 85–91.
- [111] S. Paran, C. S. Edrington, B. Vural, „Investigation of HIL interfaces in nonlinear load studies,” in 2012 North American Power Symposium (NAPS), Champaign, IL, USA, 2012, 1–6.
- [112] X. Wu, S. Lentijo, A. Monti, „A novel interface for power-hardware-in-the-loop simulation,” in 2004 IEEE Workshop on Computers in Power Electronics, 2004. Proceedings, Urbana, IL, 2004, 178–82.
- [113] X. Wu, A. Monti, „Methods for partitioning the system and performance evaluation in power-hardware-in-the-loop simulations. Part I,” in 31st Annual Conference of IEEE Industrial Electronics Society, 2005. IECON 2005, Raleigh, NC, USA, 2005, 251–256.
- [114] Mahdi Dargahikafshgarkolaei, „Stability Analysis and Implementation of Power-Hardware-in-the-Loop for Power System Testing,” Dissertation, School of Electrical Engineering and Computer Science, Queensland University of Technology, Queensland, 2015.
- [115] G. Lauss, K. Strunz, „Accurate and Stable Hardware-in-the-Loop (HIL) Real-Time Simulation of Integrated Power Electronics and Power Systems,” in IEEE Transactions on Power Electronics, vol. 36, no. 9, 2021, 10920–32.

- [116] R. Brandl, „Operational Range of Several Interface Algorithms for Different Power Hardware-In-The-Loop Setups,” in *Energies*, 2017, 1–21.
- [117] G. Schulz, „Regelungstechnik 1,” 4th ed., München, De Gruyter Oldenbourg, 2011.
- [118] R. D. Middlebrook, „Input Filter Considerations in Design and Application of Switching Regulators,” in IEEE Industry Applications Society Annual Meeting, Chicago, IL, USA, 1976, 366–82.
- [119] N. Bottrell, M. Prodanovic, T. C. Green, „Dynamic Stability of a Microgrid With an Active Load,” in *IEEE Transactions on Power Electronics*, vol. 28, no. 11, 2013, 5107–19.
- [120] N. Pogaku, M. Prodanovic, T. C. Green, „Modeling, Analysis and Testing of Autonomous Operation of an Inverter-Based Microgrid,” in *IEEE Transactions on Power Electronics*, vol. 22, no. 2, 2007, 613–25.
- [121] X. Wang, F. Blaabjerg, W. Wu, „Modeling and Analysis of Harmonic Stability in an AC Power-Electronics-Based Power System,” in *IEEE Transactions on Power Electronics*, vol. 29, no. 12, 2014, 6421–32.
- [122] H. Zhang, L. Harnefors, X. Wang, H. Gong, J.-P. Hasler, „Stability Analysis of Grid-Connected Voltage-Source Converters Using SISO Modeling,” in *IEEE Transactions on Power Electronics*, vol. 34, no. 8, 2019, 8104–17.
- [123] X. Wang, L. Harnefors, F. Blaabjerg, „Unified Impedance Model of Grid-Connected Voltage-Source Converters,” in *IEEE Transactions on Power Electronics*, vol. 33, no. 2, 2018, 1775–87.
- [124] Mohamed Belkhayat, „Stability criteria for AC power systems with regulated loads,” Dissertation, Purdue University, West Lafayette, 1997.
- [125] L. Jessen, F. W. Fuchs, „Modeling of inverter output impedance for stability analysis in combination with measured grid impedances,” in 2015 IEEE 6th International Symposium on Power Electronics for Distributed Generation Systems (PEDG), Aachen, Germany, 2015.
- [126] J. Sun, „Impedance-Based Stability Criterion for Grid-Connected Inverters,” in *IEEE Transactions on Power Electronics*, vol. 26, no. 11, 2011, 3075–8.

- [127] R. Luhtala, T. Messo, T. Reinikka, J. Sihvo, T. Roinila, M. Vilkko, „Adaptive control of grid-connected inverters based on real-time measurements of grid impedance: DQ-domain approach,” in 2017 IEEE Energy Conversion Congress and Exposition (ECCE), Cincinnati, OH, USA, 2017, 69–75.
- [128] P. Garcia, M. Sumner, A. Navarro-Rodriguez, J. M. Guerrero, J. Garcia, „Observer-Based Pulsed Signal Injection for Grid Impedance Estimation in Three-Phase Systems,” in IEEE Transactions on Industrial Electronics, vol. 65, no. 10, 2018, 7888–99.
- [129] Y. Han, M. Yang, H. Li, et al., „Modeling and Stability Analysis of Grid-Connected Inverters with Different LCL Filter Parameters,” in 2018 IEEE Electronic Power Grid (eGrid), Charleston, SC, USA, 2018, 1–6.
- [130] N. Mohammed, M. Ciobotaru, G. Town, „Fundamental grid impedance estimation using grid-connected inverters: a comparison of two frequency-based estimation techniques,” in IET Power Electronics, 13, 2019, 2730–41.
- [131] R. Luhtala, T. Messo, T. Roinila, „Adaptive Control of Grid-Voltage Feedforward for Grid-Connected Inverters based on Real-Time Identification of Grid Impedance,” in 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia), Niigata, 2018, 547–54.
- [132] B. Wen, D. Boroyevich, R. Burgos, P. Mattavelli, Z. Shen, „Small-Signal Stability Analysis of Three-Phase AC Systems in the Presence of Constant Power Loads Based on Measured d-q Frame Impedances,” in IEEE Transactions on Power Electronics, vol. 30, no. 10, 2015, 5952–63.
- [133] X. Wang, J. Liu, Y. Meng, J. Hu, C. Yuan, „Frequency-domain transformation approaches to develop the d-q synchronous-frame models of three-phase symmetrical networks and applications in modeling of PWM power converters,” in 2007 7th International Conference on Power Electronics, Daegu, South Korea, 2007, 851–6.
- [134] Vikram Kaura, Vladimir Blasko, „Operation of a phase locked loop system under distorted utility conditions,” in IEEE Transactions on Industry Applications, vol. 33, no. 1, 1997, 58–63.

- [135] D. Schulz, A. Liske, M. Hiller, „Multi-Parameter Analysis and Measurement of Resonances in Grid-Connected Converters with LCL Filters,” in 2023 25th European Conference on Power Electronics and Applications (EPE'23 ECCE Europe), Aalborg, Denmark, 2023, 1–9.
- [136] D. Riegle, P. Lin, „Matrix signal flow graphs and an optimum topological method for evaluating their gains,” in IEEE Transactions on Circuit Theory, vol. 19, no. 5, 1972, 427–35.
- [137] A. Rygg, M. Molinas, C. Zhang, X. Cai, „A Modified Sequence-Domain Impedance Definition and Its Equivalence to the dq-Domain Impedance Definition for the Stability Analysis of AC Power Electronic Systems,” in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 4, no. 4, 2016, 1383–96.
- [138] Q. Fang, F. Xing, Z. Jiang, Y. Zhao, C. Wu, „Equivalence analysis of different sequence impedance modeling methods,” in 2023 IEEE 6th International Electrical and Energy Conference (CIEEC), Hefei, China, 2023, 3800–5.
- [139] VDE e.V., „VDE-AR-N 4105 Erzeugungsanlagen am Niederspannungsnetz –Technische Mindestanforderungen für Anschluss und Parallelbetrieb von Erzeugungsanlagen am Niederspannungsnetz,” VDE-AR-N 4105:2018-11 VDE-Anwendungsregel.
- [140] A. J Schwab, „Elektroenergiesysteme,” 2nd ed., Berlin, Heidelberg, Springer Verlag, 2009.
- [141] J. S Harnisch, „Planung von ländlichen Niederspannungsnetzen mit innovativen Lösungsoptionen,” Dissertation, Lehrstuhl für Elektrische Energieversorgungstechnik, Bergischen Universität Wuppertal, Wuppertal, 2018.
- [142] Bundesamts für Justiz, „Gesetz für den Ausbau erneuerbarer Energien (Erneuerbare-Energien-Gesetz - EEG 2017),” 2017.
- [143] R. Flosdorff, G. Hilgarth, „Elektrische Energieverteilung,” 6th ed., Wiesbaden, Vieweg+Teubner Verlag, 1994.
- [144] J. O Smith, „Introduction to digital filters with audio applications,” 2nd ed., Stanford, 2008.
- [145] B. R Oswald, „Berechnung von Drehstromnetzen,” 3rd ed., Wiesbaden, Springer Fachmedien Wiesbaden, 2017.

