

SIMULATION UND MODELLIERUNG
DER ELEKTRISCHEN EIGENSCHAFTEN GEDRUCKTER ELEKTRONIK

Zur Erlangung des akademischen Grades eines

Doktors der Naturwissenschaften (Dr. rer. nat.)

von der KIT-Fakultät für Physik
des Karlsruher Instituts für Technologie (KIT)

angenommene

Dissertation

von

M. Sc. Manuel Rommel

Tag der mündlichen Prüfung:

07.11.2025

1. Referent:

Prof. Dr. Wolfgang Wenzel

2. Korreferentin:

Prof. Dr. Jasmin Aghassi-Hagmann



Dieses Werk ist lizenziert unter einer Creative Commons Namensnennung 4.0 International Lizenz (CC BY 4.0): <https://creativecommons.org/licenses/by/4.0/deed.de>

Inhaltsverzeichnis

1 Einleitung	7
2 Grundlagen	11
2.1 Gedruckte Transistoren/Elektronik	11
2.2 Feldeffekttransistoren	12
2.3 Elektrochemische Doppelschicht	16
2.4 Elektrolyt als Gatekontakt	18
2.5 Metalloxide	19
2.6 Kohlenstoff-Nanoröhrchen	21
2.7 Markov-Chain-Monte-Carlo	23
2.8 Drift-Diffusionsmodell, Halbleitergleichungen	25
2.9 Numerische Lösungsmethoden partieller Differenzialgleichungen	28
3 Methoden	30
3.1 Monte-Carlo-Simulation der Mikrostruktur	30
3.2 Lösung der Halbleitergleichungen	31
3.2.1 Geometrieaufbau und externe Vorbereitung	32
3.2.2 Definitionen und Randbedingungen im Halbleitermodul	32
3.2.3 Vernetzung	35
3.2.4 Numerischer Löser	36
3.2.5 3D-vFET-Modell	38
3.2.6 2D-vFET-Modell mit Elektrolyt	39
4 Gedruckter Feldeffekttransistor mit vertikalem Stromfluss	41
4.1 Experimentelles Setup	42
4.2 Morphologie und Geometrie	43
4.3 Modellierung des vFET und mikroskopische Ladungsverteilung	46
4.3.1 Anpassung der Parameter	46
4.3.2 Ladungsverteilung im Halbleiter	50
4.3.3 Ionenverteilung im Elektrolyt	53
4.4 Systematische Untersuchung des Verhaltens des vFET	55
4.4.1 Einfluss der Domänengröße	56
4.4.2 Einfluss der Dotierkonzentration	58
4.5 Randverluste und Eindringtiefe des Elektrolyt	61
4.5.1 Randströme	61
4.6 Zusammenfassung	66

5 Schwellspannungs-Modell basierend auf Grenzschicht-Kapazitäten	68
5.1 Qualitatives Modell der Schwellspannung im EGFET	69
5.1.1 Motivation	69
5.1.2 Annahmen und Voraussetzungen	70
5.1.3 Beschreibung und Diskussion des Modells	71
5.2 Berechnung der Schwellspannung über die Ladungsdichte	74
5.2.1 Ersatzschaltbild des Gate-Stromkreises	74
5.2.2 Herleitung der Ladungsdichte am der Halbleiter-Grenzschicht .	76
5.2.3 Herleitung des geschlossenen Ausdrucks für die Schwellspannung	78
5.2.4 Bedeutung von Kontaktspannungen	80
5.3 Anwendung des Modells auf reale Systeme	81
5.3.1 Skalierung der Schwellspannung mit der Länge des Leitungskanals	81
5.3.2 Einfluss der Größe der Gate-Elektrode auf die Schwellspannung	88
5.4 Zusammenfassung	93
6 Teilchendiffusion auf Kohlenstoffnanoröhrchen	94
6.1 Simulation der Diffusion und Ladungsübergänge in 1D (CNT)	95
6.2 Verringerung der Photoeffizienz durch Exziton-Exziton-Quenching . .	98
6.3 Stromfluss durch asymmetrische Photoexzitonen-Erzeugung	101
7 Zusammenfassung und Ausblick	105
8 Anhang	108
8.1 Nutzung von COMSOL	108
8.1.1 Überblick über COMSOL	108
8.1.2 Beschleunigung der Berechnungen	110
8.1.3 Konvergenzerleichterungen	112
8.1.4 Geometrieerstellung, Import und Prozessierung	113
8.1.5 Aufbereitung der Ergebnisse	115
8.2 Beispiele für Transfer- und Outputkurven	115
8.3 Gekoppelte Halbleiter-Elektrolyt-Simulation	119
8.4 Korrelation der Elektrolyt-Fläche mit der Schwellspannung	122
8.5 Parameter-Stabilität der Kohlenstoffnanoröhrchen-Simulationen . .	127
8.5.1 Wahl des Zeitschritts	127
8.5.2 Wahl der Akzeptanzwahrscheinlichkeit für die Ladungsträger in	
die Elektroden	128

Publikationen und Beiträge

Veröffentlichungen

- T. T. Baby[†], M. Rommel[†], F. von Seggern, P. Friederich, C. Reitz, S. Dehm, C. Kübel, W. Wenzel, H. Hahn und S. Dasgupta. „Sub-50 nm Channel Vertical Field-Effect Transistors using Conventional Ink-Jet Printing“. In: *Advanced Materials* 29.4 (2017), S. 1603858. DOI: 10.1002/adma.201603858
[†] Geteilte Erstautorenschaft
- F. Rasheed, M. Rommel, G. C. Marques, W. Wenzel, M. B. Tahoori und J. Aghassi-Hagmann. „Channel Geometry Scaling Effect in Printed Inorganic Electrolyte-Gated Transistors“. In: *IEEE Transactions on Electron Devices* 68.4 (2021), S. 1866–1871. DOI: 10.1109/TED.2021.3058929
- S. Kumar, Y. Pramudya, K. Müller, A. Chandresh, S. Dehm, S. Heidrich, A. Fediai, D. Parmar, D. Perera, M. Rommel, L. Heinke, W. Wenzel, C. Wöll und R. Krupke. „Sensing Molecules with Metal–Organic Framework Functionalized Graphene Transistors“. In: *Advanced Materials* 33.43 (2021), S. 2103316. DOI: 10.1002/adma.202103316

Konferenzbeiträge

- M. Rommel, P. Friederich und W. Wenzel. „Simulation of morphology and electric behavior of a printed vertical field effect transistor“. Poster DPG/EPS-Frühjahrtagung. 15. März 2018
- M. Rommel, R. Krupke und W. Wenzel. „Simulation of light-induced exciton diffusion and quenching on SWCNTs“. Poster DPG-Frühjahrtagung (online). 22. März 2021

1 Einleitung

Die Industrialisierung hat zu vielfältigen wirtschaftlichen, gesellschaftlichen und sozialen Umbrüchen geführt. Ähnliches gilt für den Übergang ins Informations- bzw. Computerzeitalter, in dem wir uns gegenwärtig befinden. Grundlage hierfür ist die effiziente, automatisierte und schnelle Informationsbearbeitung. Dies hat die in den letzten Jahrzehnten rasante Entwicklung der elektronischen Datenverarbeitung ermöglicht. Angefangen von (elektro-)mechanischen Rechnern wie der Zuse-Maschinen[6, 7] über vollelektrische Röhrenschaltungen und erste Halbleiterbauteile bis hin zu den heutigen Computerchips mit Milliarden von integrierten Elementen ist die Rechenleistung exponentiell gestiegen.[8] Berühmt ist dieser Zusammenhang durch Gordon Moore, der diese Abhängigkeit 1965 empirisch feststellte[9] und postulierte, dass die Menge an integrierten Elementen pro Chip sich ca. alle 2 Jahre verdoppelt.[10] Diese empirische Abhängigkeit gilt bis heute[11], maßgeblich ermöglicht durch immer kleinere Strukturgrößen bei höchstem technologischem Aufwand. Daraus folgen immer größere Rechenleistungen bzw. eine immer größere Recheneffizienz (Rechenleistung pro elektrischer Leistung).

Daneben gibt es immer größere Anwendungsgebiete für Elektronik, die andere Anforderungen an den Herstellungsprozess stellen. So sind z.B. niedrigere Herstellungskosten, bedingt durch eine stark verringerte Herstellungskomplexität verbunden mit weniger hohen Qualitätsansprüchen für die verwendeten Materialien, für manche Anwendungsgebiete wichtiger als eine hohe Schaltfrequenz. Auch sind manche Materialien, wie z.B. Stoff, Papier oder Folie, nicht mit Vakuumprozessierung, hohen Temperaturen und/oder den für herkömmliche Lithographie notwendigen Chemikalien kompatibel. Die Herstellungskosten sind für herkömmlich lithographisch hergestellte Halbleiterbauteile sehr hoch, was konträr mit einigen Anwendungsgebieten ohne große Anforderungen an Rechenleistung ist wie z.B. RFID-Tags oder Einwegsensoren für die Kontrolle der Transport-/Kühlkette.

Hier kommt die gedruckte Elektronik[12] ins Spiel. Drucktechniken ermöglichten es in der Geschichte der Menschheit erstmals, Wissen schnell und vergleichsweise einfach massenweise zu kopieren und zu verbreiten. Diese Methoden können auch auf elektronische Schaltkreise angewendet werden. Die Drucktechniken lassen sich heute in viele Teilgebiete unterteilen wie den Tintenstrahl-, Sieb-, Tief- und Hochdruck. Sie haben alle gemeinsam, dass sie ein Substrat additiv kontinuierlich beschichten können. Diese Verfahren erlauben neben herkömmlichen Waver-Substraten auch grundsätzlich andere Substrate, vor allem auch flexible Materialien[13, 14] (Papier, Stoff, Folie), wie in Abb. 1.1 dargestellt. Damit sind sog. *Rolle-zu-Rolle*-Herstellungsprozesse möglich, in denen das Substrat kontinuierlich durch eine Druckmaschine geführt wird.[15, 16] Ein solcher Prozess ermöglicht einen hohen Produktionsdurchsatz, der durch die Breite der gedruckten Bahn und die Geschwindigkeit des Substrats bestimmt wird.

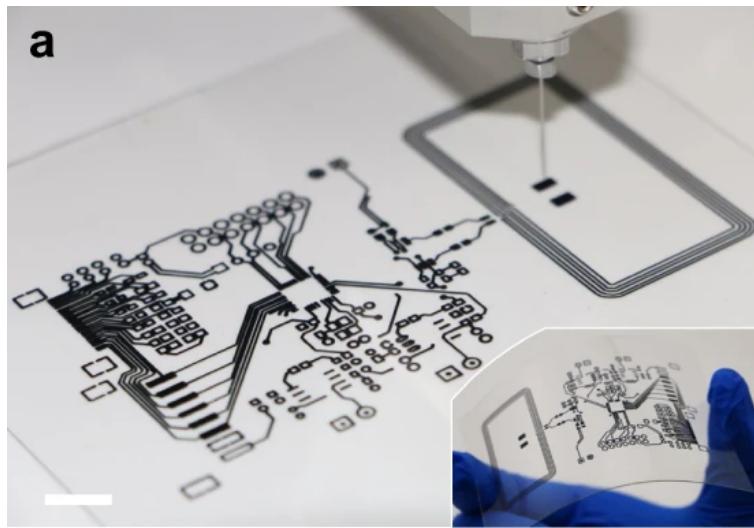


Abbildung 1.1: Dargestellt ist ein gedruckter Schaltkreis auf einer flexiblen Folie während des Druckprozesses. Die viskose Tinte aus MXene[18] wurde mit einem pneumatischen Extruder gedruckt. Ausschnitt aus Abbildung von Shao *et al.*[19], lizenziert nach der Creative Commons Attribution 4.0 International-Lizenz (CC BY 4.0)[20].

Als additive Prozesse sind Druckverfahren deutlich materialsparender als herkömmliche Lithographieprozesse, wo für jede Schicht der Photolack und das gewünschte Material auf dem gesamten Substrat aufgebracht werden muss. Zusätzlich entfällt der selektive Belichtungsschritt sowie das chemische Ätzen des Photolacks bei m Lift-Off-Schritt. Dies reduziert die Anzahl der nötigen Prozessschritte, verringert den Materialeinsatz und die Menge des chemisch problematischen Abfall.[17]

Sowohl in der Forschung als auch in der Anwendung sind hybride gedruckte Bauteile bzw. Verfahren[13, 21] beliebt. Mit hybriden Bauteilen oder Schaltungen werden die Vorteile von Druckprozesstechniken wie eine hohe Geschwindigkeit eines Prozessschritts mit Vorteilen der herkömmlichen Lithographie wie der hohen Präzision kombiniert. Bei diesem Verfahren wird nur ein Teil des Bauteils bzw. einer Schaltung gedruckt, während die übrigen Teile bzw. Prozessschritte konventionell durchgeführt werden. Damit sind z.B. Forschungsarbeiten an einzelnen Aspekten von gedruckten Transistoren möglich, z.B. wenn die Halbleitereigenschaften untersucht werden sollen und deshalb der Halbleiter sowie Elektrolyt gedruckt, die Elektroden aber lithographisch hergestellt sind. Nachteil ist, dass die Herstellungskomplexität durch die Kombination von verschiedenen Herstellungsverfahren steigt.

Unabhängig von der Herstellungsweise gibt es in Feldeffekttransistoren (FET) verschiedene Möglichkeiten den Gate-Kontakt auszubilden. In herkömmlich hergestellten Transistoren besteht der Gate-Kontakt aus einem elektrischen Leiter, der durch eine dünne Schicht eines Isolators (bzw. Dielektrikums) vom Halbleiter getrennt ist. Die Permittivität und Dicke des Dielektrikums sind dabei Tuningparameter für den Transistor. Daneben gibt es auch die Möglichkeit, einen Elektrolyt als Gate-Elektrode zu verwenden.[22] Dies ist z.B. in der gedruckten Elektronik beliebt, da Flüssigelektrolyte leichter in Druckverfahren prozessiert werden können als Dielektrika. Zusätzlich weisen

Elektrolyt-FETs eine große Gatekapazität auf, was niedrigere Betriebsspannungen im Vergleich zu gedruckten Dielektrikum-FETs ermöglicht.[23] Feldeffekttransistoren auf Elektrolytbasis werden als EGFET (*electrolyte gated field effect transistor*) bezeichnet. Außerdem werden Elektrolyte häufig in chemischen Sensoren als Sensor-Medium verwendet (ISFET, *ion sensitive field effect transistor*)[24, 25].

Das aktive Material in einem Transistor ist ein Halbleiter. Diese lassen sich in organische und anorganische Halbleiter unterteilen, die grundsätzlich beide auch gedruckt werden können. Während anorganische Halbleiter bessere elektronische Eigenschaften aufweisen[23], sind organische Halbleiter besser in Druckprozessen verwendbar[26–28] und werden bereits in Anwendungen wie OLEDs[29] und OPV[30, 31] erfolgreich genutzt. Anorganische Materialien werden erfolgreich in herkömmlich hergestellten Transistoren verwendet, haben im Bereich der gedruckten Elektronik bisher aber wegen Herausforderungen bei der Prozessierbarkeit trotz besserer elektrischer Eigenschaften die organischen Materialien noch nicht abgelöst. Sie zeigen im Forschungsbereich aber bereits vielversprechende Resultate.[23]

Es wäre deshalb von großem Nutzen, anorganische Halbleiter auch in gedruckter Elektronik weiter zu verbreiten. Dazu muss das Verständnis der anorganischen Halbleiter sowie der Funktionsweise eines gedruckten Transistors vertieft werden, um die Ausbeute bei der Herstellung sowie die Eigenschaften verbessern zu können. So sind z.B. die genauen Eigenschaften der Materialien im gedruckten Bauteil nicht zwangsläufig gleich denen des gleichen Materials außerhalb des Transistors. Die inneren Vorgänge wie räumliche Verteilung des elektrischen Stroms sind experimentell nicht zugänglich und deshalb weitgehend unbekannt. Die Schwellspannung (engl. *threshold voltage*, manchmal auch Threshold-Spannung), als charakteristische Größe eines Transistors, ist in gedruckten Elektrolyt-Transistoren im Akkumulationsbetrieb unverstanden. Modellierung und insbesondere die Unterkasse der physikalischen Simulationen ermöglichen es, diese und andere experimentell unzugänglichen Größen zu ermitteln und Informationen zu generieren.

In dieser Arbeit untersuche ich die elektrischen Eigenschaften von gedruckten Transistoren und druckbaren Halbleitermaterialien. Für einen am Institut für Nanotechnologie (INT) von der Arbeitsgruppe Dasgupta/Breitung gedruckten vertikalen Feldeffekttransistor mit Elektrolyt-Gate (vFET, *vertical field effect transistor*) auf SnO₂-Basis erstelle ich ein physikalisches Simulationsmodell (Top-down). Dieses Modell erlaubt als virtuelles Mikroskop Einblicke in den Ladungstransport und die Ausprägung der Leitungskanäle wie sie in einer mesoporösen Struktur vorherrscht. Darüber hinaus nutze ich das Modell um Vorhersagen der Eigenschaften wie der Schwellspannung bei modifizierten vFET zu erarbeiten und um z.B. den Größenordnung von Randströmen abzuschätzen.

Ein weiterer am INT von der Arbeitsgruppe Aghassi-Hagmann gefertigter EGFET (planar, auf In₂O₃-Basis) zeigt im Experiment eine Schwellspannungsabhängigkeit von der Leitungsanallänge, aber nicht von der Leitungsanallänge. Damit lässt sich die Schwellspannung justieren und diese Transistoren für verschiedene Aufgaben in Schaltungen verwenden. Um einen Grund für die beobachtete Abhängigkeit zu ermitteln, entwickle ich in dieser Arbeit ein allgemeines Schwellspannungsmodell für beliebige Elektrolyt-FET. Es erklärt eine Abhängigkeit der Schwellspannung von

1 Einleitung

den Verhältnissen der Grenzschichtkapazitäten des Elektrolyt. Das Modell verknüpft erstmals physikalische Größen wie die Gatekapazität mit DC-Eigenschaften (zeitlich konstante Signale) eines EGFET statt wie bisher nur mit AC-Eigenschaften von zeitlich abhängigen Signalen. Mit diesem Bottom-up Modell lässt sich qualitativ die beobachtete Schwellspannungsabhängigkeit erklären und erlaubt die Diskussion von weiteren extern erstellten experimentellen Daten.

Neben den herkömmlichen druckbaren Materialien sind Kohlenstoffnanoröhrchen (CNT, *carbon nanotubes*) bzw. allgemein reine Kohlenstoffverbindungen eine weitere Klasse druckbarer (halb)leitender Materialien. Dort können Exzitonen den Stromfluss bzw. das Transportregime beeinflussen, was bisher nicht vollständig verstanden ist. In Zusammenarbeit mit der Arbeitsgruppe Krupke habe ich eine Simulationssoftware entwickelt, die die Diffusion und den Zerfall von gepulst erzeugten Photoexzitonen sowie den Stromfluss durch einen CNT simuliert. Durch einen Vergleich der Simulations- und Messergebnissen wird das Simulationsmodell geprüft. Das Simulationsmodell ermöglicht erstmals Einblicke darin, inwiefern eine gepulste Exzitonenerzeugung Einfluss auf die Charakteristik der Transportregimes hat und erlaubt es die relative Häufigkeit der verschiedenen Prozesse sowie den Einfluss der geometrischen Asymmetrie zu bestimmen.

Diese Arbeit ist in folgende Kapitel aufgeteilt. Die Grundlagen der Modelle und Systeme in dieser Arbeit fasse ich im folgenden Kapitel 2 zusammen. Anschließend stelle ich in Kapitel 3 die Simulationsmethoden vor, die in dieser Arbeit verwendet und teilweise entwickelt wurden. In Kapitel 4 diskutiere und präsentiere ich das Top-Down-Simulationsmodell sowie dessen Ergebnisse zum vFET. Ich prüfe und passe das Modell an experimentellen Daten an und nutze es, um die Stromdichte im Halbleiter zu untersuchen. Außerdem nutze ich das Modell um abzuschätzen, welche Eigenschaften vFET mit anderer Halbleitermorphologie und Dotierkonzentration haben. Zusätzlich prüfe ich mit einer gekoppelten Halbleiter-Elektrolyt-Simulation die verwendete Näherung, ob benachbarte Halbleiterdomänen voneinander unabhängig betrachtet werden können. Zuletzt nutze ich das Modell, um die Größenordnung und Wichtigkeit von Randströmen zu untersuchen. In Kapitel 5 entwickle ich ein allgemeines Bottom-up Modell für die effektive Schwellspannung (engl. *threshold voltage*) von Elektrolyt-Transistoren und definiere die makroskopische Schwellspannung als Funktion einer nur materialabhängigen mikroskopischen Schwellspannung sowie aller Grenzschichtkapazitäten des Elektrolyt. Das Modell wird zunächst qualitativ begründet und dann die Schwellspannung mathematisch hergeleitet. Anschließend diskutiere ich das Modell zu verschiedenen extern erstellten Messreihen von planaren gedruckten Elektrolyt-Transistoren. In Kapitel 6 stelle ich die Simulationen des Photostroms in einem gepulst angeregten Kohlenstoffnanoröhrchen vor und vergleiche die Ergebnisse mit dem Experiment, um die Validität des Modells zu prüfen. Anschließend analysiere ich die bereits vorher extern experimentell gefundenen verschiedenen Transportregimes und untersuche die Relevanz eines asymmetrischen Beleuchtungsprofils. Alle Ergebnisse dieser Arbeit fasse ich in Kapitel 7 zusammen und gebe einen Ausblick zu weiteren Forschungsfragen.

2 Grundlagen

2.1 Gedruckte Transistoren/Elektronik

Elektronik und insbesondere Transistoren zu drucken ist eine komplementäre Herstellungsweise zu herkömmlichen (teuren und aufwändigen) Lithographieverfahren. Gedruckte Transistoren bzw. Elektronik allgemein ist dabei eine Klasse von Bauteilen, bei denen das gesamte Bauteil oder auch nur ein Teil davon mit Druckmethoden hergestellt wird. Druckprozesse sind grundsätzlich additiv, was den Materialeinsatz niedrig hält. Der Druckprozess bietet gegenüber herkömmlicher Lithographie einige Vorteile. Zum einen ist die Auswahl an Substratmaterialien größer und beinhaltet auch flexible Materialien wie Papier[32], Folie[33] oder Textilien[34]. Flexible Substrate sind mit herkömmlicher Silizium-Technik nur sehr aufwändig durch Ausdünnen des Substrats möglich[35]. Zusätzlich bieten Drucktechniken einen Gegenpol zu modernen Lithographie-Verfahren, die einen extremen Material- und Technologieeinsatz erfordern. Herkömmliche Druckverfahren wie Sieb-, Offset-, Hoch- und Tiefdruck sind etablierte Verfahren und erlauben Druckgeschwindigkeiten der Größenordnung m/s[33], was auch die Produktionskosten senkt. Dabei kann ein Rolle-zu-Rolle-Verfahren verwendet werden, wo das Substrat von einer Rolle kontinuierlich abgewickelt, durch die Druck- und Prozessiermaschinen transportiert und als fertiges (Zwischen-) Produkt wieder aufgerollt wird. In gedruckter Elektronik müssen gegenüber modernen DUV- und EUV-Prozessen Abstriche bei der Performance der Transistoren gemacht werden, da die Größe der Bauteile in Lithographieprozessen um Größenordnungen kleiner ist.

Die verwendeten Materialien lassen sich in organisch und anorganisch einteilen. Organische Materialien (insbesondere Halbleiter) sind etabliert in Forschung und Industrie. Die Elektronenmobilität ist in organischen Materialien allerdings wegen des fehlenden Bandtransports und der üblicherweise amorphen Struktur um 1-2 Größenordnungen geringer. Anorganische Materialien wie Metalloxide weisen höhere Mobilitäten von ca. $200 \frac{\text{cm}^2}{\text{V}\cdot\text{s}}$ auf, was sie vielversprechend für eine neue Generation von gedruckter Elektronik macht. Das Gate kann bei gedruckter Elektronik sowohl über ein Dielektrikum als auch über einen Elektrolyt (flüssig oder fest) verbunden werden.

Bei anorganischen gedruckten Halbleitern gibt es zwei Ansätze, wie das Material zu einem funktionsfähigen Halbleiter prozessiert werden kann. In der direkten Form werden Nanopartikel in der Drucktinte gelöst und gedruckt. Das Lösungsmittel verdampft und die Nanopartikel bleiben als poröse Struktur zurück. Dies ist vor allem bei empfindlichen Substraten relevant, da keine hohen Temperaturen nötig sind. Alternativ kann ein sog. Precursor gedruckt werden. Dies ist ein chemischer Stoff, der als Edukt für eine chemische Reaktion dient. Diese Reaktion wird nach dem Druckprozess durch

Ausheizen des Precursors gestartet. Der Precursor reagiert dabei zum eigentlichen Halbleiter. Vorteil ist, dass die dabei entstehenden polykristallinen Strukturen bessere elektronische Eigenschaften aufweisen, da die Atome beim Ausheizen mobil sind und sich lokal umordnen können. Allerdings ist nicht jedes Substrat beständig für die nötigen Ausheiztemperaturen.

Vollständig gedruckte Transistoren sind bereits realisiert worden.[36] Häufig werden allerdings Druck- und herkömmliche Lithographieprozesse vereint zu teilweise gedruckten bzw. hybriden Transistoren. Sie können Vorteile beider Seiten vereinen.

2.2 Feldeffekttransistoren

In diesem Abschnitt wird der Aufbau, die Funktionsweise, Eigenschaften und kurz die Geschichte von Feldeffekttransistoren vorgestellt. Der Inhalt basiert auf dem Buch von Sze und Ng[37], auf das auch für detailliertere und weiterführende Informationen verwiesen wird.

Transistoren sind elektronische Halbleiterbauteile, die es ermöglichen einen Strom durch eine Eingangsspannung oder einen Eingangsstrom zu steuern. Feldeffekttransistoren sind eine Unterkategorie der Transistoren, die einen hochohmigen Eingang besitzen, damit spannungsgesteuert sind und auf dem elektrischen Feldeffekt basieren. Dieser besagt, dass die elektrische Leitfähigkeit eines Halbleiters durch ein äußeres elektrisches Feld gesteuert werden kann.

Feldeffekttransistoren sind Nachfolger bzw. Weiterentwicklungen der Triode bzw. Vakuumröhre. Sie wurden konzeptionell bereits 1925 von Julius Edgar Lilienfeld postuliert. Während zunächst Bardeen, Shockley und Brattain 1956 den Physik-Nobelpreis für den Bipolartransistor erhielten, gelang es Mohamed Atalla und Dawon Kahng 1959 in den Bell Labs den ersten MOSFET zu erstellen. Bis heute ist der MOSFET (bzw. allg. der IGFET, *insulated gate field effect transistor*) das vermutlich am häufigsten von der Menschheit hergestellte Bauteil. Insbesondere in der Digitaltechnik werden MOSFETs z.B. im CMOS-Verfahren bzw. -Schalttechnik als Grundbausteine für Logikgatter verwendet. Der Vorteil ist, dass in der CMOS-Technik (abgesehen von Leckströmen) Strom nur beim Umschalten der Transistoren fließt, da über eine Ladungsveränderung am Gate nur ein elektrisches Feld im Halbleiter verändert werden muss.

Halbleiter erlauben es, über ihre Dotierung mit Elektronenakzeptoren oder -donatoren ihre elektrischen Eigenschaften zu verändern. Die thermische Energie ionisiert dabei die Dotierstellen, die ein freies Loch (p-Dotierung) bzw. Elektron (n-Dotierung) freigeben und eine negative bzw. positive ortsfeste lokalisierte Ladung zurücklassen.

Um das herkömmliche Funktionsprinzip eines Inversions-FET zu erklären, ist in Abb. 2.1 schematisch ein planarer MOSFET dargestellt. Zwischen Source- und Drain-Elektrode ist eine Spannung angelegt. Der Source/Drain-Strom ist dann durch die Leitfähigkeit des Halbleiters definiert. Die Gate-Elektrode ist durch eine Isolator-Schicht (z.B. ein Oxid) vom Halbleiter abgetrennt. Im hier dargestellten Fall ist der Halbleiter p-dotiert mit einer zusätzlichen n-Dotierung um die Source-Drain-Elektroden. Ohne Gatespannung liegt zwischen der Source/Drain-Elektrode ein npn-Übergang vor, der sowohl

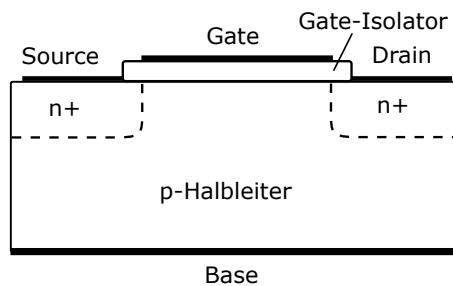


Abbildung 2.1: Schematische Darstellung eines n-leitenden MOSFET (bzw. allgemein IGFET) mit p-Halbleiter.

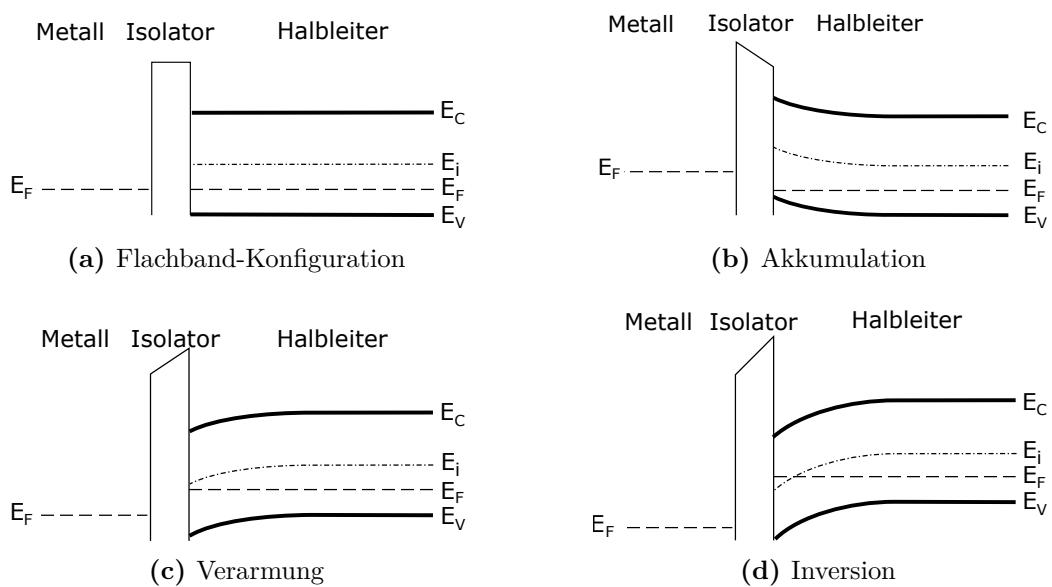


Abbildung 2.2: Banddiagramme eines Metall-Isolator-Halbleiters (p-dotiert) für verschiedene Potentialunterschiede zwischen Metall und Halbleiter

bei positiven als auch bei negativen Source/Drain-Spannungen den Strom blockiert. Bei einer positiven Gatespannung lädt sich die Gateelektrode auf und erzeugt ein elektrisches Feld, das die Bänder im Halbleiter verschiebt. Zunächst werden im Halbleiter durch eine kleine positive Gatespannung die Majoritätsladungsträger (Löcher, da p-dotiert) reduziert (engl. depletion). Bei höherer Gatespannung kommt es zur Inversion, es werden vom elektrischen Feld so viele Minoritätsladungsträger (hier Elektronen) erzeugt, dass mehr Minoritäts- statt Majoritätsladungsträger zur Verfügung stehen. Es bildet sich also im Halbleiter an der Gateisolatorschicht eine dünne Schicht an Elektronen aus, der sog. Leitungskanal. Dieser verbindet die n-dotierten Bereiche um die Source/Drain-Elektroden. Damit existiert eine durchgehende Verbindung zwischen den Elektroden mit Elektronenüberschuss ohne pn-Übergänge, sodass der Source-Drain-Strom um Größenordnungen ansteigt.

Die möglichen Betriebszustände eines Inversions-FET lassen sich auch an Hand der Banddiagramme des Halbleiters am Gatekontakt erklären. Dazu sind in Abb. 2.2 Banddiagramme eines p-dotierten Halbleiters für verschiedene Gatespannungen

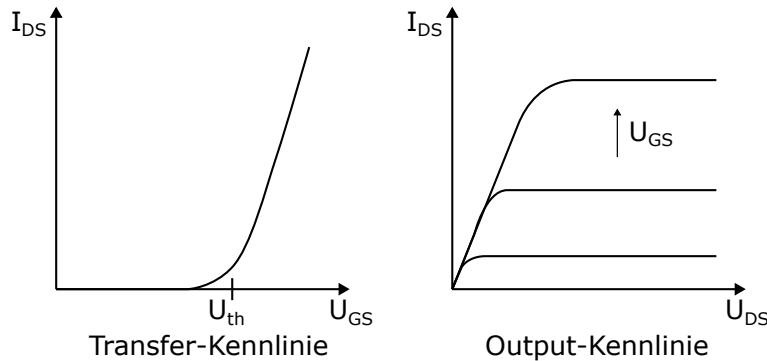


Abbildung 2.3: Beispielhafte Transfer- und Outputkennlinien eines n-leitenden MOSFET. Aus Transferkennlinien lässt sich die Schwellspannung U_{th} ermitteln und zeigt die nichtlineare Abhängigkeit des Source-Drain-Stroms von der Gatespannung. Die Outputkennlinie zeigt verschiedene Regimes. Bei niedrigen Source-Drain-Spannungen steigt der Strom linear mit der Spannung an, erreicht dann einen sublinearen Bereich und endet in einen charakteristischen Sättigungsbereich.

dargestellt. $E_{C/V}$ bezeichnet die Leitungs- bzw. Valenzbandkante, E_F das (Quasi-)Ferminiveau und E_i das intrinsische Niveau, das ein undotierter Halbleiter bei dieser Temperatur hätte. Physikalisch entspricht diese Betrachtung einem Metall-Isolator-Halbleiter-Kondensator, wie er in der Literatur oft als Grundlage für die Diskussion eines FET bei vernachlässigbarer Source-Drain-Spannung herangezogen wird. ([37], Kap. 4) Im einfachsten Fall (Abb. 2.2a) ist die Gatespannung so eingestellt, dass die Bänder im Halbleiter eben sind ($U_G = U_{fb}$, flat band). Die Ladungsträgerdichte $p(x, U_G)$ ist im Halbleiter homogen und entspricht der Dotierung p_0 . Wird eine niedrigere Gatespannung $U_G < U_{fb}$ angelegt, nähert sich das Fermi-Niveau an das Valenzband, die Lochdichte steigt ($p > p_0$) und die Elektronendichte sinkt. Dies wird der Akkumulationsmodus genannt (Abb. 2.2b), da die Dichte der Dotierungs-Ladungsträger erhöht wird. Bei einer höheren Gatespannung ($U_G > U_{fb}$) (Abb. 2.2c) nähert sich das Fermi-Niveau zunächst dem intrinsischen Energieniveau, sodass die Lochdichte sinkt (Verarmung, engl. depletion). Schneidet das Ferminiveau das intrinsische Niveau, kommt es zur Ladungsträgerinversion (Abb. 2.2d), d.h. die Elektronendichte liegt jetzt über der Lochdichte ($n > p$). Die Inversion lässt sich in zwei Unterbereiche einteilen, die durch die sog. Schwellspannung U_{th} (engl. threshold voltage) getrennt sind. Bei der Schwellspannung ist die Elektronenkonzentration direkt an der Gateelektrode $n(0, U_G)$ gleich der Dotierkonzentration p_0 , sie trennt makroskopisch den Aus- vom Ein-Zustand des FET. Gilt $U_{fb} < U(G) < U_{th}$, so ist die Elektronendichte niedriger als die Dotierdichte der Löcher ($n(0, U_G) < p_0$) und der Halbleiter in der sog. schwachen Inversion. Ist die Gatespannung höher ($U_G > U_{th}$), befinden sich durch die Inversion mehr Elektronen als Löcher nahe am Gatekontakt und der Halbleiter ist in der starken Inversion. In diesem Fall ist bereits ein Ladungskanal ausgebildet.

Für FET gibt es zwei Arten von charakteristischen Kennlinien. Zum einen kann der Source-Drain-Strom über die Gatespannung bei konstanter Source-Drain-Spannung (Transfer-Kennlinie) und zum anderen der Source-Drain-Strom über die Source-Drain-Spannung bei konstanter Gatespannung (Output-Kennlinie) aufgetragen werden.

Deren schematischer Aufbau ist in Abb. 2.3 dargestellt. In Transferkennlinien ist die Schaltcharakteristik von FET sichtbar. Im Off-Zustand ist der Source-Drain-Strom klein gegenüber dem On-Zustand. Dieser steigt bei Erreichen der Schwellspannung U_{th} abrupt an. In Outputkennlinien sind drei Regimes zu erkennen. Im linearen Regime bei kleinen Source-Drain-Spannungen steigt der Source-Drain-Strom linear mit der Spannung. Dann fällt die Abhängigkeit sublinear ab und erreicht schließlich den Sättigungsbereich, in dem der Strom konstant ist. Dass der Strom trotz steigender Source-Drain-Spannung nicht weiter ansteigt, liegt am sog. *pinch-off*-Effekt. Der Leitungskanal erstreckt sich dann nicht mehr über die gesamte Source-Drain-Strecke, sondern es gibt einen nur schwach leitenden Bereich mit niedriger Ladungsträgerdichte. Die Länge dieses Bereichs steigt mit der Source-Drain-Spannung, sodass die höhere Source-Drain-Spannung kompensiert wird.

FETs können eine Vielzahl von Kenngrößen zugewiesen werden, die die elektrischen Eigenschaften beschreiben und bei der Auswahl in elektronischen Schaltungen wichtig sind. Im Folgenden werden einige für diese Arbeit relevante Größen beschrieben.

- **Schwellspannung** Wie oben beschrieben trennt diese Spannung den Aus vom An-Zustand. In herkömmlichen Inversions-FET fällt dies mit dem Beginn der starken Inversion zusammen. Diese strenge Definition über mikroskopische Eigenschaften kann verallgemeinert werden auf Akkumulations-FET und andere Transistoren, indem die Nichtlinearität der Transferkurven ausgewertet wird.[38]
- **On-Stromstärke** Diese Größe ist insbesondere für Leistungselektronik wichtig und gibt an, wie groß der maximale Source-Drain-Stromfluss ist. Analog kann auch die Leitfähigkeit statt der Stromstärke als Kenngröße verwendet werden.
- **On/Off-Verhältnis** Das Verhältnis gibt an, wie stark On- und Off-Zustand eines FET voneinander getrennt sind und ist für die Eignung in digitalen Schaltungen bedeutend.
- **Subthreshold slope** Im Off-Zustand verhält sich der Source-Drain-Stromfluss exponentiell mit der Gatespannung. Der dazugehörige Exponent (bzw. Steigung in log. Darstellung) ist ein Maß dafür, wie schnell der Transistor zwischen On- und Off-Zustand schalten kann.

Über die Dotierung des Bulks und der Elektrodenbereiche des Halbleiters können die Eigenschaften des Transistors beeinflusst werden. Damit können insgesamt vier Regimes eingestellt werden, über die sich auch vier Schalteigenschaften definieren lassen. Diese beziehen sich dabei einmal auf den Schaltzustand ohne angelegte Gatespannung, der entweder leitend oder sperrend sein kann (engl. *normally on* und *normally off*). Sperrend sind dabei üblicherweise Transistoren mit unterschiedlicher Dotierungsart des Bulk und der Elektrodengebiete (durch sperrende npn-Übergänge), leitend wenn die Bereiche gleich dotiert sind. Zusätzlich besagt die Dotierung des Bulk, ob der absolute Stromfluss mit der Gatespannung steigt oder fällt. Ist der Halbleiter p-dotiert, steigt seine Leitfähigkeit mit der Gatespannung (n-leitend), bei n-Dotierung sinkt er mit höheren Gate-Spannungen (p-leitend). Die dazugehörigen

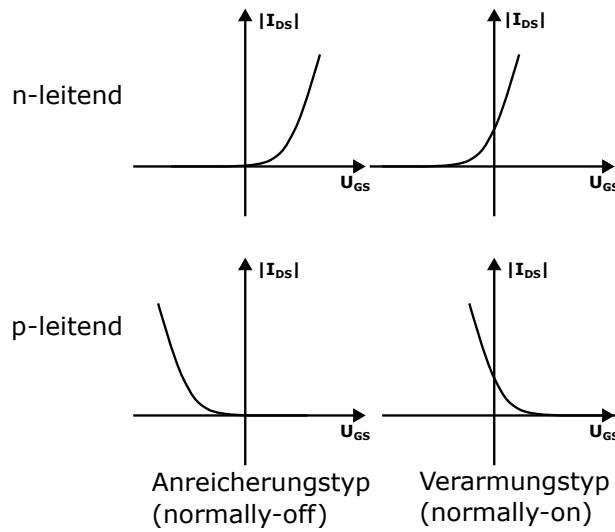


Abbildung 2.4: Schematische Darstellung von vier Transferkennlinien. Oben sind elektronenleitende FET (wo eine höhere Gatespannung zu mehr Stromfluss führt), unten lochleitende FET mit umgekehrter Charakteristik abgebildet. Links sind die Transistoren normally-off, d.h. der FET sperrt bei einer Gatespannung von 0 V. Rechts sind die FET bei 0 V Gatespannung leitend und können mit einer niedrigeren bzw. höheren Gatespannung gesperrt werden.

Transferkennlinien sind in Abb. 2.4 dargestellt. Auch bei anderen Transistorarten bleiben diese grundsätzlichen Kennlinientypen erhalten. Sie sind universell für die Beschreibung der Eigenschaften eines Transistors.

Es existieren auch vereinfachte Transistoren ohne pn-Übergang. Diese werden im sog. Akkumulations-Modus betrieben. Im Gegensatz zum Inversionsmodus ist der Typ des dominanten Ladungsträgers im Leitungskanal gleich der Hintergrunddotierung. Es entfällt die Notwendigkeit für extra dotierte Bereiche an den Source/Drain-Elektroden, was die Herstellung vereinfacht.

Alle bisher genannten Eigenschaften basieren auf der Annahme von einer hohen Leitungskanallänge, wo Effekte von den Source-Drain-Elektroden vernachlässigt werden können. Wenn sie doch eine Rolle spielen, werden sie engl. *short channel effects* genannt. Z.B. kann das elektrische Feld der Drain-Elektrode auch den Halbleiter an der Source-Elektrode beeinflussen (*drain induced barrier lowering*). In Elektrolyt-FET spielen diese wegen der hohen Gatekapazität keine signifikante Rolle.[39]

2.3 Elektrochemische Doppelschicht

Wenn ein (halb-)leitender Festkörper mit einem Elektrolyt in Kontakt kommt, kann sich abhängig von den elektrischen Potentialen am Kontakt eine sog. *elektrochemische Doppelschicht* (auch elektrolytische Doppelschicht oder Doppelschicht) ausbilden. Sie tritt auf, weil eine solche Grenzschicht eine Phasengrenze zwischen elektrischen Leitern unterschiedlicher Klasse ist. Im elektrisch (halb-)leitenden Feststoff findet Stromfluss durch Elektronen statt, sie sind deshalb Leiter 1. Klasse. In einem Elektrolyt bewegen

sich Ionen als ganze geladene Teilchen durch das Medium, ein Elektrolyt ist deshalb ein Leiter 2. Klasse. Die Nettoladungen der Anionen und Kationen heben sich gegenseitig auf.

Die Ladungsseparation in einer Doppelschicht führt zu einer Kapazität, die der Doppelschicht zugewiesen wird. Die Kapazität wird dabei wie in einem herkömmlichen Plattenkondensator durch die Ladungsmenge sowie den Abstand der Ladungen definiert. Es existieren eine Vielzahl von qualitativen und quantitativen Modellen für die Ladungsdichte im Elektrolyt abhängig vom Abstand zur Grenzfläche, von denen einige nun vorgestellt werden sollen. Für genauere Diskussionen wird auf die Literatur[40] verwiesen, auf der auch dieser Abschnitt basiert.

Als **Helmholtz-Doppelschicht** wird das Modell bezeichnet, das Hermann von Helmholtz 1879 erstellte.[41] Dort wird im Elektrolyt eine Monolage von Ionen an der Grenzschicht angenommen, die alle den gleichen Abstand zur Grenzschicht haben. Das elektrische Potential fällt zwischen den Gegenladungen in der Elektrode und der Monolage der Ionen im Elektrolyt ab und ist ansonsten konstant. Unberücksichtigt bleiben thermische Bewegungen der Ionen, Abschirmeffekte sowie Multilagen der Ionen.

Eine andere Beschreibung ermöglicht das **Gouy-Chapman-Modell**. Dort sind die Ionen als rein diffuse Ladungsschicht nahe der Grenzschicht Boltzmann-verteilt, nehmen also exponentiell mit dem Abstand zur Grenzschicht ab. Unberücksichtigt bleiben z.B. die tatsächliche Größe der (hydratisierten) Ionen, sodass das das Gouy-Chapman-Modell nur bei sehr kleinen Ionendichten und Potentialdifferenzen gilt. Mit diesem Modell verwandt ist die **Poisson-Boltzmann-Gleichung**, in die Ladungsträgerdichten einfließen. Sie verknüpft das elektrische Potential Φ mit der Elementarladung q , der Permittivität $\epsilon\epsilon_0$, der Boltzmannkonstante k_B , Temperatur T , Ionenladungszahl z_i und der Bulk-Ionendichte $n_{i,0}$

$$\nabla^2 \Phi(\vec{r}) = -\frac{e}{\epsilon\epsilon_0} \sum_i z_i n_{i,0} \exp\left(-\frac{ez_i\Phi(\vec{r})}{k_B T}\right) \quad (2.1)$$

Die Lösung dieser Differentialgleichung ist das elektrische Potential abhängig vom Ort. Weitere Parameter sind die Temperatur und die Ionenkonzentrationen und -ladungen.

Eine Kombination der beiden Modelle beschreibt das Stern-Modell[42] von 1924. In ihm weisen Ionen eine endliche Größe auf, sodass die Ladung nicht beliebig nah an die Grenzschicht gelangen kann. Unmittelbar an der Grenzschicht entspricht das Modell demnach dem Helmholtz-Modell. Weiter im Elektrolyt fällt die Nettoladungsdichte wie im Gouy-Chapman-Modell exponentiell ab.

Eine weitere Möglichkeit ist, mittels der Newtonschen Bewegungsgleichungen die Trajektorien der Ionen in einem kleinen Voxel zu simulieren (Molekulardynamik-Simulation, MD) und dabei die mittlere Ionendichten für An- und Kationen zu bestimmen. Dabei sind drei Schichten zu erkennen[43, 44], wo zwischen einem inneren Helmholtz-Layer (IHL, Lösungsmittelmoleküle), einem äußeren Helmholtz-Layer (OHL, Ionen mit Hydrathülle) und einer diffusiven Schicht unterschieden wird. Die Helmholtz-Schichten basieren dabei auf adsorbierten Ionen [45] Es existieren auch Modelle, die speziell auf bestimmte Systeme wie z.B. ionensensitive Transistoren abgestimmt sind. [46]

2.4 Elektrolyt als Gatekontakt

Bereits 1947 hatten Gibney und Brattain die Idee, einen Elektrolyt als Gatekontakt zu verwenden um Oberflächenzustände und -oxidierung zu verhindern.[47] Wegen der einfacheren Prozessierbarkeit, Reproduzierbarkeit und Langlebigkeit setzten sich später allerdings FET mit Dielektrikum als Gateisolator durch.

Allerdings hat ein mit einem Elektrolyt verschaltetes Gate bei FETs auch einige Vorteile. Zum einen werden Elektrolyttransistoren für chemische Sensoren verwendet (ISFET, *Ion sensitive field effect transistor*).[48] Außerdem weist ein Elektrolyt-Gate gegenüber einem Metall-Isolator-Gate eine größere Gate-Kapazität auf, was die erforderlichen Gatespannungen verringert.[49, 50] Der Grund für die größere Kapazität ist in Abb. 2.5 dargestellt, wo ein MISFET (*metal insulator semiconductor FET*, verallgemeinerter MOSFET) und ein EGFET (*electrolyte gated FET*) verglichen werden. In einem MISFET (2.5a) isoliert ein Dielektrikum die Gate-Elektrode vom Halbleiter. Die Gate-Spannung erzeugt ein elektrisches Feld, das im Halbleiter zum Feldeffekt führt. Die Dicke des Dielektrikums bestimmt die Gatekapazität (wie im Plattenkondensator der Plattenabstand) und die Stärke des elektrischen Felds. Im EGFET (2.5b) wird geometrisch das Dielektrikum durch einen Elektrolyt getauscht. Durch diese Änderung ändert sich die Gate-Verschaltung des EGFET fundamental. Der Elektrolyt ist im Gegensatz zum Dielektrikum kein Isolator, sondern ein elektrischer Leiter (Ionenleitung). Dieser ist über die Gate-Elektrode/Elektrolyt-Grenzschicht kapazitiv (sofern keine bzw. vernachlässigbar wenige Redox-Reaktionen stattfinden) an die Gatespannung gekoppelt und ist im inneren (im Gleichgewicht) feldfrei. Mathematisch ist die elektrische Permittivität im Dielektrikum endlich, im Elektrolyt (im Falle eines idealen elektrischen Leiters) unendlich groß. Die Rolle des Gate-Isolators übernimmt im Elektrolyt-FET nun kein geometrisches Element, sondern intrinsisch der isolierende Übergang von Ionenleitung im Elektrolyt zu Elektronenleitung im Halbleiter. Ist der Spannungsabfall an der Grenzschicht klein, finden keine chemischen Reaktionen und damit kein Ladungsübertritt statt und die Grenzschicht isoliert. Der Abstand der Ladungen an dieser Grenzschicht ist minimal, da es sich um einen Grenzflächeneffekt ist. Die Gatekapazität ist damit groß (z.B. $4,33 \mu\text{F}/\text{cm}^2$ von Garlapati *et al.*[51]), was die erforderlichen Gatespannungen in den Bereich $\leq 1 \text{ V}$ verringert. Dies ist 1-2 Größenordnungen niedriger als für gedruckte Dielektrikum-FET.[52]

In der Realität ist ein Elektrolyt und insbesondere ein Festkörperelektrolyt kein perfekter elektrischer Leiter, es ist denkbar dass sich voneinander isolierte Domänen im Elektrolyt ausbilden. Die Größe der elektrisch leitfähigen Domänen beschreibt dann, ob der reale Elektrolyt sich wie ein idealer Elektrolyt (große Domänen) oder wie ein Dielektrikum verhält (Extremfall Domänengröße gleich Atomdurchmesser, sodass es nur zur elektrischen Verschiebung kommt). Die oben genannte Gatekapazität in der Größenordnung von einigen $\mu\text{F}/\text{cm}^2$ deutet auf ein Verhalten nahe eines idealen Elektrolyt hin.[53]

Neben der hohen Gatekapazität hat ein Elektrolyt weitere Vorteile. Im Gegensatz zum Dielektrikum spielt die Ausrichtung der Elektrodenflächen zueinander beim Elektrolyt keine Rolle. Eine Gatespannung an einem Elektrolyten überträgt sich homogen auf sämtliche Gegenflächen unabhängig von ihrer Orientierung, da das

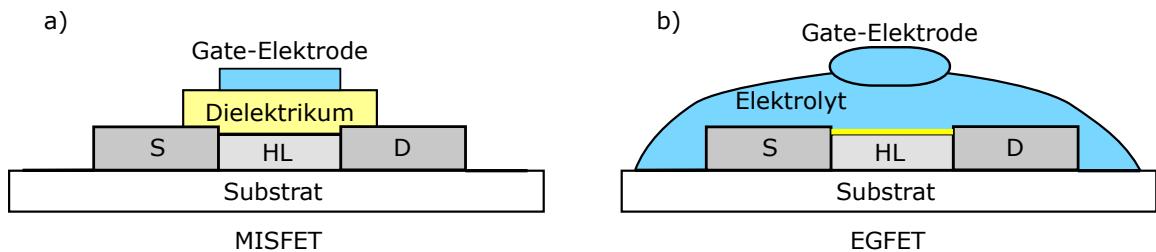


Abbildung 2.5: Schematische Schnittabbildungen eines FET mit Dielektrikum und eines FET mit Elektrolyt statt Dielektrikum. Die Farben zeigen jeweils identische funktionelle Einheiten. a) zeigt einen MISFET (*metal-insulator-semiconductor FET*), in dem ein Dielektrikum die Gate-Elektrode vom Halbleiter isoliert und die Spannungsschaltung des FET ermöglicht. Die Dicke des Dielektrikums beeinflusst wie in einem Plattenkondensator das von der Gatespannung erzeugte elektrische Feld im Halbleiter. b) zeigt den analogen Aufbau eines EGFET (*electrolyte gated FET*), in dem das Dielektrikum durch einen Elektrolyt ersetzt wurde. Physikalisch ist der Elektrolyt (als elektrischer Leiter) eine kapazitiv gekoppelte Verlängerung der Gate-Elektrode. Die eigentliche Rolle des Gate-Isolators übernimmt intrinsisch der Übergang von Ionen- zu Elektronenleitung an der Elektrolyt-Halbleiter-Grenzschicht. Die Dicke dieser elektrochemischen Doppelschicht übernimmt die Rolle der Dicke des Dielektrikums im MISFET und liegt im Bereich von einigen Atomradien bis wenigen nm, was niedrige Betriebsspannungen von EGFET ermöglicht.

Innere des Elektrolyt im Gleichgewicht feldfrei ist. Raue bzw. poröse Oberflächen lassen sich durch flüssig prozessierte Elektrolyte gut benetzen und verschalten.

2.5 Metalloxide

Metalloxide sind chemische Verbindungen von Metallen mit Sauerstoff und im Überfluss in der Erdkruste verfügbar.[54, 55]. Der Sauerstoff hat dabei immer die Oxidationsstufe -2. In der Praxis werden Metalloxide (wegen der vielfältigen Kombinationsmöglichkeiten der Elemente) als elektrische Leiter, Halbleiter und Isolatoren verwendet. Insbesondere optisch transparente (Halb)leiter sind in der Technik von großem Interesse für Bildschirme und Solarzellen.[56]

Charakteristisch für Metalloxide sind die elektronischen Eigenschaften der Materialien, die zusammen mit einer großen Bandlücke allgemein eine höhere Elektronenmobilität im Vergleich zur Lochmobilität aufweisen.[56, 57] Die p-Orbitale des Sauerstoffs sind wegen ihrer räumlichen Anisotropie empfindlich gegen Verschiebungen (z.B. durch Kristallfehler, Fehlstellen, Korngrenzen), da die keulenförmigen Orbitale räumlich überlappen müssen um wechselwirken zu können. Das bedeutet, dass die p-Orbitale des Sauerstoffs im Festkörper abhängig von der Anordnung der Atome nicht in jedem Fall so gut delokalisieren wie die radialsymmetrischen s-Orbitale der Metalle, die wegen ihrer Symmetrie robuster gegenüber Kristallfehlern sind. Das Valenzband wird elektronisch von den p-Orbitalen des Sauerstoffs dominiert, weshalb die Lochmobilität durch Kristallfehler stärker sinkt als die Elektronenmobilität. Das Leitungsband ist deshalb gegenüber dem Valenzband durch eine höhere Elektronenmobilität charakterisiert.

siert, da dort die stärker delokalisierten (und weniger von Fehlstellen beeinflussten) s-Orbitale des Metallatoms eine Rolle spielen.

Dass Metalloxide im allgemeinen bessere Elektronen- als Lochleiter sind, stellt eine Herausforderung für die Konzeption von elektrischen Schaltungen dar, da z.B. komplementäre Transistoren für CMOS-Schaltungen nötig sind. Es gibt allerdings bereits erste Ansätze für Schaltungen mit Metalloid-FETs in CMOS-Technik.[58]

Viele Metalloxide weisen große Bandlücken von ca. 1-4 eV[23, 56, 59], was sie zunächst zu Isolatoren machen würde. Metalloxide und insbesondere die in dieser Arbeit verwendeten Halbleiter weisen in der Realität stets eine unbeachtete Dotierung (engl. *unintentional doping*, UID) auf.[60–62] Dabei wird im Experiment beobachtet, dass eigentlich halbleitende Metalloxide auch ohne absichtliche Dotierung auch unter Reinbedingungen eine hohe Ladungsträgerdichte aufweisen (z.B. für In_2O_3 von 10^{17} cm^{-3} [60] bis 10^{19} cm^{-3} [63]). Die genaue Ursache(n) dafür sind noch nicht eindeutig geklärt.[61] Zum einen wurde im Experiment gezeigt, dass der Sauerstoffpartialdruck[64] bzw. eine chemisch oxidierende[65] oder reduzierende[66] Atmosphäre die Ladungsträgerdichte beeinflusst. Dies kann theoretisch durch Sauerstofffehlstellen erklärt werden, die in DFT-Rechnungen zu schwach gebundenen Elektronen (nahe dem Leitungsband) führen.[67, 68] Zum anderen zeigen weitere DFT-Berechnungen einen ähnlichen Effekt für ein Wasserstoffatom auf einem Zwischengitterplatz[69]. Wasserstoff ist im Experiment so gut wie überall auch unter Reinbedingungen vorhanden[61]. Auch Wasser kann einen Einfluss auf die Leitfähigkeit von In_2O_3 haben. [70, 71] Es ist auch denkbar, dass sowohl Sauerstofffehlstellen als auch Wasserstoffinterstitials eine Rolle für UID spielen.

In gewissem Rahmen können die Effekte, die zu UID führen, auch genutzt werden um die elektrischen Eigenschaften von Metalloxiden gezielt zu beeinflussen, indem die Metalloxide einer chemisch reduzierenden bzw. oxidierenden Umgebung ausgesetzt werden.[65, 66] Poröse Metalloxide werden auch als chemische Sensoren verwendet, da die elektronischen Eigenschaften empfindlich gegenüber Stoffen aus der Umgebung sind, die z.B. in Fehlstellen im Kristallgitter diffundieren können.[72, 73]

In dieser Arbeit werden sowohl halbleitende (SnO_2 , In_2O_3 , IGZO) als auch leitende (ITO) Metalloxide untersucht und verwendet. ITO ist eine ternäre Verbindung aus Indium, Zinn und Sauerstoff. Es wird manchmal als mit Zinn dotiertes Indiumoxid bezeichnet, allerdings ist der Anteil an Zinn mit einigen Prozent um Größenordnungen höher als es für herkömmliche Dotierung typisch ist. ITO ist ein optisch durchsichtiger elektrischer Leiter und hat in der Industrie bereits eine Vielzahl von Anwendungen, z.B. zur Beheizung von Glasscheiben[74] oder als Elektrode von Displays oder Solarzellen[75]. Dabei bewirkt die hohe Bandlücke des Indiumoxid, dass sichtbares Licht nicht absorbiert wird. Die Beimischung von Zinn bzw. SnO_2 ermöglicht aber die elektrische Leitfähigkeit durch Energieniveaus nahe des Fermi-Niveaus. ITO ist damit undurchlässig für Infrarotstrahlung. Zusätzlich weist die Bandstruktur optisch verbotene Übergänge auf, weshalb die optische Bandlücke größer als die tatsächliche Bandlücke ist.[76] ITO wird in den Transistoren in dieser Arbeit als Elektrodenmaterial verwendet.

Von den halbleitenden Metalloxiden soll SnO_2 und In_2O_3 genauer betrachtet werden, die als Halbleitermaterial in den meisten gedruckten Transistoren dieser Arbeit

verwendet werden. Sie weisen Bandlücken von 3,6 (SnO_2) [77–79] und 2,9 eV bzw. 3,75 eV (In_2O_3 fundamental bzw. optisch) [76] auf und sind beide durch den Sauerstoffpartialdruck dotierbar[66, 80]. Sie weisen üblicherweise die rutil/tetragonale bzw. bixbyit/kubische-Kristallstruktur auf. Je nach Kristallinität, stöchiometrischem Gleichgewicht und Reinheit weisen sie Elektronenmobilitäten von $5 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (SnO_2 , Nanopartikel)[81] bis $200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (SnO_2 , kristallin)[82] bzw. $0,44 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (InO_2 , gedruckt über precursor bei 250°C)[83] bis $225 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (InO_2 , MBE, kristallin)[84] auf. Die Ladungsträgerdichte ohne beabsichtigte Dotierung wird in der Literatur für SnO_2 im Bereich von $10^{17}\text{--}10^{19} \text{ cm}^{-3}$ [81, 82] und bei In_2O_3 von $7 \cdot 10^{16} \text{ cm}^{-3}$ [84] bis 10^{19} cm^{-3} [85] angegeben.

Eine wichtige Rolle in Metalloxiden wie SnO_2 und In_2O_3 spielt der sog. *surface electron accumulation layer* (SEAL)[61, 86, 87]. In dieser Schicht an der Oberfläche ist die Elektronendichte erhöht, was erneut mit Sauerstofffehlstellen (bzw. Wasserstoff-Interstitials, siehe oben) erklärt wird. Dies führt zu abgesenkten Bändern an der Oberfläche, was das Leitungsband füllt. Im Experiment kann der SEAL chemisch eingestellt werden.[88] Der SEAL erschwert (als Oberflächeneffekt) die Bestimmung der bulk-Elektronendichten und -mobilitäten.

2.6 Kohlenstoff-Nanoröhrchen

Kohlenstoff-Nanoröhrchen[89, 90] (engl. *carbon nanotubes* oder abgekürzt *CNT*) sind eine Modifikation bzw. ein Allotrop des Kohlenstoffs. Sie bestehen aus reinem Kohlenstoff, der sp^2 -hybridisiert in einer hexagonalen Struktur als Zylindermantel-Fläche bzw. Röhre angeordnet ist. Ähnliche Modifikationen des Kohlenstoffs mit anderer Topologie sind z.B. Graphen[91] und Fullerene[92]. Kohlenstoff-Nanoröhrchen können aus einer einzelnen, zwei oder mehr Schichten aus Kohlenstoff-Atomen bestehen (SW-CNT, DWCNT, MWCNT, *single/double/multi walled carbon nanotube*). CNTs haben (ähnlich wie Graphen) außergewöhnliche mechanische Eigenschaften, es wurde z.B. bei MWCNT axial eine Zugfestigkeit von 11 bis 63 Gigapascal beobachtet[93]. Geometrisch zeichnen sich CNT durch ihre Zylinderform aus und können große Aspektverhältnisse aufweisen. Ihr Durchmesser liegt in der Größenordnung von Nanometern[89], die Länge aber reicht von Nanometern bis hin zu Zentimetern[94]. Die Gitterkonstante a beträgt $0,246 \text{ nm}$ [89].

Neben diesen geometrischen Eigenschaften zeichnet sich ein CNT durch die Orientierung der Atomgitters in Relation zur CNT-Achse aus, auch Chiralität genannt. Dazu geht man zunächst von der Graphen-Struktur aus und definiert die Gittervektoren \vec{u} und \vec{v} (siehe Abb. 2.6). Aus den Gittervektoren kann man einen Verbindungsvektor \vec{w} zwischen zwei Atomen definieren: $\vec{w}(n,m) = n \cdot \vec{u} + m \cdot \vec{v}$, wobei n und m ganze Zahlen sind. Rollt man imaginär das Graphen so auf, dass zwei bestimmte Atome (mit Verbindungsvektor $\vec{w}(n,m)$) gerade aufeinander liegen, ergibt sich ein CNT, dessen Chiralität bzw. Typ und Durchmesser mit dem Tupel (n,m) eindeutig definiert ist. Symmetriebedingt gibt es unendlich viele (n,m) für einen bestimmten CNT-Typ. Es ist Konvention, $n \geq m \geq 0$ zu wählen [89]. In Abb. 2.6 ist \vec{w} für die Typen (5,1), (4,0) und (3,3) als roter Pfeil dargestellt.

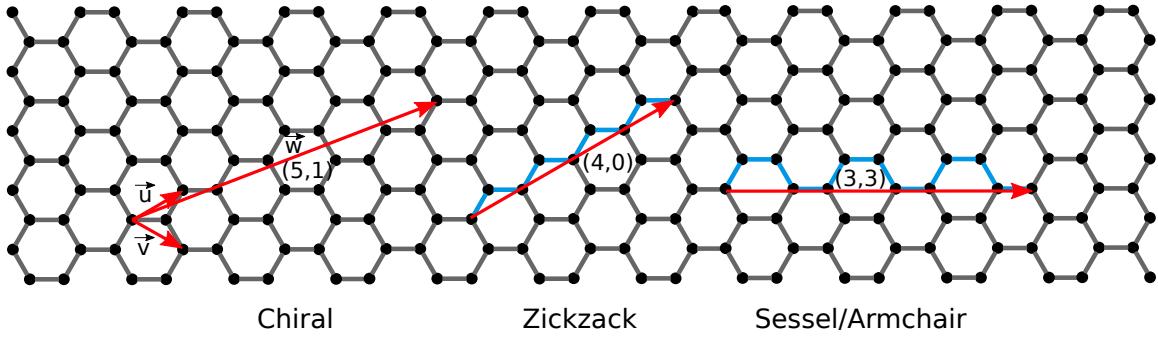


Abbildung 2.6: Darstellung von Graphen als ausgerolltes Kohlenstoffnanoröhrchen (CNT). \vec{u} und \vec{v} bezeichnen die Einheitsvektoren. \vec{w} definiert den Umfang eines CNT, der entsteht wenn Graphen so aufgerollt werden würde, dass Start- und Endpunkt von \vec{w} aufeinander liegen. Links ist \vec{w} für den chiralen Typ $(5,1)$, in der Mitte für den Zickzack-Typ $(4,0)$ und rechts für den Sessel- bzw. armchair-Typ $(3,3)$ dargestellt. Die gedachten Umfangslinien, die den Zickzack- bzw Sessel-Typ ergeben, sind blau eingefärbt.

Der CNT-Typ $(n,0)$ wird auch als „Zickzack“-Typ bezeichnet, da bei diesem Typ eine geschlossene Kette aus nächsten Nachbarn um den CNT gebildet werden kann, die wechselweise einen Winkel von $\pm 60^\circ$ aufweisen (blau dargestellt in der Mitte von Abb. 2.6). Der Typ (n,n) wird als „Sessel“-Typ (engl. „armchair“) bezeichnet, da die geschlossene Kette um den CNT eine Form ergibt, die zweimal 60° in die eine und dann zweimal in die andere Richtung weist, was an einen Sessel erinnern kann (blau dargestellt in Abb. 2.6, rechts). Alle anderen Typen sind (im Gegensatz zum „Zickzack“- und „Sessel“-Typ) asymmetrisch und werden als chiral bezeichnet.

Je nach Typ haben CNT unterschiedliche elektrische Eigenschaften[95], die in erster Näherung die von Graphen mit periodischen Randbedingungen sind (*zone-folding-approximation*)[96, 97]. Die 1D-Dispersionsrelation ergibt sich aus einem Schnitt durch die (zweidimensionale) Dispersionrelation des Graphens. Durchläuft der Schnitt den Dirac-Punkt, ist ein CNT metallisch (bzw. die Bandlücke beträgt 0 eV), sonst halbleitend. CNT des Typs (n,m) , Ist $n - m$ ein ganzzahliges Vielfaches von 3, ist ein CNT metallisch. Das schließt alle Sessel-CNT wegen $n = m$ ein. Alle anderen sind halbleitend. Je kleiner der Durchmesser eines CNT ist, desto mehr scheitert die Näherung als Graphen mit periodischen Randbedingungen und die Bandstruktur hängt zusätzlich vom CNT-Durchmesser ab[98].

Um den Durchmesser d_{CNT} eines CNT zu berechnen, wird zunächst der Umfang u_{CNT} eines CNT aus geometrischen Überlegungen mit der Gitterkonstanten a und dem Typ (n,m) des CNT berechnet zu $u_{CNT} = a \cdot \sqrt{n^2 + m^2 + n \cdot m}$. Daraus ergibt sich der Durchmesser $d_{CNT} = \frac{u_{CNT}}{\pi}:[89]$

$$d_{CNT} = \frac{a}{\pi} \cdot \sqrt{n^2 + m^2 + n \cdot m} \quad (2.2)$$

Ein $(7,6)$ -CNT hat beispielsweise einen Durchmesser von 0,88 nm.

Daraus lässt sich auch die Liniendichte der Kohlenstoffatome bestimmen [99]:

$$n_c = \frac{4\pi d_{CNT}}{a^2 \sqrt{3}} \quad (2.3)$$

Sie beträgt beispielsweise in einem (7,6)-CNT $102,9 \frac{1}{\text{nm}}$.

2.7 Markov-Chain-Monte-Carlo

Monte-Carlo-Verfahren (MC) sind nach dem für sein Glücksspielcasino bekannten Bezirk von Monaco benannt und sind nicht-deterministisch, sie basieren auf dem Zufall. Sie haben vielfältige Anwendungen in der Mathematik, Physik, Informatik und Wirtschaft. Mit ihnen ist es möglich, gute Näherungen zu Fragestellungen zu erhalten, die analytisch gar nicht oder nur sehr aufwändig lösbar sind. Im Folgenden sollen die Grundzüge sowie die algorithmische Anwendung dargestellt werden. Der Abschnitt basiert auf [100].

In der Physik kann das Markov-Chain-Monte-Carlo-Verfahren (MCMC) genutzt werden, um thermodynamische Größen eines Systems zu bestimmen. Es ermöglicht eine Näherung der Zustandssumme, aus der die thermodynamischen Zustandsgrößen berechnet werden können. Dazu muss eine Markov-Kette der Zustände des Systems erstellt werden. Jeder Zustand hängt dabei ausschließlich vom vorigen Zustand ab. Wird die Karkov-Kette gemäß dem detaillierten Gleichgewicht erstellt, so ist nach einer unendlich großen (real: sehr großen) Anzahl von Simulationsschritten die Besetzungswahrscheinlichkeit bzw. Häufigkeit für alle Zustände boltzmannverteilt.

Im thermodynamischen Gleichgewicht ist das detaillierte Gleichgewicht (engl. detailed balance) erfüllt. Es besagt, dass für die Wahrscheinlichkeit P für einen Wechsel von einem beliebigen Zustand z_a zu Zustand z_b und für den umgekehrten Prozess sowie für die Energiedifferenz ΔE der Zustände gelten muss:

$$\frac{P(z_a \rightarrow z_b)}{P(z_b \rightarrow z_a)} = \exp\left(\frac{1}{k_B T} \cdot \Delta E\right) \quad (2.4)$$

Das detaillierte Gleichgewicht folgt daraus, dass im thermodynamischen Gleichgewicht die Rate $\Gamma(z_a \rightarrow z_b)$ für alle Übergang vom Zustand z_a zu Zustand z_b gleich sein muss wie für den umgekehrten Prozess ($\Gamma(z_a \rightarrow z_b) = \Gamma(z_b \rightarrow z_a)$). Die Rate kann über die Wahrscheinlichkeit P und die Zustandssumme Z definiert werden:

$$\Gamma(z_a \rightarrow z_b) = P(z_a \rightarrow z_b) \cdot \frac{1}{Z} \cdot \exp\left(-\frac{1}{k_B T} \cdot E(z_a)\right) \quad (2.5)$$

Daraus folgt das detaillierte Gleichgewicht.

Ein MCMC-Simulationsalgorithmus erzeugt ein kanonisches Ensemble von Zuständen und minimiert im thermodynamischen Gleichgewicht die freie Energie $F = U - TS$, wobei für U für die innere Energie und S für die Entropie steht. In einer MCMC-Simulation wird eine Kette aus Zuständen gebildet, indem für den letzten Zustand eine (möglicherweise) zufällige Änderung gesucht wird und anhand eines Akzeptanzkriteriums entschieden wird, ob der geänderte Zustand oder der unveränderte Zustand an das Ende der Kette gesetzt wird.

2 Grundlagen

Eine Variante der MCMC ist der Metropolis-Monte-Carlo-Algorithmus[101], der folgendermaßen abläuft[100]:

1. Das System wird auf einen beliebigen (z.B. zufälligen) Startzustand z_0 gesetzt
2. Eine Modifikation z_m am System z_n wird durchgeführt und aus der Energie vor (E_n) und nach (E_m) der Änderung die dazugehörige Energiedifferenz $\Delta E = E_m - E_n$ bestimmt.
3. Der modifizierte Zustand z_m wird mit der Wahrscheinlichkeit

$$p = \min \left(1, \exp \left(\frac{E_m - E_n}{k_B T} \right) \right) \quad (2.6)$$

akzeptiert und das nächste Element z_{n+1} der Markov-Kette entsprechend entweder mit z_m (Akzeptanz) oder z_n (keine Akzeptanz) gefüllt. Ist der modifizierte Zustand z_m demnach energetisch günstiger ($\Delta E < 0$), wird die Änderung angenommen ($p = 1$). Ist der Zustand energetisch ungünstiger, ist die Wahrscheinlichkeit für die Akzeptanz der Änderung der Boltzmannfaktor $p = \exp(-\Delta E/(k_B T))$ mit der Temperatur T und dem Boltzmann-Konstanten k_B .

4. Wiederhole die Schritte 2 und 3.

Das Metropolis-Markov-Chain-Monte-Carlo wird häufig angewendet, da es wegen der zufälligen Systemänderungen einfach zu implementieren ist. Ein Nachteil ist, dass je nach Systemtemperatur T energetisch ungünstige Schritte nur sehr selten durchgeführt werden und eine Gruppe von Zuständen deshalb korreliert sind, auch wenn über alle Zustände hinweg das Ensemble einem thermodynamischen Gleichgewicht entspricht. Dann sind eine hohe Anzahl von Simulationsschritten nötig, um den Zustandsraum ausreichend abzutasten. Bei einer ungünstigen Wahl der Modifikation am System kann es ebenfalls zu vielen nötigen Simulationsschritten kommen.

Neben dem hier vorgestellten Metropolis-Kriterium existieren auch andere Akzeptanzkriterien wie z.B. das Glauber-Akzeptanzkriterium[102].

Eine MCMC-Simulation kann mit dem Verfahren der *simulierten Abkühlung* (*simulated annealing*) modifiziert werden, um das globale Optimum einer Funktion oder eines Problems zu approximieren[103]. Dabei wird die Temperatur T während der Simulation variiert. Das detaillierte Gleichgewicht ist damit streng genommen nicht mehr gültig, bei ausreichend langsamen Abkühlgeschwindigkeiten aber in sehr guter Näherung anwendbar. Physikalisch muss das System trotz sinkender Temperatur T stets sehr nahe dem Gleichgewichtszustand sein. Das Absenken der Temperatur entspricht einer immer weiteren Einschränkung des Zustandsraums, was das System immer stärker zu seinem globalen Extremum führt (oder einem der ähnlichen Extrema, falls es Extrema mit sehr ähnlicher Energie gibt).

Der Vorteil des Verfahrens ist, dass es auf sämtlichen Optimierungsproblemen anwendbar ist, für die eine Kenngröße analog der Energie definiert werden kann. Im Gegensatz zu gradientenbasierten Verfahren kann dieses Verfahren auch energetisch ungünstigere Änderungen am System durchführen und verharrt auf diese Weise nicht in lokalen Optima, findet also besser ein tatsächliches globales Optimum.

2.8 Drift-Diffusionsmodell, Halbleitergleichungen

Die Halbleitergleichungen sind Differenzialgleichungen, die ortsaufgelöst das elektrische Potential sowie die Elektronen- und Lochdichte beschreiben. Sie können verwendet werden, um in numerischen Simulationen den Stromfluss sowie die elektrischen Felder in einem elektronischen Bauteil zu bestimmen. Die Halbleitergleichungen bestehen aus zwei Teilen, dem Gaußschen Gesetz bzw. der Poisson-Gleichung und den Kontinuitätsgleichungen. Die Halbleiter-Gleichungen können z.B. über die Maxwell-Gleichungen oder auch die Boltzmann-Transportgleichung hergeleitet werden. Hier soll die Herleitung über die Maxwell-Gleichungen beschrieben werden, sie basiert auf [104]. Danach wird kurz auf die Boltzmann-Transportgleichung eingegangen.

Ausgangspunkt sind die Maxwell-Gleichungen in Materie:

$$\nabla \times \vec{H} = \vec{J} + \frac{\partial \vec{D}}{\partial t} \Leftrightarrow \oint_{\partial A} \vec{H} \cdot d\vec{s} = \int_A \vec{J} \cdot d\vec{A} + \int_A \frac{\partial \vec{D}}{\partial t} \cdot d\vec{A} \quad (2.7)$$

$$\nabla \times \vec{E} = -\frac{\partial \vec{B}}{\partial t} \Leftrightarrow \oint_{\partial A} \vec{E} \cdot d\vec{s} = -\int_A \frac{\partial \vec{B}}{\partial t} \cdot d\vec{A} \quad (2.8)$$

$$\nabla \cdot \vec{D} = \rho \Leftrightarrow \oint_{\partial V} \vec{D} \cdot d\vec{A} = Q(V) \quad (2.9)$$

$$\nabla \cdot \vec{B} = 0 \Leftrightarrow \oint_{\partial V} \vec{B} \cdot d\vec{A} = 0 \quad (2.10)$$

Sie können sowohl differziell (links) als auch integral (rechts) dargestellt werden, im Folgenden wird ausschließlich die differenzielle Darstellung verwendet. Im Falle eines Halbleiter ist die Ladungsdichte ρ über die Dichte von Elektronen (n), Löchern (p) und eingebrachten fixen Ladungen bestehend aus Donatoren (N_D) und Akzeptoren (N_A) definiert:

$$\rho = q(p - n + N_D - N_A) \quad (2.11)$$

q beschreibt die Elementarladung mit positivem Vorzeichen.

Für die elektrische Verschiebungsdichte \vec{D} , das elektrische Feld \vec{E} die Permittivität ε und das elektrische Potential Φ gilt:

$$\vec{D} = \varepsilon \vec{E} = -\varepsilon \nabla \Phi, \quad (2.12)$$

Setzt man dies mit Gleichung 2.11 in Gleichung 2.9 ein und nimmt eine isotrope (skalare) Permittivität ε an, ergibt sich:

$$\Delta \Phi = \frac{q}{\varepsilon} (n - p - N_D + N_A) \quad (2.13)$$

Dies ist die Poisson-Gleichung in einem Halbleiter mit dem elektrischen Potential Φ und den Ladungsträgerdichten n , p und N_D und N_A .

Für die Herleitung der Kontinuitätsgleichungen wendet man die Divergenz auf Gleichung 2.7 an. Da die Divergenz einer Rotation gleich Null ist, erhält man:

$$0 = \nabla \cdot \vec{J} + \nabla \cdot \frac{\partial \vec{D}}{\partial t} \quad (2.14)$$

Auf den rechten Summanden kann Gleichung 2.9 angewendet werden, da die zeitliche und räumliche Ableitung vertauschbar sind. Dies ergibt die Kontinuitätsgleichung

$$0 = \nabla \cdot \vec{J} + \frac{\partial \rho}{\partial t} \quad (2.15)$$

Aus der Gleichung folgt, dass das Vektorfeld der Stromdichte quellenlos ist, sich die Ladungsdichte also zeitlich nicht ändert wenn ein- und ausfließender Strom gleich groß sind.

Setzt man den Ausdruck 2.11 für die Ladungsdichte in die Kontinuitätsgleichung 2.15 ein, erhält man:

$$0 = \nabla \cdot \vec{J} + q \frac{\partial}{\partial t} (p - n + N_D - N_A) \quad (2.16)$$

Nimmt man die Dotierkonzentrationen als vollständig ionisiert und damit nicht zeitabhängig an, sind die beiden letzten Summanden aus dieser Gleichung gleich 0. Die Gleichung kann in einen Elektronen- und einen Lochteil separiert werden:

$$\hat{U} = \nabla \cdot \vec{J}_p + q \frac{\partial}{\partial t} p \quad (2.17)$$

$$-\hat{U} = \nabla \cdot \vec{J}_n - q \frac{\partial}{\partial t} n \quad (2.18)$$

Bei der Separation entsteht ein Freiheitsgrad, da ein Summand $\pm \hat{U}$ beim Addieren der Gleichungen eliminiert wird. Physikalisch ist \hat{U} die Rate für die Generierung und Rekombination von Elektronen und Löchern bzw. allgemein von erzeugten Paaren von positiven und negativen Ladungen.

Die in Gl. 2.17 und 2.18 enthaltene Stromdichten kann im Halbleiter in den Elektronen- und Lochstrom $\vec{J} = \vec{J}_p + \vec{J}_n$ aufgeteilt und als Summe aus einem Drift- und Diffusionsterm geschrieben werden:

$$\vec{J}_p = qp\mu_p \vec{E} - qD_p \nabla p \quad (2.19)$$

$$\vec{J}_n = qn\mu_n \vec{E} + qD_n \nabla n \quad (2.20)$$

Mit der Nernst-Einstein-Beziehung $D = \mu \frac{k_B T}{q}$, die den mikroskopischen Diffusionskoeffizienten D mit der makroskopischen Mobilität μ verknüpft [105], ergibt sich zusammen mit Gl. 2.12:

$$\vec{J}_p = -qp\mu_p \nabla \Phi - \mu_p k_B T \nabla p \quad (2.21)$$

$$\vec{J}_n = -qn\mu_n \nabla \Phi + \mu_n k_B T \nabla n \quad (2.22)$$

Diese Formeln beschreiben den Driftstrom (erster Summand) als Funktion des Gradienten des elektrischen Potentials sowie den Diffusionsstrom (zweiter Summand) als Funktion vom Gradienten der Teilchendichte.

In die Gleichungen 2.17 und 2.18 können nun die Stromdichten 2.21 und 2.22 eingesetzt werden, was zu folgenden Gleichungen führt:

$$\nabla \left(p\mu_p \nabla \Phi + \frac{k_B T}{q} \mu_p \nabla p \right) + U = \frac{\partial}{\partial t} p \quad (2.23)$$

$$\nabla \left(n\mu_n \nabla \Phi - \frac{k_B T}{q} \mu_n \nabla n \right) - U = \frac{\partial}{\partial t} n \quad (2.24)$$

\hat{U}/q wurde dabei durch U ersetzt. Die Gleichungen 2.13, 2.23 und 2.24 werden zusammen als Halbleitergleichungen bezeichnet. Sie beschreiben ein Set aus drei gekoppelten Differenzialgleichungen für das elektrische Potential $\Phi(\vec{r})$, die Elektronendichte $n(\vec{r})$ und die Lochdichte $p(\vec{r})$. Aus diesen Größen kann leicht das elektrische Feld $\vec{E}(\vec{r})$, die Elektronenstromdichte $\vec{J}_n(\vec{r})$ und die Lochstromdichte $\vec{J}_p(\vec{r})$ berechnet werden. Diese Größen sind wichtig für das Verständnis von elektronischen Bauteilen. Werden die Halbleitergleichungen räumlich diskretisiert, können damit Halbleiterbauteile simuliert werden [106, 107].

Quantenmechanische Effekte werden in diesem Modell vernachlässigt. Kommerzielle Simulationssoftware für die Chipindustrie koppelt die Halbleitergleichungen noch mit der Schrödingergleichung, um auch quantenmechanische Effekte zu berücksichtigen.[108] Ein weiteres Problem sind z.B. thermionische Ströme, um die das Drift-Diffusions-Modell zwar leicht erweitert werden kann, die allerdings nicht streng aus den Maxwellgleichungen hergeleitet werden können.

Neben der eben beschriebenen Herleitung der Halbleitergleichungen über die Maxwell-Gleichungen können die Halbleitergleichungen auch aus der Boltzmann-Transportgleichung hergeleitet werden.[109–112] Diese Herleitung ist allgemeiner, da der Kollisionsterm auf viele physikalische Effekte angewendet werden kann. Die Boltzmann-Transportgleichung lautet

$$\left(\frac{\partial}{\partial t} + \vec{v} \cdot \nabla_{\vec{x}} + \frac{\vec{F}}{m} \cdot \nabla_{\vec{v}} \right) f(\vec{x}, \vec{v}, t) = \left(\frac{\partial}{\partial t} \right)_{coll} \quad (2.25)$$

Auf der linken Seite steht die totale Zeitableitung der Verteilungsdichte, auf der rechten Seite ein Kollisionsterm. \vec{v} steht für die Geschwindigkeit eines Teilchens, \vec{x} für den Ort, m für dessen Masse und \vec{F} für eine äußere Kraft. $f(\vec{x}, \vec{v}, t)$ steht für die Verteilungsdichte der Teilchen. Für den stationären Fall lassen sich aus Gleichung 2.25 mit einem phänomenologischen Kollisionsterm wie $\frac{f_{eq} - f(\vec{x}, \vec{v}, t)}{\tau}$ (mit der Relaxationszeit τ) die Drift-Diffusionsgleichungen herleiten. Für eine selbstkonsistente Lösung müssen diese noch mit der Poisson-Gleichung gekoppelt werden, um die Halbleitergleichungen zu erhalten. Alternativ zu den Halbleitergleichungen kann die Boltzmann-Transportgleichung auch direkt gelöst werden, dazu wurde die Lattice-Boltzmann-Methode entwickelt.[113]

2.9 Numerische Lösungsmethoden partieller Differenzialgleichungen

Die Halbleitergleichungen können nicht im Allgemeinen geschlossen analytisch gelöst werden. Es existieren aber numerische Verfahren zum Lösen der Halbleitergleichungen auf realitätsnahen Systemen. In diesem Abschnitt wird zunächst das in dieser Arbeit hauptsächlich verwendete Finite-Volumen-Verfahren (FVM) erklärt und anschließend das Finite-Elemente-Verfahren (FEM) kurz vorgestellt.

Ziel ist, eine partielle Differenzialgleichung der Form

$$\frac{\partial q(\vec{r}, t)}{\partial t} + \nabla \cdot \vec{f}(q(\vec{r}, t)) = 0. \quad (2.26)$$

zu Lösen. Sie beschreibt die Erhaltungsgröße q mit dem dazugehörigen Fluss $\vec{f}(q)$.

Finite-Volumen-Verfahren Im Finite-Volumen-Verfahren (FVM) werden Geometrieeinheiten als Voxel mit definierten Randflächen modelliert. Die Volumenintegrale der Ladungsträgerdichten werden über den gaußschen Integralsatz in Oberflächenintegrale der Ströme durch die Grenzflächen umgewandelt. Da der ausgehende Fluss aus einem Voxel gleich dem eingehenden Fluss des benachbarten Voxels an der selben Grenzfläche ist, ist die Menge an Ladungsträgern (von expliziten Injektions- und Erzeugungstermen abgesehen) intrinsisch erhalten.

Ein Vorteil des Finite-Volumen-Verfahrens ist deshalb, dass im Falle der Halbleitergleichungen die Stromdichte der Elektronen und Löcher an den Grenzflächen und damit die Dichte der Elektronen und Löcher erhalten sind. In diesem Abschnitt soll nur ein kurzer Überblick über das Verfahren gegeben und für eine tiefere Diskussion auf Literatur wie [114, 115] verwiesen werden, die auch Grundlage für diesen Abschnitt sind.

Für das FVM muss das System in Volumenelemente V_i (analog in 2D in Flächen- bzw. in 1D Linienelemente) diskretisiert werden. Integriert man Gleichung 2.26 über ein Volumenelement, erhält man die integrale Darstellung des Erhaltungssatzes für ein Voxel V_i :

$$\frac{\partial}{\partial t} \int_{V_i} q(\vec{r}, t) dV = - \int_{V_i} \nabla \cdot \vec{f}(q(\vec{r}, t)) dV \quad (2.27)$$

Die linke Seite ist die zeitliche Ableitung des Integrals über q über ein Volumen V_i . Das Integral kann umgeschrieben werden zu einem Produkt aus V_i und dem Mittelwert \bar{q}_i der Größe q in diesem Volumen. Auf der rechten Seite wird der Gaußsche Integralsatz angewendet, der das Volumenintegral über V_i durch ein geschlossenes Oberflächenintegral über die geschlossene Grenzfläche S_i um V_i ersetzt:

$$V_i \frac{\partial}{\partial t} \bar{q}_i = - \oint_{S_i} \vec{f}(q(\vec{r}, t)) \cdot \vec{n} \cdot dS \quad (2.28)$$

\vec{n} beschreibt den normierten Einheitsvektor senkrecht auf S_i . Aus der Formel folgt die physikalisch intuitive Aussage, dass eine Änderung der Erhaltungsgröße nur durch einen Netto-Fluss durch die Oberfläche gegeben ist. Für die Simulationen kann die

diskretisierte gemittelte Simulationsgröße \bar{q}_i unterschiedlich modelliert werden. Im einfachsten Fall wird sie konstant über das gesamte Volumenelement angenommen. Der Fluss (und damit die zeitliche Änderung der Erhaltungsgröße) entsteht ausschließlich durch unterschiedliche Werte von q in verschiedenen Volumenelementen. Aufwändiger Verfahren ersetzen den konstanten Mittelwert durch das Integral bzw. eine Mittelung einer linearen oder quadratischen Funktion.

Um die Konvergenz und numerische Stabilität zu verbessern, können Informationen über die Richtung der Ausbreitung von Änderungen verwendet werden.. Änderungen im System propagieren als Störungen oder Wellen. Der Fluss durch eine Grenzfläche kann dann bei bekannter Richtung des Fluxes aus den benachbarten Voxeln aus Richtung des Fluxes berechnet werden. Dies wird „Upwind-Schema“ genannt.

Finite-Elemente-Verfahren Die FEM-Gleichungen für die Halbleitergleichungen wurden bereits 1977 von Barnes und Lomax[106] beschrieben. Für das Finite-Elemente-Verfahren ist es notwendig, die PDE in eine sog. schwache Form umzuwandeln. Dazu wird die gesamte Gleichung mit einem sog. glatten kompakten Träger (Testfunktion) multipliziert. Der glatte kompakte Träger ist eine Funktion, die beliebig oft differenzierbar und nur in einem endlichen Intervall um einen Punkt x ungleich 0 ist. Bei der Umwandlung aus der differenziellen Form in die integrale Form ist es über geschickte partielle Integration möglich, eine Darstellung ohne Ableitungen der gesuchten Größe/Funktion zu finden. Dies hat den Vorteil, dass auch nicht (ausreichend oft) differenzierbare Lösungen möglich sind. Bei der Diskretisierung wird die Gesamtlösung genähert als Summe über die einzelnen Netzpunkte, wobei jeder Punkt über die Testfunktion nur von seiner unmittelbaren Umgebung abhängt. Sowohl über die Form und Weite der Testfunktion als auch über die Dichte der Netzpunkte kann die Stärke der Näherung eingestellt werden.

Auf eine genauere Beschreibung der FEM-Methode wird hier verzichtet, da sie in dieser Arbeit nur am Rande (Abschnitt 8.3) verwendet wurde. Für weitere Informationen und genauere Definitionen wird auf die Literatur[116, 117] verwiesen.

3 Methoden

3.1 Monte-Carlo-Simulation der Mikrostruktur

Markov-Chain-Monte-Carlo-Simulationen sind vielseitig in der Physik anwendbar[100] und können z.B. für grundlegende Entmischungssimulationen verwendet werden [118, 119]. Häufig werden diese mit einer simulierten Abkühlung kombiniert. Die dabei entstehenden kinetisch eingefrorenen Strukturen entsprechen dabei streng genommen keinem Gleichgewichtszustand, was aber der Realität näher kommt. Die Verringerung der Temperatur pro MC-Schritt („Annealing-Geschwindigkeit“) bestimmt dabei die Struktur(größe), die entsteht. Dieser Effekt ist in den Materialwissenschaften gut bekannt und wird z.B. beim Härteln von Stahl angewendet, der erhitzt und dann schlagartig abgekühlt wird [120].

Der im Rahmen dieser Arbeit implementierte Simulationscode wendet den Metropolis-Algorithmus auf einem 2D-Gitter mit periodischen Randbedingungen und zwei Phasen an. Als MC-Schritt werden zwei zufällige nächste Nachbarn ausgewählt und dem Metropolis-Kriterium entsprechend getauscht. Die Gesamtzahl von Pixeln von Phase A und B bleibt also die Simulation über konstant, das Verhältnis der Phasen zueinander in der Startbedingung ist also ein Simulationsparameter. Jede Phase entspricht dabei einem Material im realen System. Die Energie E im System ist die Summe der Energieterme $E_{i,j}$ aller nächster Nachbarn i,j :

$$E = \frac{1}{2} \sum_{i,j} E_{i,j} \quad (3.1)$$

Der Faktor $\frac{1}{2}$ korrigiert die doppelte Summierung über benachbarte Paare. Der Energieterm $E_{i,j}$ hängt von den aneinander grenzenden Phasen ab und kann sinnvollerweise als Grenzflächenspannung interpretiert werden, sodass zwei gleiche benachbarte Gitterpunkte energetisch bevorzugt sind im Vergleich zu unterschiedlichen Gitterpunkten. (Dies ist vergleichbar mit einem 2D-Ising-Modell bei konstanter Magnetisierung.)

Die simulierte Abkühlung wird über eine lineare Absenkung der Temperatur durchgeführt. Die Temperatur $T(n)$ berechnet sich dabei aus der Zahl der bereits beendeten MC-Schritte n , der Start- und Endtemperatur $T_{Start,End}$ sowie der Gesamtzahl N der Schritte der Simulation:

$$T(n) = \left(1 - \frac{n}{N}\right) \cdot T_{Start} + \frac{n}{N} \cdot T_{End} \quad (3.2)$$

T_{Start} muss dabei größer als die Übergangstemperatur bzw. die Glastemperatur gewählt werden, T_{End} muss kleiner sein.

Implementiert wurde das Programm zur Strukturbildung des gedruckten Halbleitermaterials in Python. Das Skript vertauscht in einem MC-Schritt zufällige nächste Nachbarn im 2D-Gitter und akzeptiert die Vertauschung basierend auf dem Metropolis-Akzeptanzkriterium (Gl. 2.6) mit der Temperatur nach Gl. 3.2. Die Datenstrukturen der Simulation verwenden die optimierte numerische Bibliothek numpy[121]. Teile des Codes basieren lose auf einem MC-Code von Pascal Friederich, der realistische 3D-Strukturen von Solarzellen aus 2D-TEM-Aufnahmen erstellt[118].

Vor jedem MC-Schritt wird die Temperatur mit Gleichung 3.2 berechnet. Als MC-Schritt werden in einer Python-Methode zwei benachbarte Koordinaten zufällig zum Tauschen ausgewählt und dann anhand der benachbarten Koordinaten die Energieauswertung durchgeführt. Da die modellierte Wechselwirkung nur die nächsten Nachbarn berücksichtigt und damit nur lokal wirkt, konnte die Energieauswertung für den MC-Schritt optimiert werden, indem auch nur die Differenz der Wechselwirkungsenergien der nächsten Nachbarn berechnet wird. Dann wird der Tausch des Materials der gewählten benachbarten Koordinaten nach dem Metropolis-Kriterium entweder angenommen oder verworfen. In regelmäßigen Abständen wird der aktuelle Zustand des Systems gespeichert und als Plot ausgegeben. Am Ende der Simulation wird erneut der Zustand des Systems gespeichert und einige Statistiken wie z.B. die mittlere Berechnungszeit pro MC-Schritt ausgegeben. Nach einer vorher festgelegten Intervall von MC-Schritten wird jeweils die Gesamtenergie des Systems ausgegeben, um den Verlauf der Gesamtenergie über den Simulationsverlauf analysieren zu können.

3.2 Lösung der Halbleitergleichungen

Die nichtlinearen Halbleitergleichungen (Abschnitt 2.8) müssen in dieser Arbeit räumlich aufgelöst gelöst werden, was nur numerisch möglich ist. Für diese komplexe Aufgabe existieren eine Reihe von vorgefertigten Softwarepaketen, die die iterativen Lösungsverfahren, verschiedene direkten Löser, Konvergenz, Präkonditionierung und Nachbearbeitung bereits optimiert implementieren. Diese Arbeit wurde mit Hilfe des Softwarepakets *COMSOL multiphysics*[122] in Version 5.1 und 5.2 für den vFET (siehe Kap. 4) gelöst. COMSOL ist ein eingetragenes Warenzeichen der COMSOL AB. In diesem Abschnitt wird beschrieben, welche Teile des Programmpakets für die Simulationen verwendet wurden und wie sie konfiguriert werden können. Auf eventuell wichtige Detaileinstellungen wird eingegangen. Dieses Kapitel soll eine Zusammenfassung der COMSOL-Benutzung für diese Arbeit darstellen. Es basiert auf der Vorarbeit dieses Autors, die in einer früheren Arbeit[123] vorgestellt wurde. Grundlage für die frühere und jetzige Arbeit sind die COMSOL-Handbücher *Introduction to COMSOL Multiphysics*, *COMSOL Multiphysics Reference Manual*, *Introduction to Semiconductor Manual* und *Semiconductor Module User's Guide*. Für die Version 5.1 sind diese Handbücher nicht online frei verfügbar, lassen sich aber zusammen mit dem Programmpaket installieren (Installationsmedien sind verfügbar von der Webseite[122] und z.B. auch vom SCC). Online verfügbar sind die genannten Handbücher allerdings für Version 5.2[109, 124–126], die für den Rahmen dieser Arbeit keine wesentlichen Änderungen gegenüber Version 5.1 darstellen. Alle Beschreibungen beziehen sich auf

die englische Benutzeroberfläche.

Abschnitt 3.2.1 beschreibt, wie die Geometrie des vFET erstellt wurde. Die Abschnitte 3.2.2, 3.2.3 und 3.2.4 beschreiben die Definition der Halbleitergleichungen, das Erstellen des Netzes und den numerischen Löser. Die tatsächlichen Simulationsmodelle (einmal 3D-Simulation für Stromfluss, einmal 2D-Simulation für Ladungsverteilung mit Elektrolyt) werden in den Abschnitten 3.2.5 und 3.2.6 vorgestellt. Im Anhang in Abschnitt 8.1 wird spezifischer für COMSOL darauf eingegangen, wie die Simulationssoftware genutzt wurde, wie die Konvergenz verbessert werden kann, die Geometrie bearbeitet wurde und wie die Simulationsergebnisse ausgewertet werden können.

3.2.1 Geometriaufbau und externe Vorbereitung

In dieser Arbeit wurden mehrere Quellen für die Geometrie des Transistors verwendet. Zum einen wurde ein 2D-SEM-Bild, zum anderen MC-generierte 2D-Bilder als Grundlage für die 3D-Geometrie verwendet. In beiden Fällen liegen die Informationen als Bilder vor. Im Falle des SEM-Bilds wird das Bild zunächst über einfache Bildbearbeitung in ein S/W-Bild umgewandelt, wie es die MC-generierten Bilder bereits sind. Dann werden sie in Bildbearbeitungsschritten um Fehlpixel (Satellitenpixel, rauе Umrisse, unerwünschte Brücken bzw. Löcher) bereinigt, die Kanten geglättet und ein Kantenerkennungsfilter wandelt die flächigen Domänen in ihre Umrisse um. Anschließend werden die Bilder über selbst erstellten Code in Listen von Koordinaten der Grenzlinien der Domänen umgewandelt. Schließlich iteriert ein Skript über die Umrisslinien und exportiert die Koordinaten für jede Domäne.

Diese Dateien werden dann automatisiert in COMSOL geladen, indem die Java-API genutzt wird. Dabei stehen alle Funktionen der graphischen Benutzeroberfläche auch dem Javacode zur Verfügung, sodass z.B. in Schleifen jede Datei einzeln geladen und in ein Polygon umgewandelt werden kann. Als letzter Schritt werden die geladenen Domänen ein letztes Mal gesäubert, indem bei Bedarf einzelne Punkte aus den Listen entfernt oder modifiziert werden. Alle Schritte sind detaillierter in Abschnitt 8.1.4 erklärt.

3.2.2 Definitionen und Randbedingungen im Halbleitermodul

Das Halbleiter-Modul stellt den *Semiconductor*-Knoten bereit. Dort sind standardmäßig das *Semiconductor Materials Model*, einige Randbedingungen und die Anfangswerte (*Initial Values*) fest eingefügt. Es stehen verschiedene spezielle Randbedingungen zur Verfügung, die die Eigenschaften von verschiedenen Elektroden (ohmsch, Schottky, isoliertes Gate, elektrisches Potential) modellieren. Daneben stehen Zusatzformeln für Domänen zur Verfügung, die z.B. die Dotierung, die Rekombination oder die Erzeugung (durch optische Absorption) modellieren.

Im **Semiconductor**-Knoten werden nur die Ladungsträgerstatistik (Maxwell-Boltzmann oder Fermi-Dirac) und die zu lösenden Variablen (elektrisches Potential + Elektronen + Löcher oder elektrisches Potential + Majoritätsladungsträger) eingestellt. Beide haben Einfluss auf die Nichtlinearität, Komplexität und damit auch die Dauer der Berechnung.

Das **Semiconductor Material Model**-Objekt definiert die Halbleitergleichungen. Dort fließen neben der Temperatur die Materialkonstanten Permittivität, Bandlücke, Elektronenaffinität, effektive Zustandsdichte des Leitungs- und Valenzbands und die Mobilität der Ladungsträger ein. Effekte wie das *Band Gap Narrowing* können hier aktiviert werden, außerdem ist einstellbar ob alle Dotierstellen als ionisiert angesehen werden sollen (standardmäßig aktiviert). Die Formeln sind dabei zunächst mit der Stromdichte definiert (siehe Definition in COMSOL sowie [109] S. 154):

$$\nabla \cdot (-\epsilon_r \nabla V) = q(p - n + N_d^+ - N_a^-) \quad (3.3)$$

$$\nabla \cdot \vec{J}_n = -qU_n \quad (3.4)$$

$$\nabla \cdot \vec{J}_p = qU_p \quad (3.5)$$

Dabei stellen, und das elektrische Potential V , die Lochdichte p und die Elektronendichte n die Variablen der Simulation dar. N_d^+ und N_a^- beschreiben die Dotierkonzentrationen, q die Elementarladung, $\vec{J}_{n/p}$ die Elektronen- bzw. Lochdichten und $U_{n/p}$ die Erzeugung bzw. Vernichtung von Elektronen bzw. Löcher. Die Stromdichten weiter definiert als (siehe Definition in COMSOL sowie [109] S. 153):

$$\vec{J}_n = qn\mu_n \nabla E_c + \mu_n k_B T G(n/N_c) \nabla n + qnD_{n,th} \nabla \ln(T) \quad (3.6)$$

$$\vec{J}_p = qp\mu_p \nabla E_v + \mu_p k_B T G(p/N_v) \nabla p - qpD_{p,th} \nabla \ln(T) \quad (3.7)$$

Der jeweils letzte Summand definiert einen thermionischen Strom. Da in dieser Arbeit die lokale Temperatur nicht untersucht wird, ist er immer 0. k_B ist dabei die Boltzmann-Konstante, T die Temperatur, N_v und N_c die effektiven Zustandsdichten des Valenz- und Leitungsbands und $G(x)$ vereinfacht in der Implementierung Quotienten der Fermi-Dirac-Integrale (siehe [109], S. 153). $\mu_{n/p}$ beschreibt die Elektronen- bzw. Lochmobilität. Die Energieniveaus $E_{c,v}$ der Leitungs- und Valenzbandkante verknüpfen das Potential V , die Elektronenaffinität χ_0 und die Bandlücke $E_{g,0}$ wie folgt: $E_c = -(V + \chi_0)$ und $E_v = -(V + \chi_0 + E_{g,0})$. Eine genauere Beschreibung und Erklärung findet sich z.B. im Modulhandbuch[109](S. 152-154)

Für diese Arbeit war u.a. die **Metal Contact**-Randbedingung für die Source- und Drain-Elektrode von Bedeutung. Diese Randbedingung definiert die Spannung einer Metallelektrode an einer Metall-Halbleiter-Grenzschicht und erlaubt Stromfluss in den und aus dem Halbleiter. Sie kann in COMSOL sowohl einen ideal ohmschen als auch einen idealen Schottky-Kontakt modellieren. Im Fall des idealen ohmschen Kontakts wird für die vorgefertigten Gleichungen von einem thermischen Gleichgewicht und Ladungsneutralität an der Grenzschicht ausgegangen. Daraus folgen identische Quasi-Fermi-Level für Elektronen und Löcher sowie konstante, ungekrümmte Bänder am Kontakt. Die implementierten Gleichungen des ohmschen Kontakt für die Ladungsträgerdichten p_{eq} und n_{eq} und das elektrische Potential V lauten[109](S. 194, 196):

$$p_{eq} = -\frac{1}{2} (N_d^+ - N_a^-) + \frac{1}{2} \sqrt{(N_d^+ - N_a^-)^2 + 4\gamma_n \gamma_p n_{i,eff}^2} \quad (3.8)$$

$$n_{eq} = \frac{1}{2} (N_d^+ - N_a^-) + \frac{1}{2} \sqrt{(N_d^+ - N_a^-)^2 + 4\gamma_n \gamma_p n_{i,eff}^2} \quad (3.9)$$

$$V = \frac{k_B T}{q} \left(\ln \left(\frac{n_{eq}}{\gamma_n n_{i,eff}} \right) + \frac{1}{2} \ln \left(\frac{N_v}{N_c} \right) \right) - \frac{1}{q} \left(\Delta E_f + \frac{1}{2} E_g \right) - \chi + V_0 \quad (3.10)$$

$n_{i,eff}$ bezeichnet die effektive intrinsische Ladungsträgerdichte, ΔE_f ist die temperaturabhängige Verschiebung des (Quasi-)Fermi-Niveaus. E_g beschreibt die Bandlücke, χ die Elektronenaffinität und V_0 die Spannung, die am ohmschen Kontakt angelegt sein soll. γ_n und γ_p sind Faktoren, die eingeführt werden um zwischen Kontakten mit ohmschen und Schottky-Verhalten wechseln zu können. Im Fall von ohmschen Kontakten gilt $\gamma_{n,p} = 1$, sonst[109](S. 141)

$$\gamma_n = \frac{F_{1/2} \left(-\frac{E_c - E_f}{k_B T} \right)}{\exp \left(-\frac{E_c - E_f}{k_B T} \right)} \quad (3.11)$$

$$\gamma_p = \frac{F_{1/2} \left(-\frac{E_f - E_v}{k_B T} \right)}{\exp \left(-\frac{E_f - E_v}{k_B T} \right)} \quad (3.12)$$

mit der Valenz- und Leitungsbandkantenenergie E_v , E_c , dem (Quasi-)Fermi-Niveau E_f und dem Fermi-Dirac-Integral $F_j(x)$. Damit lassen sich die Ladungsträgerkonzentrationen im Halbleiter als $n = N_c \gamma_n \exp \left(-\frac{E_c - E_f}{k_B T} \right)$ bzw. $p = N_v \gamma_p \exp \left(-\frac{E_f - E_v}{k_B T} \right)$ sowohl für den ohmschen als auch für den Schottky-Kontakt schreiben. Eine genauere Definition und Diskussion finden sich sowohl im *Equation*-Unterpunkt in der Benutzeroberfläche sowie im Handbuch des Halbleitermoduls[109](S. 192-196).

Des Weiteren ist die ***Thin Insulator Gate***-Randbedingung von Bedeutung. Sie nimmt die Spannung einer fiktiven metallischen Gate-Elektrode und erzeugt ein elektrisches Potential. Ein Stromfluss senkrecht zur Grenzfläche ist nicht möglich. In der Randbedingung wird die Grenzfläche als dünner Plattenkondensator modelliert. Die Dicke sowie die Permittivität des Dielektrikums/Isolators definiert das elektrische Feld. Wegen der Näherung als dünner Isolator sind die elektrischen Feldlinien senkrecht zur Oberfläche, die Normalkomponente $\vec{n} \cdot \vec{D}$ der elektrischen Flussdichte \vec{D} ist dann definiert als (nach [109], S. 200)

$$\vec{n} \cdot \vec{D} = -\epsilon_{ins} \epsilon_0 \frac{U_G - U}{d_{ins}} \quad (3.13)$$

mit der Permittivität des Isolators ϵ_{ins} , der Dicke des Isolators d_{ins} , der angelegten Gatespannung U_G und der Spannung im Halbleiter an der Grenzschicht U .

Um die Dotierung des Halbleiters zu definieren, existieren in COMSOL zwei vordefinierte Objekte, ***Analytic Doping Model*** und ***Geometric Doping Model***. Beide definieren die Dotierkonzentration, lassen aber unterschiedliche Koordinatensysteme zu. Ersteres nutzt das Koordinatensystem des Modells, damit ist es einfach die Dotierkonzentration einer Domäne festzulegen. Auch konstante Dotierkonzentrationen sind damit einfach möglich. Das *Geometric Doping Model* hingegen ist nützlich, um die Dotierung als Funktion von der Distanz zu einer Grenzschicht zu beschreiben. Damit lassen sich insbesondere diffundierte Dotierstellen einfach modellieren.

Soll nur die Ladungsträgerdichte definiert werden wie sie im Gaußschen Gesetz verwendet wird, kann das ***Space Charge Density***-Objekt verwendet werden. Wie

in allen Formularfeldern in COMSOL kann auch hier eine Formel statt einem Wert eingegeben werden.

Daneben existieren auch weitere Definitionen/Randbedingungen, die nicht speziell zum Halbleitermodul sondern z.B. zum AC/DC-Modul oder dem Grundpaket gehören. Dazu zählt z.B. das **Charge Conservation**-Objekt, in dem die Verschiebungsdichte \vec{D} definiert ist als $\vec{D} = \epsilon_0 \epsilon_r \vec{E}$ mit der relativen Permittivität ϵ_r , der elektrischen Feldkonstanten ϵ_0 und dem elektrischen Feld \vec{E} .

3.2.3 Vernetzung

Das Netz definiert in numerischen Simulationen die räumliche Diskretisierung, welche elementarer Teil der Modellierung ist. Das Erstellen des Netzes ist eine wichtige Vorbereitung für die Simulation, da die Wahl des Netzes bedeutende Auswirkungen auf die Geschwindigkeit der Simulation und physikalische Bedeutung der Ergebnisse hat. Wegen der Komplexität wird üblicherweise ein Netz genutzt, das zumindest teilweise automatisch erstellt wurde.

In dieser Arbeit wurde ein manueller bzw. teilautomatischer Modus verwendet, in dem die Struktur und Dichte vorgegeben werden, die eigentlichen Netzknoten aber automatisch gesetzt werden. In der COMSOL-Simulationssoftware gibt es dazu den (*User-controlled mesh*) Vernetzungs-Modus (neben dem vollautomatischen (*Physics-controlled mesh*)-Modus). Dabei wird sowohl die Größe der Netzelemente als auch die Art des Netzes an Domänen, Flächen und Kanten vorgegeben. Die Größe der Netzelemente wird dabei an Entitäten der Geometrie (Volumen, Flächen, Kanten) vorgegeben. Werden mehrere Größen vorgegeben (z.B. an einem Volumen und einer dazugehörigen Grenzfläche), wird die Netzgröße graduell vom Volumen auf die Flächen-Größe angepasst. Die jeweils letzte Definition überschreibt dabei die vorherigen Definitionen. Neben der Größe ist also auch die erlaubte Größenänderung ein wichtiger Parameter. Es existieren einige vorgefertigte Größeneinstellungen für verschiedene Anwendungen (Halbleiter, Fluidodynamik etc.). Auf Basis dieser Grundparametrisierung können einzelne Parameter wie die minimale/maximale Elementgröße, Größenveränderung und Auflösung von Krümmungen modifiziert werden.

Neben der Netzgröße sind auch die Grundformen des Netzes von Bedeutung. Die einfachste Form sind Dreiecke (2D) bzw. Tetraeder (3D). Je nach Implementierung der Software kommen auch andere Grundformen wie Quadrate oder Prismen in Frage. In dieser Arbeit wurde wegen der konkreten Implementierung des COMSOL-Softwarepaketes Prismen mit dreieckiger Grundfläche zum Einsatz (sog. *Swept-Mesh*). Dazu wird zunächst ein Dreiecksnetz auf einer Stirnfläche der Geometrie erstellt. Dieses Netz wird anschließend parallel zur Stirnfläche in das Volumen kopiert bzw. extrudiert. Die Höhe der Prismen in einer Schicht sind damit alle gleich, die Höhe in unterschiedlichen Schichten kann aber unterschiedlich sein um z.B. an einer Gate-Elektrode das Netz zu verfeinern um die Netzqualität und die physikalische Sinnhaftigkeit der Lösung zu verbessern. Außerdem passt diese Netzstruktur gut zu einer Geometrie, die ebenfalls durch Extrusion entstanden ist.

3.2.4 Numerischer Löser

Iteratives Verfahren Während lineare Gleichungssysteme mit sog. *Direkten Verfahren* unmittelbar in einem Schritt gelöst werden können, müssen nichtlineare Gleichungssysteme wie z.B. die Halbleitergleichungen in einem iterativen Verfahren gelöst werden. Dabei wird das nichtlineare Gleichungssystem zunächst linearisiert und dieses modifizierte System gelöst. Neben den Werten der unbekannten Variablen ergibt sich auch ein Residuum, was ein Maß für den Fehler dieser Lösung ist. Ein iterativer Löser minimiert nun das Residuum, z.B. über ein Newton-Verfahren mit Dämpfungsfaktor. Der variable Dämpfungsfaktor unterstützt dabei, zu Beginn der Simulation rasch in die Nähe an das globale Minimum des residuums zu gelangen und dort das Minimum präzise zu erreichen, ohne in ein benachbartes lokales Minimum zu springen. Das iterative Verfahren ist abgeschlossen, wenn das Konvergenzkriterium erfüllt ist. Im einfachsten Fall ist das eine bestimmte Anzahl an Schritten, besser ist aber, wenn das Residuum eine vorher festgelegte Konvergenzschwelle unterschreitet.

Studien-Parameter Neben den mathematisch-technischen Parametern des Läsers gibt es noch eine Reihe von Parametern, die zwar zum Löser gehören, allerdings auch physikalische Bedeutungen haben können. Das physikalische Modell betreffen vor allem sog. *sweeps*, in denen das Modell für eine Reihe von Parametern gelöst wird, man erhält damit Lösungen in Abhängigkeit dieses Parameters (z.B. für Transfer- oder Output-Kennlinien). Parameter können dabei zum einen klassische physikalische Werte wie z.B. die Dotierkonzentration, die Gate-Spannung oder verschiedene Materialobjekte, zum anderen auch Geometriewerte und allgemein jeglicher Simulationsparameter sein. Für einen *sweep* gibt es in COMSOL zwei Möglichkeiten: Entweder wird ein *Parametric Sweep*-Objekt erstellt, oder im Knoten *Step 1: Stationary* wird der *Auxiliary Sweep* aktiviert. Ersteres bietet theoretisch die Möglichkeit, mehrere Rechnungen parallel auszuführen und ist nötig, wenn sich durch eine Geometrieänderung z.B. das Netz verändern muss. Letzteres ermöglicht es, die Lösung des Modells für einen Parametersatz als Anfangszustand des nächsten Parametersatzes zu verwenden. Damit sinkt üblicherweise die benötigte Anzahl an Newton-Iterationen und die Konvergenz wird verbessert. Bei Bedarf wird der Abstand zwischen einzelnen Parametern verringert, standardmäßig werden diese zusätzlichen Schritte aber nicht in den Ergebnissen abgespeichert. Die Unterknoten des *Stationary Solver* können optional für die Verbesserung der Konvergenz modifiziert werden, da es dort feinere Einstellungsmöglichkeiten für die Lösungsverfahren gibt. Genauere Erläuterungen zur Beschleunigung der Simulation und Erleichterung der Konvergenz des nichtlinearen Läsers sind im Anhang in Abschnitt 8.1.2 zusammengefasst.

Konvergenzerleichterungen In diesem Abschnitt werden allgemein Methoden vorgestellt, wie (häufig auftretende) Konvergenzprobleme bei Halbleitermodellen in der Praxis behoben werden können. Im Anhang in Abschnitt 8.1.3 werden diese Methoden konkret auf Simulationen in COMSOL angewendet. Zunächst ist wichtig, das Modell physikalisch korrekt aufgebaut zu haben. Hat die Geometrie eine Symmetrie, ist es hilfreich diese auszunutzen und entweder nur einen Teil der Geometrie zu simulieren, oder

von 3D nach 2D bzw. von 2D nach 1D zu wechseln. Bei Feldeffekttransistoren hilft eine Bulk-Elektrode, im nichtlinearen Löser auftretende Schwingungen der Simulation zu dämpfen und die Zahl der nötigen Schritte erheblich zu senken. Weiterhin ist eine gute Netzqualität wichtig für die Konvergenz. Regionen mit großen örtlichen Änderungen des elektrischen Potentials oder Ladungsträgerdichte (z.B. an einer Gate-Elektrode) benötigen ein feineres Netz als bulk-Elemente. Zur Kontrolle der Konvergenz während der Simulation ist es ratsam, die Zwischenergebnisse des nichtlinearen Lösers graphisch auszuwerten und so z.B. numerische Störungen örtlich zu identifizieren, um in dieser Gegend das Netz anzupassen.

Zusätzlich kann es hilfreich sein, keine starken Parameteränderungen (weder zeitlich noch örtlich) einzuführen und diese im Zweifelsfall in Mehrfachsimulationen langsam zu entwickeln, z.B. indem eine angelegte Spannung in der Simulation in einer Rampe von 0 V bis zum gewünschten Wert gesteigert wird. Dabei muss sichergestellt sein, dass die Lösung eines Parametersatzes als Anfangswert des nächsten Parametersatzes gesetzt wird. Soll der Wertebereich des Parameters positiv und negativ sein, bietet es sich an den Bereich in zwei Teile zu trennen und jeweils vom Wert 0 zu beginnen. Umgekehrt kann es bei manchen Modellen auch ratsam sein, mit einem hohen Parameterwert zu beginnen und den Wert dann abzusenken, um dem Löser zu Beginn einen starken Gradienten zur korrekten Lösung hin anzubieten. Allgemeingültige Regeln aufzustellen ist dabei schwierig, es bietet sich an bei Konvergenzproblemen verschiedene Ansätze auszuprobieren. Als Beispiel zeigt Abb. 3.1 einen Konvergenzplot des Residuums über die Schritte des nichtlinearen Lösers für eine Parameterstudie, in der die Gatespannung eines Feldeffekttransistors von 2 V auf 0 V in Schritten von 0,1 V gesenkt wird. Die erste Simulation ist nach 12 Schritten konvergiert, die nachfolgenden Parameter konvergieren schneller da die Lösung der vorherigen Simulation als Startwerte genutzt werden. Zur Verbesserung der Konvergenz wurde von der Simulationssoftware (COMSOL) nach dem Parameter 0,9 V automatisch ein Zwischenschritt bei 0,85 V eingefügt, der ausschließlich als verbesserter Startwert für die Simulation bei 0,8 V genutzt wird und nicht im Endergebnis abgespeichert wird.

Ein weiterer wichtiger Aspekt für die Stabilität des Simulationslaufs ist der numerische Löser der linearen Zwischenlösungen, wofür es verschiedene Softwaremodule gibt. Grundsätzlich konvergieren alle diese Löser numerisch zur gesuchten mathematisch korrekten Lösung, allerdings unterscheiden sich die Softwarepakete in der Praxis, z.B. im Speicherverbrauch, der Skalierung über mehrere Threads, der Geschwindigkeit und der numerischen Stabilität. Tritt wegen numerischer Instabilitäten z.B. eine asymmetrische Matrix auf, bricht die Berechnung ab. Deshalb kann der Wechsel der numerischen Implementierung der Matrixlöser hilfreich sein, wenn dort numerische Probleme auftreten. Auch die Anzahl der genutzten Rechenkerne kann einen Einfluss auf die Stabilität des linearen Löser haben. Bei Problemen im linearen Löser (nichtsymmetrische Matrix, singuläre Matrix etc.) kann es sich lohnen, die Anzahl der Rechenthreads zu verändern.

Ebenso ist der eigentliche nichtlineare Löser für die Konvergenz von Bedeutung. Klassischerweise wird das Newton-Verfahren verwendet, das z.B. um eine adaptive Dämpfung erweitert werden kann. Die Schrittweite und Dämpfung wird dabei automatisch innerhalb eines einstellbaren Intervalls angepasst. Ebenso ist ein Verfahren mit

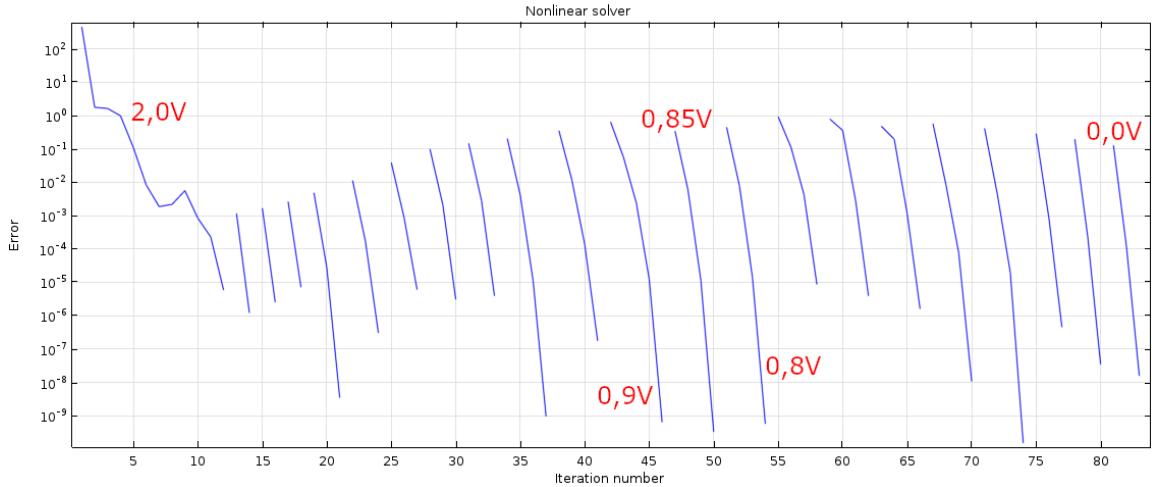


Abbildung 3.1: Konvergenzplot aus COMSOL (aus der Transferkurvensimulation mit kleineren Domänen), in dem das Fehlermaß (skaliertes Residuum) über den Simulations-schritten dargestellt ist. In dieser Simulation wurde die Gate-Spannung von 2,0 V auf 0,0 V in 0,1 V-Schritten abgesenkt. Die erste Simulation für 2,0 V benötigte 12 Schritte, um die Konvergenzschwelle von 10^{-5} zu unterschreiten. Die nachfolgenden Schritte waren mit 2-4 Iterationen deutlich schneller. Der nichtlineare Löser hat automatisch einen Zwischenschritt bei 0,85 V eingefügt, um die Konvergenz zu erleichtern.

konstanter Schrittweite denkbar, das in wenigen Fällen einem adaptiven Verfahren überlegen ist, da der Regelungsmechanismus des adaptiven Verfahrens zu Dämpfung schwingen kann.

3.2.5 3D-vFET-Modell

Die Ergebnisse des 3D-vFET-Modells werden in Kap. 4 vorgestellt. Hier soll der Aufbau des Modells beschrieben werden. Die Geometrie wurde wie im Abschnitt 3.2.1 aufgebaut und importiert. Die Halbleitergleichungen wurden über das *Semiconductor Material Model* integriert und auf die Geometrie angewendet. Das Modell wurde für das elektrische Potential und die Elektronendichte, nicht aber für die Lochdichte gelöst. Diese Näherung ist im Akkumulations-FET wegen der fehlenden Inversion gerechtfer-tigt (und wurde für ein Modell einmal verifiziert). Das reduziert den Rechenaufwand. Als Ladungsträgerstatistik wurde die Fermi-Dirac-Verteilung gewählt, die im Vergleich zur Boltzmann-Verteilung schlechter konvergiert, allerdings physikalisch genauer ist.

Der Elektrolyt wurde implizit über die geladene elektrochemische Doppelschicht modelliert. Dazu wird im Projekt über die *Thin Insulator Gate*-Randbedingung (siehe Abschnitt 3.2.2) an alle Mantelflächen des vFET das elektrische Potential indirekt über die Gatespannung vorgegeben. Die Dotierkonzentration wird homogen angenommen. Die Ober- und Unterseiten der Halbleiterdomänen stellen die Source- bzw. Drain-Elektrode dar. Sie sind als ohmsche Kontakte modelliert, was mit dem experimentellen Ergebnis von Oprea *et al.*[81] übereinstimmt.

Das Netz wird zunächst in 2D als Dreiecksnetz definiert, wobei die Dichte an der

Gate-Elektrode etwas erhöht ist gegenüber dem Inneren der Domäne. Das Netz wird (analog der Extrusion bei der Geometrieerstellung) dann als *Swept Mesh* parallel zur Fläche kopiert, sodass aufrecht stehende Prismen entstehen. Der Abstand der Ebenen zueinander ist nahe der Source-/Drain-Elektroden klein und steigert sich zur Mitte der Domäne hin.

Da Transfer-Kennlinien erzeugt werden sollen, wurde die Gate-Spannung in der Simulation im Bereich von 0 V bis 2 V variiert. In diesem speziellen Fall war es für die Konvergenz angebracht, die Gatespannung in der Simulation in umgekehrter Reihenfolge von 2 V auf 0 V als *Auxiliary Sweep* abzusenken und dem nichtlinearen Löser so zu Beginn der Simulation einen stärkeren Gradienten anzubieten.

Die Auswertung erfolgte sowohl über den Wert des Source-/Drain-Stroms (den COMSOL bereits als fertig integrierte Größe bereitstellt), als auch über einen farbig codierten Plot der Elektronendichte und des elektrischen Potentials als auch über eine zusätzlich extrahierte Ebene (neues *Data Set*) durch die Geometrie auf halber Höhe.

3.2.6 2D-vFET-Modell mit Elektrolyt

Um weitere physikalische Effekte zu untersuchen, wurde ein Modell mit Halbleiter und explizitem Elektrolyt (als Poisson-Boltzmann-Modell) erstellt. Da gekoppelte Systeme schwerer konvergieren, wurde das Modell als 2D-Modell aufgesetzt und nur eine kleine, typische Domäne ausgewählt. Die gewählte Simulationsebene ist parallel zum Substrat, sodass Stromfluss (der im vFET senkrecht zum Substrat verläuft) nicht möglich ist. Die Simulation besteht aus zwei Schritten.

Im ersten Schritt muss eine typische mittlere Elektronendichte in der Schnittebene ermittelt werden. Dazu wurde die gewählte Domäne auch in 3D wie im vorigen Abschnitt beschrieben simuliert und die Elektronendichte in einer Schnittebene parallel zum Substrat gemittelt. Je nach Höhe der Schnittebene sowie Gate- und Source/Drain-Spannung ergeben sich unterschiedliche Elektronendichten, die für die jeweilige Fragestellung gewählt werden können.

In der Hauptsimulation ist die 2D-Domäne in ein Rechteck eingebettet. In der Domäne selbst definiert das *Semiconductor Material Model* die Simulationsgleichungen, außerdem sind die Unterknoten *Initial Values*, *Analytic Doping Model* und *Space Charge Density* relevant. Berechnet werden in diesem Fall erneut nur die Elektronen und das elektrische Potential im Halbleiter, die Ladungsträgerstatistik wird durch die Fermi-Dirac-Verteilung definiert. Es ist wichtig zu beachten, dass das Modell ausschließlich die Ladungsverteilung und keine Stromflüsse modellieren kann. Außerdem ist es wegen der Konvergenz nicht möglich, explizit eine Gatespannung zu setzen und den folgenden Gleichgewichtszustand zu ermitteln. Deshalb wird im Modell der umgekehrte Weg gegangen, indem die Elektronenkonzentration im Halbleiter vorgegeben wird. Wenn das System in der Simulation relaxiert, bildet sich an der Halbleiter-Elektrolyt-Grenzschicht ebenso eine elektrochemische Doppelschicht aus wie mit einer extern anliegenden Gate-Spannung. Die im ersten Schritt ermittelte Elektronendichte muss im *Initial Values*-Knoten eingetragen werden.

Der Bereich des Elektrolyt (außerhalb der Domäne, innerhalb des Rechtecks) wird (ebenfalls im *Semiconductor*-Bereich) durch den *Charge Conservation*-Knoten definiert,

3 Methoden

in dem die Verschiebungsdichte \vec{D} über $\vec{D} = \epsilon_0 \epsilon_r \vec{E}$ über die relative Permittivität ϵ_r , die elektrischen Feldkonstante ϵ_0 und das elektrische Feld \vec{E} miteinander verknüpft ist. Die Ionendichte wird als Raumladungsdichte (*Space charge Density*) modelliert. Für die Ladungsträgerdichte dort wird in diesem Modell eine Funktion verwendet, die die Poisson-Boltzmann-Gleichung (siehe Abschnitt 2.3) definiert. Die Formel, die in das Feld für die Ladungsträgerdichte eingetragen wird, lautet:

```
F_const*( 1*c_ion*exp(-1*e_const*V/(k_B_const*293.15[K]))  
-1*c_ion*exp( 1*e_const*V/(k_B_const*293.15[K])) )
```

Die Konstanten F_{const} , k_B_{const} und e_{const} sind in COMSOL vordefiniert und bezeichnen die Faradaysche Konstante, die Boltzmann-Konstante und die Elementarladung. c_{ion} ist ein neu erstellter Parameter und bezeichnet die Ionenkonzentration im Elektrolyt (im Falle des vFET 1 mol/l). Als Temperatur wurde die Standard-Temperatur in COMSOL von 293,15 K verwendet. Die beiden Summanden in der Formel gehen auf die Kationen und Anionen zurück. Insgesamt ist zu beachten, dass der Halbleiter in diesem Modell abgeschlossen und ohne Zu- und Abfluss von Elektronen ist, der Elektrolyt implizit allerdings an ein Reservoir mit der Bulk-Ionendichte angeschlossen ist.

4 Gedruckter Feldeffekttransistor mit vertikalem Stromfluss

In Feldeffekttransistoren (FET) ist die Länge des Leitungskanals eine bedeutsame Größe. Mit ihr steigt die Gate-Kapazität, was zu höheren Gate-Strömen und höheren Schaltverlusten führt. Gleichzeitig begrenzt ein langer Leitungskanal die maximale Stromstärke, die durch den FET fließen kann. Ein kürzerer Leitungskanal ist deshalb grundsätzlich von Vorteil.

In herkömmlichen (planaren) gedruckten FET ist die minimale Leitungskanallänge von der maximalen technischen Druckauflösung begrenzt, da in dort Source- und Drain-Elektrode üblicherweise nebeneinander gedruckt werden.[127] Dabei dürfen sich die Elektroden an keiner Stelle berühren, da dann der Transistor kurzgeschlossen und damit defekt wäre. Bei kommerziellen Tintenstrahldruckern liegt der minimale sinnvoll nutzbare Abstand der Source- und Drain-Elektroden im Bereich von 10 µm, was Größenordnungen über der Leitungskanallänge von vollständig lithographisch hergestellten Transistoren liegt.

Bei gedruckten FET mit einem Elektrolyt als Gatekontakt[22] sowie porösem Halbleiter ist außerdem eine gute Durchdringung des Halbleiters vom Elektrolyt bedeutsam. Da der Feldeffekt im Halbleiter ein Grenzflächeneffekt ist, bedeutet eine große innere Oberfläche des Halbleiters in Verbindung mit dem flüssig prozessierten Gate-Elektrolyt ein großes Volumen im Halbleiter, das von der Gate-Spannung beeinflusst wird.[23] Damit kann der Leitungskanal effektiv verbreitert werden, was die Stromstärke steigert. Gedruckte Elektrolyt-FET mit kurzem Leitungskanal und einer vergrößerten effektiven Breite des Leitungskanals sind deshalb Bauteile mit hohen möglichen Stromdichten.

Am Institut für Nanotechnologie wurde von der Arbeitsgruppe von Subho Dasgupta ein neuartiger (teilweise) gedruckter Transistor entwickelt, in dem der Stromfluss durch den Halbleiter senkrecht zum Substrat verläuft (Abb. 4.1). Der poröse Halbleiter ist über einen Elektrolyt mit dem Gate verbunden und wird vEGFET (*vertical electrolyte-gated field effect transistor*) oder vFET genannt. Da Source-Elektrode, Halbleiter und Drain-Elektrode übereinander statt nebeneinander auf dem Substrat liegen, ist nicht mehr die laterale Druckauflösung die Begrenzung für die Leitungskanallänge. Stattdessen definiert die Schichtdicke des Halbleiters die Leitungskanallänge. Die minimale Schichtdicke des gedruckten Halbleiters hängt von der Prozessierung und den Eigenschaften des gedruckten Materials wie der Precursorkonzentration ab und liegt beim vFET mit ca. 50 nm um Größenordnungen unter der Druckauflösung.

In der Arbeitsgruppe von Subho Dasgupta konnte der vFET erfolgreich hergestellt werden. Von experimenteller Seite waren allerdings einige Punkte zunächst noch ungeklärt. Die räumliche Verteilung der Stromdichte war unbekannt. Die Kenntnis davon sollte Optimierungen an Geometrie und Morphologie ermöglichen um die Transisto-

reigenschaften weiter zu verbessern. Parameteränderungen an Materialeigenschaften und Morphologie könnten zu einem besseren Transistorverhalten führen, der Parameterraum konnte experimentell bisher aber nicht abgesucht werden. Dabei könnte es auch Parameterbereiche für weitere Transistortypen geben, die andere Eigenschaften als der vorliegende vFET aufweisen. CMOS-Schaltungen z.B. benötigen zwei Typen von Transistoren, einmal im Grundzustand nichtleitend und einmal im Grundzustand leitend (d.h. positive bzw. negative Schwellspannung aufweisen). Schließlich ist der Einfluss von Störgrößen wie Randströmen unbekannt. Experimentelle Ergebnisse von verschiedenen Transistorgrößen deuten darauf hin, dass Randströme außerhalb der angenommenen Transistorfläche eine Rolle spielen und die berechnete Stromdichte pro Transistorgrundfläche verfälschen. Um die Transistorgeometrie optimieren zu können und um die tatsächliche Stromdichte zu kennen, ist das Verständnis der Randströme wichtig.

Um diese Fragen klären zu können, wurde im Rahmen dieser Arbeit ein 3D-Modell erstellt, mit dem basierend auf den Halbleitergleichungen (Drift-Diffusions-Modell, siehe Kap. 2.8) der Stromfluss im Halbleiter numerisch (siehe Kap. 2.9) simuliert werden kann. Das Modell ermöglicht den Blick in den Transistor („virtuelles Mikroskop“). Ladungsträgerdichten, das elektrische Potenzial und damit auch lokale Stromdichten sind mit dem Modell auch im Inneren des vFET darstellbar und analysierbar. Zusätzlich lassen sich Parameterstudien am Modell durchführen, was im Experiment nur schwer abbildbar ist.

Die experimentellen Ergebnisse wurden gemeinsam mit den Simulationsergebnissen im Aufsatz *Sub-50 nm Channel Vertical Field-Effect Transistors using Conventional Ink-Jet Printing*[1] publiziert. Die Methodik der Morphologie-Erstellung sowie die Drift-Diffusions-Simulation wurden dabei aus einer Vorarbeit des Autors[123] adaptiert und erweitert.

Im folgenden Abschnitt 4.1 wird das von den experimentellen Partnern gewählte und ausgeführte Setup des Experiments beschrieben. Abschnitt 4.2 stellt die in dieser Arbeit verwendete 3D-Struktur vor und diskutiert die getroffenen Abwägungen. Dann wird in Abschnitt 4.3 erläutert, wie die physikalischen Modellparameter bestimmt wurden um das Experiment nachbilden zu können. Mit dem Modell wird dann die Ladungsverteilung im Halbleiter und im Elektrolyt diskutiert. Im Anschluss werden in Abschnitt 4.4 die Ergebnisse einer Parameterstudie gezeigt, in der die Domänengröße sowie die Dotierkonzentration variiert werden. Zum Schluss wurde in Abschnitt 4.5 mit Hilfe des Modells die Größenordnung von Randeffekten untersucht.

4.1 Experimentelles Setup

Tessy Baby, Subho Dasgupda und Horst Hahn haben am INT einen EGFET entwickelt, in dem die Begrenzung der Leitungskanallänge durch die Druckauflösung überwunden wird. Der schematische Aufbau ist in Abb. 4.1 dargestellt. Für die Herstellung wird auf eine lithographisch hergestellte Source-Elektrode aus Pt (100 nm) und ITO (5 nm) der Halbleiter-Precursor gedruckt. Der Halbleiter-Precursor ist eine Mischung aus SnCl_4 und poly(ethylene-*co*-butylene)-*block*-poly(ethylene oxide) mit der Summenformel

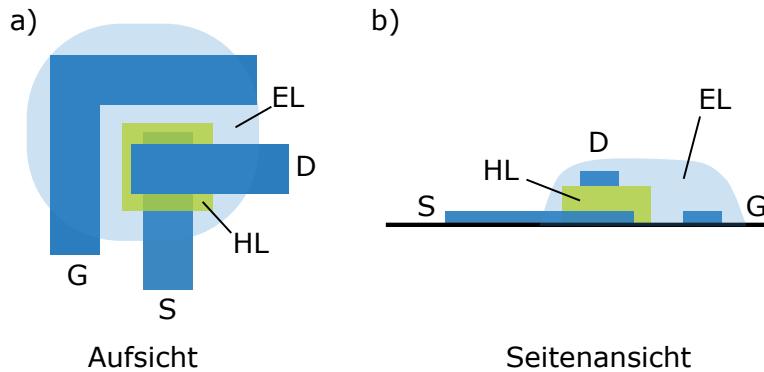


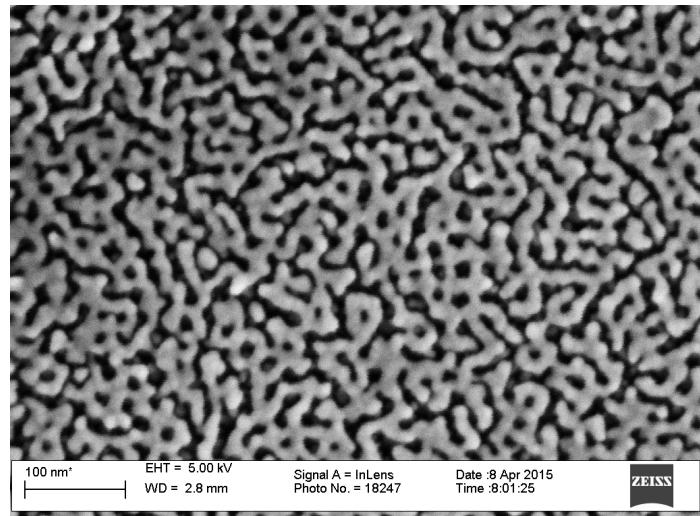
Abbildung 4.1: Schematische Darstellung des Aufbaus des gedruckten FET mit vertikalem Stromfluss (vFET) in der Auf- (a) und Seitenansicht (b). Der Halbleiter (HL) befindet sich zwischen den Source(S)- und Drain(D)-Elektroden und ist über die Gate (G) -Elektrode über den Elektrolyt mit dem Halbleiter verbunden. Der Strom fließt zwischen Source- und Drain-Elektrode vertikal bzw. senkrecht zum Substrat, was namensgebend für den vFET ist. Detailliertere Beschreibungen können in der Veröffentlichung von Baby *et al.*[1] nachgelesen werden.

$[(\text{CH}_2\text{CH}_2)_{0,67}-(\text{CH}_2\text{CHCH}_2\text{CH}_3)_{0,33}]_{89}$ ($\text{OCH}_2\text{CH}_2\right)_{79}\text{OH}$ (kurz P(E/B)-*b*-PEO) sowie Ethanol und Wasser[1]. Das organische Material polymerisiert zunächst und zersetzt sich beim Ausheizen wieder, sodass eine mesoporöse Schicht der Dicke 50 nm aus SnO_2 entstehen, die sich durch die große Oberfläche gut für eine Gate-Kontaktierung durch einen Elektrolyt eignen. Anschließend wird auf den Halbleiter im 90°-Winkel die Drain-Elektrode lithographisch aufgesetzt. Durch ein anschließendes Ausheizen bei 550 °C oxidiert das Polymer aus dem Precursor, sodass die mesoporöse Halbleiterstruktur entsteht. Die aktive Transistorfläche ist durch den Überlapp der Source-Drain-Elektroden definiert. Im letzten Schritt wird der Komposit-Festkörperpolymer-Elektrolyt (CSPE, composite solid polymer electrolyte) gedruckt, der die Gate-Elektrode darstellt. Der Elektrolyt besteht aus PVA, PC, DMSO und LiClO_4 . Der vFET ist durch die heterogenen Herstellungsschritte ein hybrider gedruckter Transistor. Für nähere Details des Herstellungsprozesses wird auf die Publikation[1] verwiesen.

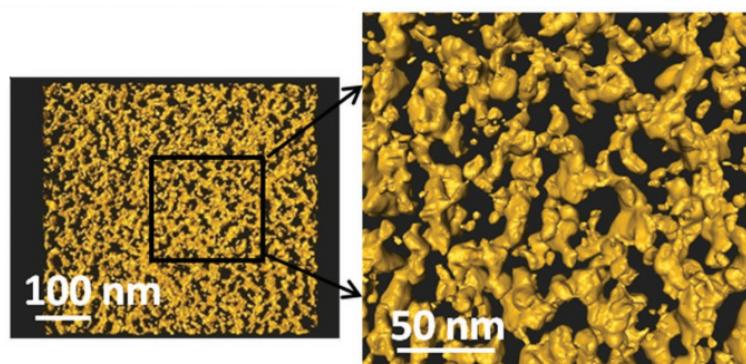
Die Besonderheit des vFET ist, dass die Vorteile eines gedruckten mesoporösen Halbleiters mit einem geringen Source-Drain-Abstand (Leitungskanallänge) von 50 nm verbunden werden. Im Gegensatz zu vorherigen Ansätzen ist die Leitungskanallänge von der lateralen Druckpräzision entkoppelt und hängt stattdessen von der Dicke der gedruckten Schicht ab. Der kurze Leitungskanal und die mesoporöse Struktur führt zu einer Stromdichte von knapp einem MA/cm^2 und einem On/Off-Verhältnis von 10^8 . Der Subthreshold swing beträgt 121 mV/dec (1 dec entspricht einer Verzehnfachung des Drain-Stroms), die Schwellspannung 0,6 V. [1]

4.2 Morphologie und Geometrie

Die Drift-Diffusions-Simulationen dieser Arbeit benötigen ein geometrisches Modell, auf dem sie gelöst werden. Da im Folgenden ein „digitaler Zwilling“ des vFET erstellt



(a) REM-Aufnahme 2D



(b) 3D-Geometrie TEM

Abbildung 4.2: Elektronenmikroskopische Aufnahmen einer gedruckten und ausgeheizten Halbleiterschicht im vFET. **a)** zeigt eine REM-Aufnahme des gedruckten und ausgeheizten Halbleitermaterials. Der Halbleiter ist hell, die Poren dunkel dargestellt. Die Abbildung wurde von Tessy Baby und Subho Dasgupta erstellt. **b)** stellt die 3D-Geometrie des Halbleiters dar, die über TEM-Tomographie rekonstruiert wurde. Die Abbildung ist mit Genehmigung aus [1] übernommen.

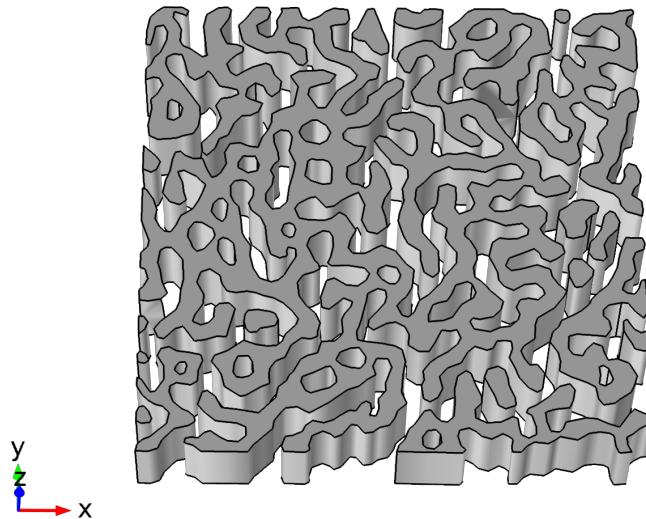


Abbildung 4.3: Darstellung der vereinfachten 3D-Geometrie in der Simulation. Die Morphologie wurde an die Anforderungen des Simulationsverfahrens angepasst. Die Abmessungen sind 335 nm in x- und y-Richtung und 50 nm in z-Richtung.

werden soll, muss die Geometrie und Morphologie des realen vFET als Vorlage dienen. Die Morphologie bestimmt maßgeblich die Akkuratheit der Simulationsergebnisse sowie die Modellkomplexität und den Rechenaufwand.

Neben der Geometrie und Morphologie des realen vFET müssen auch Anforderungen des Simulationsmodells berücksichtigt werden. Für die numerische Stabilität und um die Rechenkomplexität zu begrenzen muss die reale Morphologie im Modell angenähert werden. Um sowohl die Struktur des realen vFET nachzubilden als auch die Anforderungen der Simulationssoftware zu erfüllen, wurde eine vereinfachte repräsentative Geometrie erstellt. Abb. 4.3 zeigt die 3D-Geometrie, wie sie COMSOL verwendet. Die Geometrie basiert auf einem quadratischen Ausschnitt der Seitenlänge 335 nm aus der REM-Aufnahme, die segmentiert und 50 nm in 3D extrudiert wurde.

Die realen Abmessungen der quadratischen Elektroden (d.h. die aktive Geometrie des Transistors) betragen 250 nm. Die Simulationsbox ist damit größer als der reale Transistor. Damit werden Randeffekte verringert, da in der restlichen Diskussion der Strom pro Transistorfläche diskutiert wird.

Damit enthält die vereinfachte Geometrie weiter essentielle Eigenschaften der realen Morphologie wie die Breite der Halbleiterdomänen und den Grad der Vernetzung des Halbleiters und ist wegen der extrudierten Struktur für numerische Simulationen ausreichen vereinfacht, um sinnvolle Simulationen und Modellvorhersagen erstellen zu können. Die gewählte Geometrie und Morphologie entspricht demnach explizit und absichtlich nicht einer möglichst exakten Reproduktion des echten Halbleitermaterials.

4.3 Modellierung des vFET und mikroskopische Ladungsverteilung

In diesem Abschnitt werden Simulationen gemäß der Methodik von Kap. 3.2 für den vFET durchgeführt und analysiert. Ziel ist, das Simulationsmodell an den realen vFET anzupassen und über die Simulationen Erkenntnisse über die Funktionsweise des vFET zu erlangen. Im ersten Abschnitt 4.3.1 wird für einige, für den vFET nicht exakt bekannte Materialparameter, ein Fit an eine im Experiment gemessene Transferkurve durchgeführt. Damit wird ein Parametersatz definiert, mit dem die Simulationsmethodik einen „digitalen Zwilling“ des vFET ergibt. In Abschnitt 4.3.2 wird die Ladungsverteilung im Off- und On-Zustand im inneren des Halbleiters über das Simulationsmodell diskutiert. Analog dazu wird in Abschnitt 4.3.3 die Ladungsverteilung im Halbleiter und im Elektrolyt an der Halbleiter-Elektrolyt-Grenzschicht untersucht.

4.3.1 Anpassung der Parameter

Damit das Modell die Daten aus dem Experiment reproduzieren kann, müssen die Parameter angepasst werden. Die Materialien sind zwar bekannt, die genauen Materialeigenschaften können herstellungsbedingt aber variieren. Deshalb wurden vier physikalische Materialparameter ausgewählt, die in einem Fit variiert werden dürfen, damit das Simulationsmodell die experimentellen Ergebnisse reproduziert. Da es sich um physikalische Parameter handelt, müssen die Fitparameter physikalisch sinnvolle Werte einnehmen. Die Parameter werden im Folgenden aufgezählt und kurz erläutert.

- Die **Dotierkonzentration** von Metalloxiden wie SnO_2 hängt u.a. von der Dichte der Sauerstofffehlstellen ab, die wiederum von den Herstellungstemperaturen und dem Sauerstoffpartialdruck abhängen[87, 128]. Dadurch kommt es bereits unter kontrollierten Bedingungen wie der Molekularstrahlepitaxie (*molecular beam epitaxy*, MBE) durch unerwünschte Dotierung intrinsisch zu einer Ladungsträgerdichte von 10^{16} cm^{-3} [87]. Die Druck- und Ausheizschritte finden beim vFET (statt im Vakuum) unter Umgebungsatmosphäre statt, deshalb wird erwartet dass die Dotierkonzentration des Halbleiters im vFET wegen des höheren Sauerstoffpartialdrucks höher und ansonsten unbekannt ist. Die Dotierkonzentration soll deshalb für dieses Modell gefittet werden.
- Die **Austrittsarbeit** der Platin-Elektroden wird gefittet, da die Austrittsarbeit je nach Oberflächenbeschaffenheit variiert und in Messungen von 5,2 eV bis 5,8 eV beträgt[129, 130].
- Die **Elektronenmobilität** wird von den polykristallinen Eigenschaften und den daraus folgenden Korngrenzen bestimmt. In Messungen reicht die Elektronenmobilität von SnO_2 von $200 \text{ cm}^2/(\text{V}\cdot\text{s})$ für kristallines SnO_2 [82] bis $5 \text{ cm}^2/(\text{V}\cdot\text{s})$ in Nanopartikeln[81].

Tabelle 4.1: Tabelle der Parameter, die für die Simulationen in diesem und den folgenden Unterkapiteln verwendet werden (sofern nicht anders angegeben). Nach [123].

Parameter	Wert	Quelle
Parameter SnO ₂ :		
Relative Permittivität	11,05	[77]
Bandlücke	3,6 eV	[77] [78] [79]
Elektronenaffinität	4,85 eV	[133] [134] [135]
Eff. Zustandsdichte Leitungsband (300K)	$3,7 \cdot 10^{18} \text{ 1/cm}^3$	[136] [78]
Eff. Zustandsdichte Valenzband (300K)	$3,2 \cdot 10^{19} \text{ 1/cm}^3$	[137]
Weitere Parameter:		
Temperatur	20,0 °C	Exp. Bedingung
Dicke der elektrochem. Doppelschicht	2 nm	[43], siehe Text

- Die **Permittivität** des Elektrolyts ϵ_r skaliert den Einfluss der Gatespannung auf den Halbleiter. Im Modell in COMSOL wird die Gatespannung über die Randbedingung *Thin insulator gate* (siehe auch Abschnitt 3.2.2) definiert. Sie setzt zum einen die Stromdichten senkrecht zur Oberfläche auf Null und definiert die elektrische Verschiebungsdichte senkrecht zur Oberfläche $\vec{n} \cdot \vec{D}$ abhängig von der Potentialdifferenz $\Delta\Phi$:

$$\vec{n} \cdot \vec{D} = \epsilon_0 \cdot \frac{\epsilon_r}{d} \cdot \Delta\Phi \quad (4.1)$$

Die Permittivität und die Dicke des Gate-Isolators d (hier die Dicke der elektrochemischen Doppelschicht) bilden einen gemeinsamen Vorfaktor. Aus simulationstechnischen Gründen wird der Parameter d auf 2 nm festgesetzt und ϵ_r variiert, da auf der Nanometer-Skala die Permittivität nicht als die eines bulk-Elektrolyt angesehen werden kann[131, 132]. Bei der Interpretation ist zu beachten, dass ϵ_r und d in Gleichung 4.1 als Verhältnis als Vorfaktor stehen und deshalb für den Fit nur gemeinsam betrachtet werden dürfen.

Außerdem wurden nur die Majoritätsladungsträger (Elektronen) simuliert und die Löcher vernachlässigt. Für die Source- und Drainkontakte wurde ein ohmsches Verhalten definiert, da Oprea *et al.*[81] den ohmschen Charakter von SnO₂-Pt-Kontakten im Experiment nachweisen konnten. Das Netz für die Simulation wurde mit einem Dreiecksnetz mit der Einstellung *Fine (Semiconductor)* auf der Grundfläche erstellt und anschließend senkrecht zur Fläche in 50 Schichten mit dem *Element Ratio 4* (symmetrische arithmetische Verteilung) kopiert. Alle weiteren Parameter wurden aus der Literatur übernommen oder sind durch das dazugehörige Experiment definiert. (siehe Tab. 4.1).

Für den Fit wurde eine Transfer-Kennlinie des vFET bei einer Source-Drain-Spannung von $U_{DS} = 0,5 \text{ V}$ gewählt. Da Hysterese-Effekte nicht im Modell enthalten

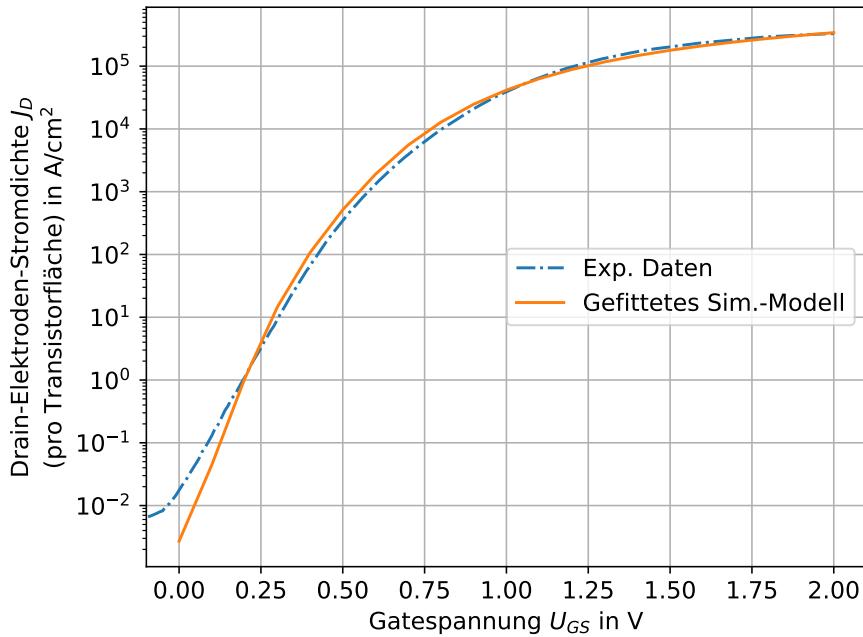


Abbildung 4.4: Der Drain-Strom pro Transistorgrundfläche ist über der Gatespannung logarithmisch aufgetragen (Transferkurve bei einer Source-Drain-Spannung von 0,5 V). Das gefittete Modell mit den Konstanten aus Tab. 4.1 und den Fit-Parametern aus Tab. 4.2 stimmt sehr gut mit den Daten aus dem Experiment (Daten von Dr. Baby) überein. Nur unter einer Gatespannung von ca. 0,1 V weicht das Modell ab und unterschätzt die Stromstärke, was wegen fehlender Leckströme im Modell zu erwarten ist. Nach [1].

sind, die experimentellen Daten allerdings eine Hysterese vor allem um 0 V zeigen[1], wurde die Transferkennlinie mit steigender Gatespannung gewählt. Eine Automatisierung der Simulationen und des Fits wurde in Erwägung gezogen, auf Grund der Komplexität (externe Steuerung der COMSOL-Software) allerdings verworfen. Das Konvergenzkriterium ist eine optisch möglichst gute Überlappung der simulierten und gemessenen Transferkurve im logarithmischen Plot. Im Bereich mit niedrigem Source-Drain-Strom wurde ein niedrigerer simulierter Strom toleriert, da in diesem Bereich die (nicht im Simulationsmodell enthaltenen) Gate-Leckströme relevant werden können. Die gemessenen Gate-Ströme lassen zwar keinen direkten Schluss auf Leckströme zu, machen es aber plausibel, dass bei Gatespannungen nahe 0 V Leckströme dominieren. Da der Einfluss der weiter oben genannten (Fit-)Parameter auf den Strom und damit auf die Transferkennlinie grob bekannt ist, konnte der Fit mittels manueller Simulationsläufe iterativ durchgeführt werden.

Ziel des Fit ist es, einen Satz an Modellparametern zu finden, mit denen das experimentelle Ergebnis repliziert wird. Da später mit dem Modell Vorschläge für Verbesserungen erstellt werden sollen, sind etwaige Ungenauigkeiten der absoluten Simulationsparameter nicht relevant.

Das Ergebnis des Fits mitsamt der experimentellen Kurve (die von Dr. Baby bzw. den experimentellen Partnern gemessen wurde bei einer Source-Drain-Spannung von

Tabelle 4.2: Tabelle der gefitteten Parameter. Die Plausibilität der Werte wird im Text diskutiert.

Parameter	Wert
Elektronenmobilität μ_e von SnO_2	$3,0 \text{ cm}^2/(\text{V}\cdot\text{s})$
Dotierkonzentration von SnO_2	$5,4 \cdot 10^{18} \text{ 1/cm}^3$
Austrittsarbeit Platin	5,95 eV
Relative Permittivität des Elektrolyt	4,0

0,5 V), an die gefittet wurde, ist in Abb. 4.4 dargestellt. In der logarithmischen Darstellung der Transferkurven weicht die Drain-Strom-Stärke pro Transistorfläche des gefittete Modell nur bei der Gate-Spannung von 0,0 V vom realen Transistor ab. Dies wurde beim Fit absichtlich erlaubt bzw. in Kauf genommen, da in diesem Bereich mit niedrigen Stromstärken Gate-Leckströme relevant werden (siehe SI von [1] für Messdaten). Ansonsten stimmt das gefittete Modell gut mit den gemessenen Daten überein, die Abweichung ist stets deutlich unter einer Größenordnung.

Die gefitteten Parameter sind in Tabelle 4.2 aufgelistet. Die gefittete Elektronenmobilität beträgt $3,0 \text{ cm}^2/(\text{V}\cdot\text{s})$. Dies ist zwei Größenordnungen niedriger als der für kristallines SnO_2 gemessene Wert von $200 \text{ cm}^2/(\text{V}\cdot\text{s})$ [82]. In elektronenstrahlverdampften (*e-beam evaporation*) Nanopartikeln (10-30 nm Korngröße) (was stärker dem gedruckten SnO_2 entspricht) wurden Elektronenmobilitäten von 5-30 $\text{cm}^2/(\text{V}\cdot\text{s})$ gemessen[81]. Es ist plausibel, dass im gedruckten Halbleiter, bei dem das SnO_2 aus einem Precursor an der Raumluft erstellt und gemessen wird, die Elektronenmobilität zu der in Nanopartikeln vergleichbar ist. Zusätzlich hängt die gefittete Mobilität auch mit der Morphologie zusammen. Da durch die verästelte 3D-Struktur der Leitungspfad im realen Transistor länger ist als die Dicke des Halbleiters in der Simulation, ist es ebenfalls plausibel, dass die reale Mobilität im Simulationsfit unterschätzt wird.

Die gefittete Dotierkonzentration liegt bei $5,4 \cdot 10^{18} \text{ cm}^{-3}$. Dies stimmt mit dem Bereich von 10^{18} - 10^{19} cm^{-3} überein, den Oprea *et al.* für SnO_2 -Nanopartikel ermittelt haben [82]. Sie berichten auch von einer deutlichen Abhängigkeit von der Zusammensetzung der Atmosphäre (reduzierend oder oxidierend) während des Abscheideprozesses. Das erklärt auch, weshalb über die physikalische Gasphasenabscheidung hergestelltes kristallines SnO_2 niedrigere Dotierkonzentrationen von 10^{17} - 10^{18} cm^{-3} [81] und MBE- SnO_2 von 10^{16} cm^{-3} [138] aufweist.

Die Austrittsarbeit der Source- und Drain-Elektrode (Platin) liegt mit 5,95 eV leicht über dem experimentell ermittelten Bereich von 5,2-5,8 eV[129, 130].

Die relative Permittivität des Elektrolyt ist, wie vorher bereits erwähnt, nur im Zusammenhang mit der Dicke der elektrochemischen Doppelschicht zu betrachten. Der Wert von 4,0 liegt eine Größenordnung niedriger als der Literaturwert von 45[139] für Dimethylsulfoxid, aus dem der Elektrolyt besteht. Auf der Nanometer-Skala reduzieren Effekte wie die räumliche Dispersion, Sättigungseffekte und lokale Inhomogenitäten die relative Permittivität[131, 132]. Zusätzlich ist die Dicke der elektroschemischen Doppelschicht mit 2 nm zwar in der richtigen Größenordnung, aber tendentiell überschätzt[43]. Würde die Dicke z.B. nur 0,5 nm betragen, wäre die

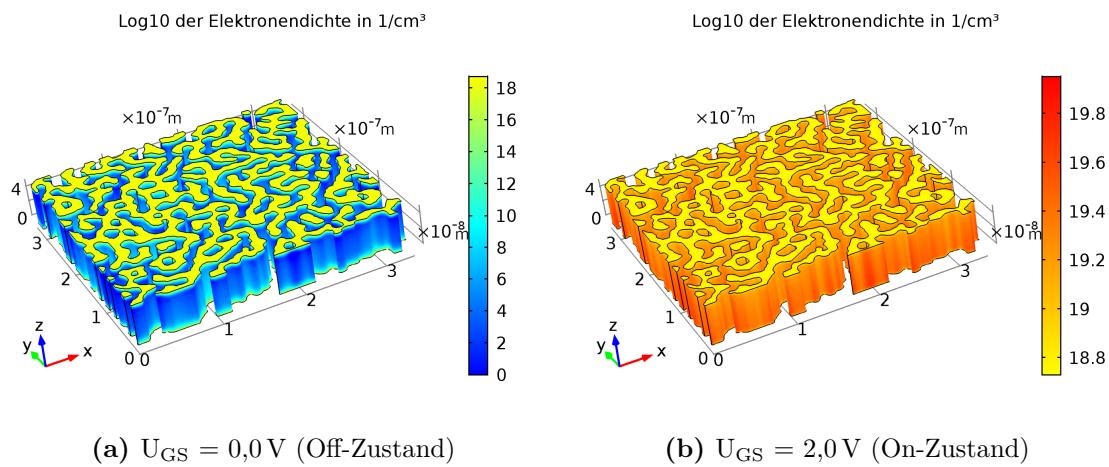


Abbildung 4.5: Dargestellt ist das Simulationsergebnis des Parameter-Fits des vFET, die Farbe der Oberfläche gibt den dekadischen Logarithmus der Elektronendichte im off- (bei $U_{GS} = 0\text{ V}$, a)) bzw. im on-Zustand (bei $U_{GS} = 2\text{ V}$, b)) an. Die Source-Drain-Spannung beträgt $U_{DS} = 0,5\text{ V}$. Zur besseren Darstellung wurden für Off- und On-Zustand unterschiedliche Farbskalen verwendet, deren Intervalle stetig zusammengefügt werden können. Die Abmessung der 3D-Geometrie beträgt $335\text{ nm} \times 335\text{ nm} \times 50\text{ nm}$.

gefittete Permittivität 16 und würde somit näher am Bulk-Wert liegen.

4.3.2 Ladungsverteilung im Halbleiter

Die 3D-Geometrie des gedruckten Halbleiters mit den Halbleitergleichungen und den (zum Teil) gefütteten Materialparametern ergeben ein Modell, das Einblicke in das Verhalten des vertikalen EGFET (vFET) ermöglicht. Diese Einblicke sind von Interesse, da die räumliche Lage und Ausdehnung des Leitungskanals im On-Zustand wichtig ist für die Optimierung der elektrischen Eigenschaften des vFET. Bereiche im Halbleiter, in denen die Leitungsträgerdichte nicht von der angelegten Gate-Spannung beeinflusst werden kann, führen ausschließlich zu unerwünschten Leckströmen. Diese Bereiche gilt es deshalb zu reduzieren.

Abb. 4.5 zeigt die gesamte 3D-Geometrie aus dem Simulationsmodell, auf der der dekadische Logarithmus der Elektronendichte in cm^{-3} auf der Oberfläche farblich dargestellt ist. Es ist zu beachten, dass die Farbskalen unterschiedlich sind, der Farbton aber stetig ist. Die Source-Drain-Spannung U_{DS} beträgt $0,5\text{ V}$, die Gate-Spannung U_{GS} $0,0\text{ V}$ (a) und $2,0\text{ V}$ (b). Dies entspricht dem Off- bzw. dem On-Zustand (die Schwellspannung beträgt $0,6\text{ V}$ [1]). Im Off-Zustand verarmt die Ladungsträgerdichte an der Grenzfläche zum Elektrolyt (d.h. am Gate-Kontakt, Mantelfläche), nur an den Source-Drain-Elektroden ist die Ladungsträgerdichte in der Größenordnung der gefütteten Dotierung. Im On-Zustand dreht sich das Bild. Die Ladungsträgerdichte an den Source-Drain-Elektroden ist im Vergleich zum Off-Zustand unverändert, die Ladungsträgerdichte an der Grenzfläche zum Elektrolyt ist aber etwa eine Größenordnung höher als die Dotierkonzentration. Dort hat die Gatespannung zu einer Ladungssammelung geführt.

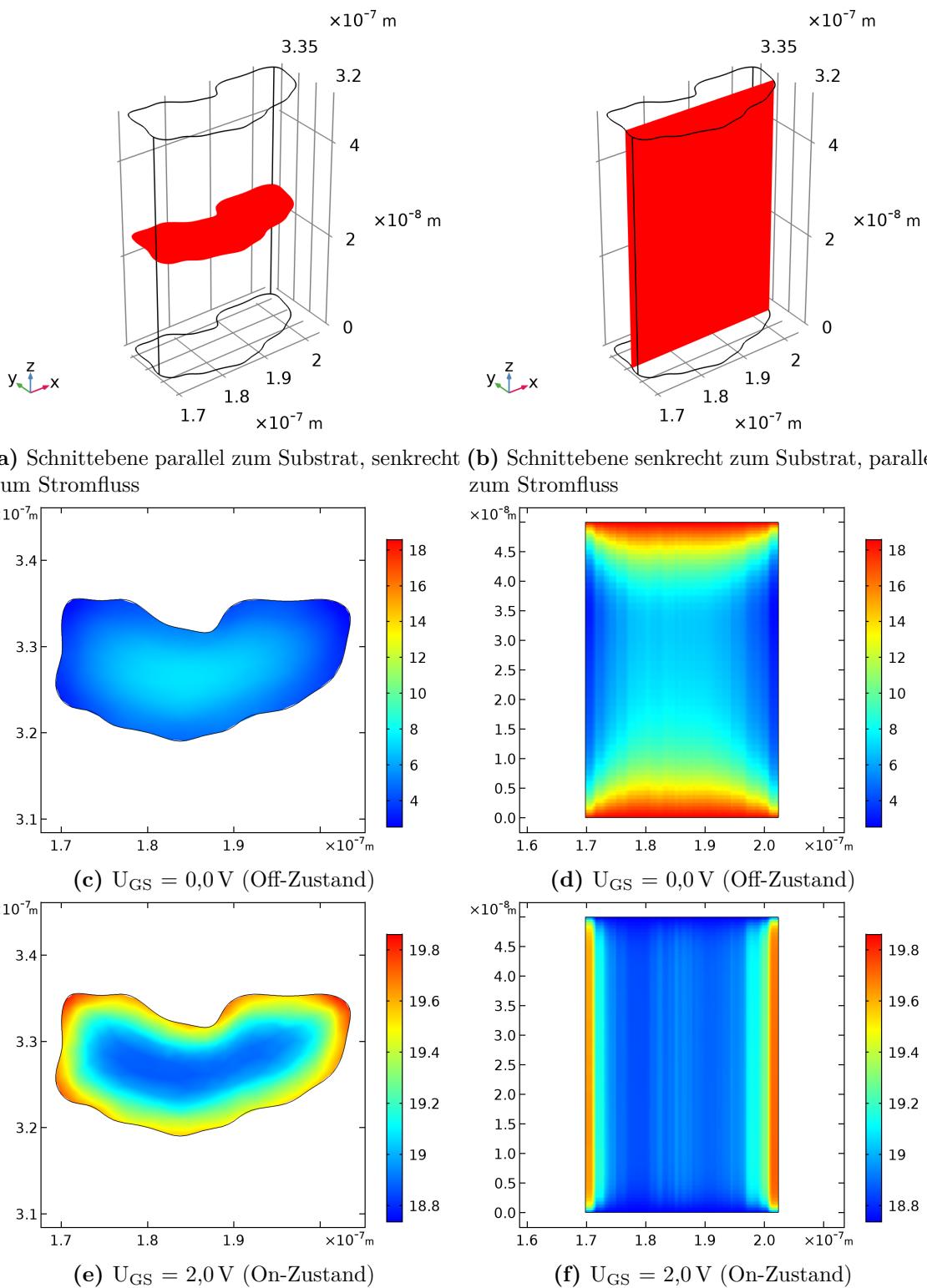


Abbildung 4.6: Entlang zweier Schnittebenen (horizontal a), vertikal b)) durch eine einzelne Domäne des vFET ist farblich der dekadische Logarithmus der Elektronendichte in cm^3 im Off- (c, d)) und On-Zustand (e, f)) bei $U_{DS} = 0,5 \text{ V}$ dargestellt. Die Farbskala ist jeweils für Off- und On-Zustand gleich gewählt. Die unterschiedliche Glättung der Färbung ist durch den erforderlichen Aufbau des Diskretisierungs-Netzes bedingt.

Um die Ladungsträgerverteilung besser untersuchen zu können, bieten sich Schnittbilder an um die Ergebnisse auch im Inneren des Halbleiters zu ermitteln. Diese können im Simulationsmodell einfach erstellt werden und bieten einen besseren Einblick in die 3D-Ladungsträgerverteilung als nur die Betrachtung der Oberfläche. Abb. 4.6 zeigt die Schnittebenen parallel (a) und senkrecht (b) zum Substrat sowie den dekadischen Logarithmus der Elektronendichte in cm^{-3} für $U_{GS} = 0,0 \text{ V}$ (c,d) (Off-Zustand) und $U_{GS} = 2,0 \text{ V}$ (e,f) (On-Zustand) entlang der Schnittebenen. Die Farbskala ist jeweils für den Off- und den On-Zustand für beide Schnittebenen identisch gewählt.

Im Off-Zustand in der Schnittebene parallel zum Substrat (c) ist die Elektronendichte an der Grenzfläche niedriger als im Inneren, was an dem Abfall des elektrischen Feldes im Halbleiter liegt. In der Schnittebene senkrecht zum Substrat (d) ist im Off-Zustand ebenfalls die Elektronendichte direkt am Elektrolyt-Kontakt am niedrigsten und steigt zum Inneren hin an. An den Source-Drain-Elektroden ist die Ladungsträgerdichte am höchsten und entspricht dort ca. der Dotierdichte. Die unterschiedlich weit in den Halbleiter eindringende Elektronendichte an Source- und Drain-Elektrode resultiert aus der Source-Drain-Spannung, die die Ladungsträgerverteilung im Halbleiter ebenfalls beeinflusst.

Im On-Zustand in der Schnittebene parallel zum Substrat (e) zeigt sich erneut die Eindringtiefe des elektrischen Felds, allerdings ist die Ladungsträgerdichte am Elektrolyt-Kontakt höher. Auch im Inneren der Domäne ist die Ladungsträgerdichte im Vergleich zum Off-Zustand erhöht, aber ca. eine Größenordnung niedriger als an der Grenzschicht zum Elektrolyt. An konkaven Stellen ist die Ladungsträgerdichte wegen der Feldüberhöhung an spitzen Grenzflächen größer als an konvexen Stellen. Dies deutet auf einen Leitungskanal an der Halbleiter-Elektrolyt-Grenzfläche hin. Die Ladungsträgerdichte hängt aber auch im Inneren der Domäne von der Gatespannung ab. In der Schnittebene senkrecht zum Substrat (f) ist im on-Zustand ebenfalls der Leitungskanal an der Halbleiter-Elektrolyt-Grenzschicht sichtbar. Die Ladungsträgerdichte im Inneren ist ca. eine Größenordnung niedriger als an der Elektrolyt-Grenzschicht. In (d) und (f) ist die Auflösung im Vergleich zu (c) und (e) aus technischen Gründen schlechter (Blockbildung), da COMSOL wegen des *Swept-Netzes* parallel zum Substrat besser eine Glättung der Daten durchführen kann als senkrecht zum Substrat.

Wir beobachten, dass die Ladungsträgerdichte im Transistor nicht homogen ist und die Gate-Spannung die Ladungsträgerdichte in der gesamten Domäne beeinflusst. Im On-Zustand bildet sich ein Leitungskanal mit einer Elektronendichte aus, die eine Größenordnung höher als im Inneren ist. Im Off-Zustand fließt der Leckstrom durch das Innere der Domäne, da dort die Ladungsträgerdichte bis zu vier Größenordnungen höher als an der Elektrolyt-Grenzschicht ist. Daraus folgt, dass die Domänengröße einen Einfluss auf die Transistoreigenschaften hat. Das Verhältnis von On- zu Off-Strom sollte größer werden je kleiner die Domänen sind. Dies ergibt sich direkt aus dem Schnittbild 4.6e, der Leitungskanal ist die komplette Mantelfläche der Domäne und hängt vom Umfang ab. Der für den Off-Strom verantwortliche Innere der Domäne hängt allerdings von der Querschnittsfläche ab weshalb der Off-Strom eine Potenz stärker mit der Domänengröße skaliert.

4.3.3 Ionenverteilung im Elektrolyt

Bislang wurde die Ladungsverteilung im Elektrolyt und damit die Ionenakkumulierung an der Elektrolyt-Halbleiter-Grenzschicht in der Simulation nicht explizit berechnet. In der Simulation wurde die Doppelschicht als Kondensator mit festgelegter dielektrischer Konstante und fester Dicke modelliert. Diese Näherung wäre beispielsweise nicht mehr gültig, falls die Abstände zwischen Halbleiterdomänen kleiner wäre als die Abklinglänge des elektrischen Feldes im Elektrolyt oder die Oberflächenkrümmung einen signifikanten Einfluss auf die Ladung im Halbleiter hätte. Es blieb daher die Frage offen, inwiefern durch die gekrümmten Halbleiter-Elektrolyt-Grenzflächen vor allem im Inneren des vFET noch davon ausgegangen werden kann, dass die Ladungsdichte unabhängig vom Einfluss benachbarter Domänen sind. Um dies zu klären, wurde in dieser Arbeit die Abklinglänge des elektrischen Felds im Elektrolyt an Hand einer realistischen Domäne mit Hilfe der Simulation abgeschätzt.

Dazu wurde eine Simulation durchgeführt, in der Halbleiter und Elektrolyt über ein gekoppeltes Gleichungssystem gemeinsam simuliert wurden. Der Halbleiter wird dabei weiterhin über die Halbleitergleichungen (also das Drift-Diffusions-Modell), der Elektrolyt mit der Poisson-Boltzmann-Gleichung (siehe Abschnitt 2.3) modelliert. Da dieses Modell durch die zusätzliche Kopplung deutlich komplexer ist, wird die Simulation in 2D und nur an einer kleinen repräsentativen Domäne durchgeführt. Die Simulationsebene wurde parallel zum Substrat gewählt, damit auch eventuelle Effekte der Krümmung der Oberfläche im Modell enthalten sind. Dafür kann in dieser Simulation kein Stromfluss simuliert werden, da dieser senkrecht zur Simulationsebene fließt. Wäre die Simulationsebene senkrecht zum Substrat, könnte zwar der Stromfluss, nicht aber Krümmungseffekte simuliert werden.

Zunächst wurde eine realistische mittlere Elektronendichte im Halbleiter abgeschätzt, indem aus der Parameter-Fit-Simulation aus einem Schnittbild durch die gewählte 3D-Domäne die Elektronendichte bei $U_{GS} = 2,0\text{ V}$ und $U_{DS} = 0,1\text{ V}$ gemittelt und (um die glatte Oberfläche in der Simulation zu kompensieren) auf $3,5 \cdot 10^{19}\text{ cm}^{-3}$ aufgerundet. Für die Simulation wurde der Halbleiter als geschlossenes System, also ohne expliziten Zu- und Abfluss von Ladung modelliert. Die gewählte Modellierung des Elektrolyts ist nicht Ladungserhaltend, sondern ist implizit an ein Reservoir mit konstanter Ionendichte angeschlossen. Als Startwert der Ladungsträgerdichte wurde im Halbleiter der vorher ermittelte Wert von $3,5 \cdot 10^{19}\text{ cm}^{-3}$ verwendet. In der Simulation relaxiert die Ladung im Halbleiter und im Elektrolyt, d.h. es bildet sich die Doppelschicht an der Halbleiter-Elektrolyt-Grenzschicht aus. Die Gesamtladung im Halbleiter bleibt (abgesehen von numerischen Ungenauigkeiten) gleich. Der gefundene Zustand entspricht dem gesuchten Gleichgewichtszustand, in dem eine Gatespannung am Elektrolyt zu Ladungskumulation im Halbleiter führt, da der Gleichgewichtszustand unabhängig vom Weg zum Zustand ist.

Abb. 4.7 zeigt die Umrisse der 2D-Domäne und einen Ausschnitt des Simulationsergebnisses. Die Elektronendichte im Halbleiter sowie die Netto-Ionendichte (Überschuss der Kationen oder Anionen) sind farblich dargestellt. Qualitativ zeigt sich die unterschiedliche Abklinglänge des elektrischen Felds in Halbleiter und Elektrolyt. Die Krümmung der Oberfläche zeigt entlang der gesamten Elektrolyt-Halbleiter-Grenzfläche

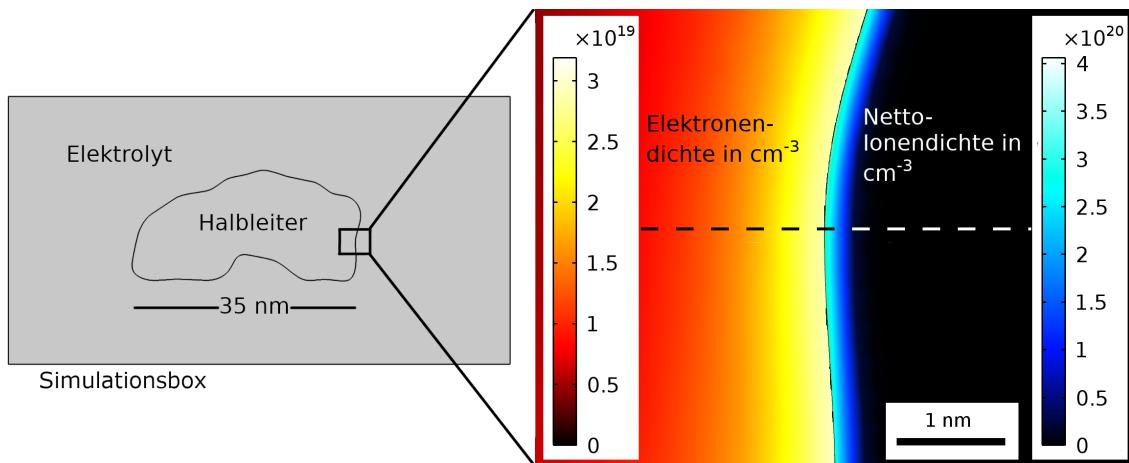


Abbildung 4.7: Links: Darstellung der Geometrie der Domäne in der Elektrolyt-Simulation. Rechts: Log. Elektronendichte im Halbleiter und Netto-Ionendichte im Elektrolyt an der Halbleiter-Elektrolyt-Grenzschicht mit ausgebildeter Doppelschicht entsprechend einer Gate-Spannung von ca. 2 V (siehe Text). Nach [1].

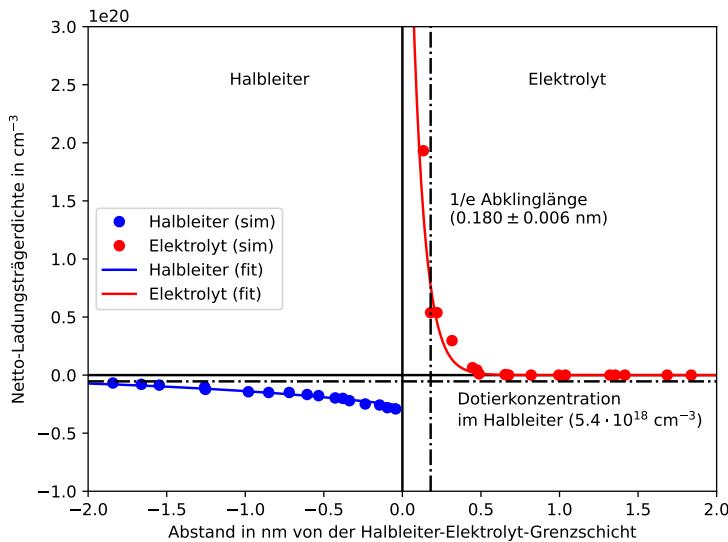


Abbildung 4.8: Plot der Elektronen- und Netto-Ionendichte (Überschuss der Kationen bzw. Anionen) aus Abb. 4.7 entlang der eingezeichneten Linie entsprechend einer Gate-Spannung von ca. 2,0 V. Die Simulationsergebnisse sind als Punkte, dazugehörige exponentielle Fits als durchgezogene Linien dargestellt. Das Vorzeichen der Ladungsdichte-Achse gibt das Vorzeichen der Ladung der Ladungsträger an. Die Ladungsträgerdichte nähert sich weit von der Grenzfläche entfernt im Elektrolyt 0, im Halbleiter wegen der Ladungserhaltung einem Wert knapp unter der Dotierkonzentration an. Die Abklinglänge beträgt im Elektrolyt 0.180 ± 0.006 nm, im Halbleiter 3.6 ± 1.4 nm (nicht dargestellt). Nach [1].

keinen Einfluss auf die Ionendichte. Für eine quantitative Analyse wurde entlang der gestrichelten Linie in Abb. 4.7 die Netto-Ladungsträgerdichte extrahiert. Wegen der durch das Simulationsnetz diskretisierten Geometrie ergeben sich keine kontinuierlichen Werte, sondern diskrete Punkte in unregelmäßigen Intervallen. Die Ergebnisse sind in Abb. 4.8 dargestellt. Die Simulationsergebnisse sind als Punkte, exponentielle Fits als durchgezogene Linien eingetragen. Die Abklinglänge bzw. Debye-Länge der Ionendichte im Elektrolyt beträgt $0,180 \pm 0,006$ nm und ist als punkt-gestrichelte Linie dargestellt. Die Abklinglänge im Halbleiter beträgt $3,6 \pm 1,4$ nm. Zur Referenz ist die Dotierkonzentration des Halbleiters eingezeichnet.

Der Wert im Elektrolyt liegt im Bereich des Durchmessers der Atome. Es ist demnach unwahrscheinlich, dass benachbarte Domänen (bzw. sich gegenüberliegende Grenzflächen) wechselwirken. Das Poisson-Boltzmann-Modell kann zwar die reale Ladungsdichte wegen der nicht berücksichtigten Atomgröße nicht akkurat beschreiben, trotzdem ist die Abklinglänge mindestens eine Größenordnung kleiner als der Domänenabstand von ca. 20 nm. Die Abklinglänge von ca. 4 nm im Halbleiter deutet (wie schon in Abb. 4.6(e,f)) darauf hin, dass eine kleinere Domänengröße die Transistoreigenschaften verbessern könnte, da dann ein größerer Teil des ca. 20 nm breiten Halbleiters von der Gate-Spannung beeinflusst wäre.

Ein verbessertes Modell, das die sterischen Effekte berücksichtigt, ist z.B. ein erweitertes Poisson-Boltzmann-Modell [140]. Das dort vorgestellten Modell bei einer Konzentration von 0,1 M weicht bei Ionengrößen von mehreren Angstrom erst unterhalb von 1 nm vom Poisson-Boltzmann-Modell ab.

Ein weiteres, feineres explizites Elektrolyt-Modell wäre, jedes Ion als Teilchen mit Ladung und Größe zu modellieren. In einer Molekulardynamik(MD)-Simulation kann man die Akkumulation von Ionen an einer geladenen Fläche simulieren. Bourg *et al.*[43] zeigen an einer Elektrolyt-Elektrode-Grenzschicht, dass in 1,25 molaren Lösungen die Ionenkonzentrationen im Abstand von 1 nm bereits die Bulk-Werte angenommen hat. Auch die erweiterten Modelle unterstützen damit die Näherung der unabhängigen Grenzschichten im vFET.

Ein MD-Modell könnte allerdings nicht in eine Simulation des vollständigen vFET eingebaut werden, da die Zeit- und Raumskala, in der ein MD-Modell berechnet werden kann, klein ist. So können mit Spezialhardware Zeiträume von 85 µs pro Tag bei knapp 24000 Atomen[141] simuliert werden, was Simulationen von ganzen Bauteilen und ihren Schaltvorgängen unmöglich macht.

4.4 Systematische Untersuchung des Verhaltens des vFET

Das Modell aus dem vorigen Abschnitt 4.3 bildet die elektrischen Eigenschaften des realen vFET gut ab. Das erlaubt es, im nächsten Schritt Parameterstudien durchzuführen. Dafür wurden zwei Größen ermittelt, die im Experiment beeinflussbar sind: Domänengröße und Dotierkonzentration. Die Ergebnisse der Parameterstudie werden in diesem Kapitel vorgestellt.

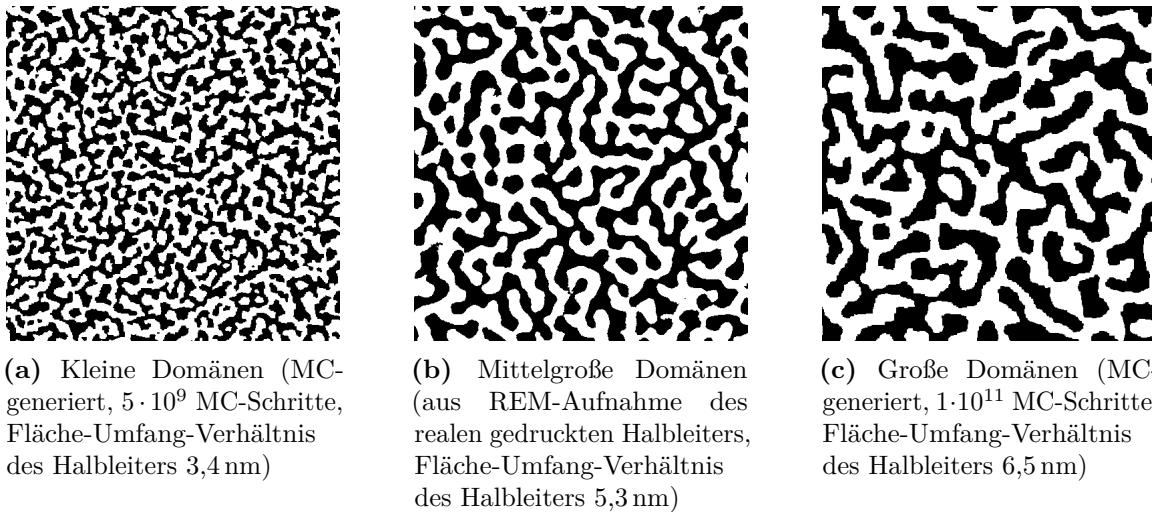


Abbildung 4.9: 2D-Morphologien, auf denen (in 3D konvertiert) über die Drift-Diffusions-Simulationen der Einfluss der Domänengröße auf die Transfereigenschaften untersucht wird. Der Halbleiter ist weiß, die Kavitäten (entsprechend der Gate-Elektrolyt) schwarz dargestellt. Aus [123].

4.4.1 Einfluss der Domänengröße

Die Domänen im Halbleitermaterial des vFET entstehen durch einen Entmischungsprozess während des Ausheizens des Halbleiter-Precursor. Die Ionenkonzentration steigt dabei an, was die Entmischungsdynamik beeinflusst. Wie im vorigen Abschnitt gezeigt, verhalten sich die Oberfläche und das innere Volumen des Halbleiters unterschiedlich beim Anlegen einer Gatespannung. Es ist deshalb davon auszugehen, dass auch die Schwellspannung von der Domänengröße abhängt.

Um realistische Geometrien mit größeren/kleineren Domänen als Grundlage für Drift-Diffusions-Simulationen herzustellen, wurde mittels 2D-Monte-Carlo-Rechnungen (MC) (siehe Abschnitt 3.1) die Entmischung simuliert. Die Temperatur wurde unterschiedlich schnell unter die Phasenübergangstemperatur reduziert, um größere (langsame Abkühlung) oder kleinere (schnelle Abkühlung) Domänen zu erhalten. Eine genauere Beschreibung und Analyse ist in [123] zu finden. Die Ergebnisse der MC-Rechnungen sind in Abb. 4.9 dargestellt. Die Temperatur wurde in der Simulation linear gemäß Gl. 3.2 von einer festen Temperatur über der Glastemperatur auf den absoluten Nullpunkt reduziert. Das bedeutet, die Anzahl der MC-Schritte ist indirekt proportional zur Abkühlgeschwindigkeit (d.h. Temperatursprung pro Schritt). Wie erwartet ist die Domänengröße bei schnellerer Abkühlung (in $5 \cdot 10^9$ MC-Schritten) klein und bei langsamer Abkühlung (in $1 \cdot 10^{11}$ MC-Schritten) groß. Die Geschwindigkeiten wurden so gewählt, dass die Domänengröße der realen, experimentellen Morphologie zwischen den Morphologien der beiden MC-Simulationen liegt. Die Morphologien sind dabei nicht nur unterschiedlich skalierte Versionen voneinander, sondern weisen unterschiedliche Strukturen auf, da die Perkolation der Domänen unterschiedlich ist. Um die Domänengrößen quantitativ zu beschreiben, wurde in COMSOL sowohl die Fläche als auch der Umfang der Halbleiterdomänen mit dem *Maßband*-Werkzeug

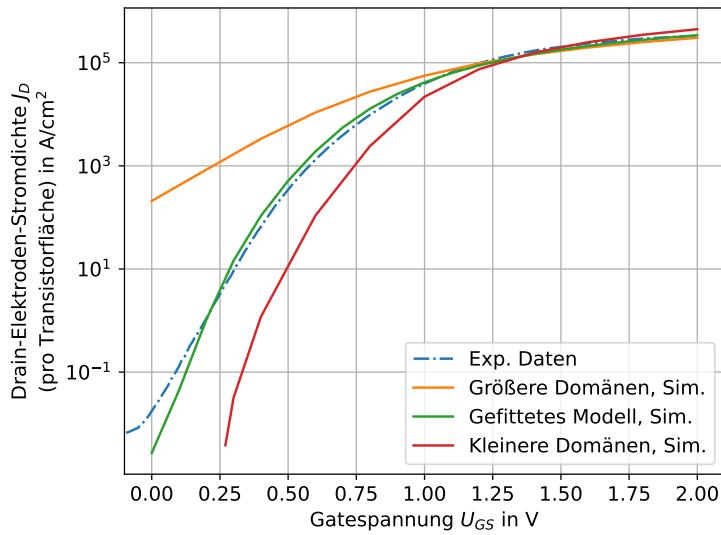


Abbildung 4.10: Dargestellt sind die simulierten Drain-Stromstärken pro Transistorgrundfläche über der Gatespannung für größere und kleinere Domänengrößen sowie die gemessene und gefittete Transferkurve (siehe Abb. 4.9). Als Simulationsparameter wurden die im Fit ermittelten Parameter verwendet. Die Source-Drain-Spannung beträgt $U_{DS} = 0,5$ V. Nach [1].

bestimmt und das Fläche-Umfang-Verhältnis (mit der Einheit m) des Halbleiters in 2D ermittelt. Das Fläche-Umfang-Verhältnis beträgt für die kleineren Domänen 3,4 nm, bei der exp. Morphologie 5,3 nm und für die größeren Domänen 6,5 nm.

Anschließend wurden die MC-generierten Morphologien (wie die exp. 2D-Morphologie aus Abschnitt 4.2) in 3D extrudiert und als Geometrie für die Berechnung einer Transferkurve in der Drift-Diffusions-Simulation verwendet. Die Simulationen wurden mit den Ergebnissen des Parameter-Fits durchgeführt (Tab. 4.1 und 4.2 sowie $U_{GS} = 0,5$ V). Aus den Simulationen ergeben sich die in Abb. 4.10 dargestellten normierten Transferkurven (mit der Stromstärke pro Transistorgrundfläche). Die experimentelle und die simulierte Transferkurve des Fits sind ebenfalls für die gleichen Parameter dargestellt. Im Fall der kleineren Domänen ist für Gatespannungen unter 0,25 V die numerische Genauigkeit der Simulation nicht mehr ausreichend, sodass negative Werte nahe 0 entstehen die logarithmisch nicht darstellbar sind.

Bei größeren Domänen ist der Drain-Strom bei Gatespannungen unter 1 V größer als im Experiment, bis er bei 0,0 V ca. 5 Größenordnungen höher ist. Grund dafür ist das verringerte Verhältnis von Gate-Grenzfläche zu Volumen, was die gateunabhängigen Gateströme im Vergleich zum gategesteuerten Strom vergrößert. Im Gegensatz dazu sinkt der Drainstrom bei kleineren Domänen zu kleinen Gatespannungen hin stärker als im Experiment, da der von der Gatespannung beeinflusste Anteil des Halbleiters größer ist. Daraus folgt, dass das Verhältnis von On- zu Off-Strom durch die Domänengröße variiert werden kann. Dies deutet auf Vorteile von kleineren Domänen hin, solange keine anderen Parameter geändert werden und die Kontaktierung weiterhin mit der gleichen Qualität möglich ist.

Tabelle 4.3: Aus den Transferkurven aus Abb. 4.10 mit der H-Integral-Methode berechnete Schwellspannung U_{th} des vFET mit unterschiedlicher Domänengröße bei der Source-Drain-Spannung $U_{DS} = 0,5$ V.

Domänengröße	Kleinere Domänen	Exp. Domänen	Größere Domänen
Schwellspannung U_{th}	0,92 V	0,81 V	0,57 V

Aus den Transferkurven lässt sich auch die Schwellspannung U_{th} berechnen. Hier wird dafür die H-Integral-Methode verwendet, die gut geeignet für Dünnschichttransistoren ist[38, 142]. Die Ergebnisse sind in Tabelle 4.3 dargestellt. Der Wert für die experimentellen Domänen weicht vom veröffentlichten Wert (0,6 V)[1] ab, da dort die sqrt(Ids)-Methode verwendet wurde. Die Schwellspannung hängt (wie der Off-Strom zuvor) von der Domänengröße ab, sie steigt für kleinere Domänen an. Die Domänengröße ist damit eine Möglichkeit die Schwellspannung zu variieren. Da sich insbesondere der Off-Strom ebenfalls mit der Domänengröße ändert, müssen diese charakteristischen Größen bei der Wahl der Domänengröße immer gemeinsam betrachtet werden.

4.4.2 Einfluss der Dotierkonzentration

Neben der Domänengröße ist auch die Dotierkonzentration über die experimentellen Bedingungen (reduzierende oder oxidierende Umgebung) einstellbar. Wie im vorigen Abschnitt soll deren Einfluss auf die Charakteristika des vFET untersucht werden.

Die Simulationen wurden mit den Ergebnissen des Parameter-Fits (Tab. 4.1 und 4.2) sowie $U_{DS} = 0,5$ V) auf der experimentellen Morphologie (siehe 4.9b) durchgeführt. Nur die Dotierkonzentration wurde von $3 \cdot 10^{17}$ cm⁻³ bis $3 \cdot 10^{19}$ cm⁻³ in logarithmisch konstanten Schritten variiert.

In Abb. 4.11 sind die Transferkurven mit der Stromstärke pro Transistorgrundfläche aus den Simulationen dargestellt. Die experimentelle und die gefittete Transferkurve (mit $5,4 \cdot 10^{18}$ cm⁻³) wurden für die gleichen Simulationsparameter als Bezugskurven hinzugefügt. Wie für einen Akkumulationstransistor erwartet, steigt der Drain-Strom mit der Dotierkonzentration stetig an. Bei niedrigen Dotierkonzentrationen und niedrigen Gatespannungen flachen die Transferkurven ab, was ein Artefakt der nicht beliebig steigerbaren numerischen Simulationspräzision ist.

Der Einfluss der Dotierkonzentration ist bei niedrigen Gatespannungen größer (bis zu 8 Größenordnungen höherer Strom als im Experiment) als bei hohen Gatespannungen (weniger als eine Größenordnung höher bzw. niedriger). Niedrigere Dotierkonzentrationen führen zu einem qualitativ ähnlichen Transistorverhalten mit weniger Leckströmen im Off-Zustand und höherer Schwellspannung, höhere Dotierkonzentrationen weisen im betrachteten Gatespannungsintervall von 0 V bis 2 V dagegen kein nennenswertes Transistorverhalten mehr auf.

Aus den Transferkurven von Abb. 4.11 ergeben sich mit der H-Integral-Methode die Schwellspannungen in Tab. 4.4. Die berechnete Schwellspannung sinkt mit steigender Dotierkonzentration im betrachteten Bereich um 1,5 V. Die berechneten Schwell-

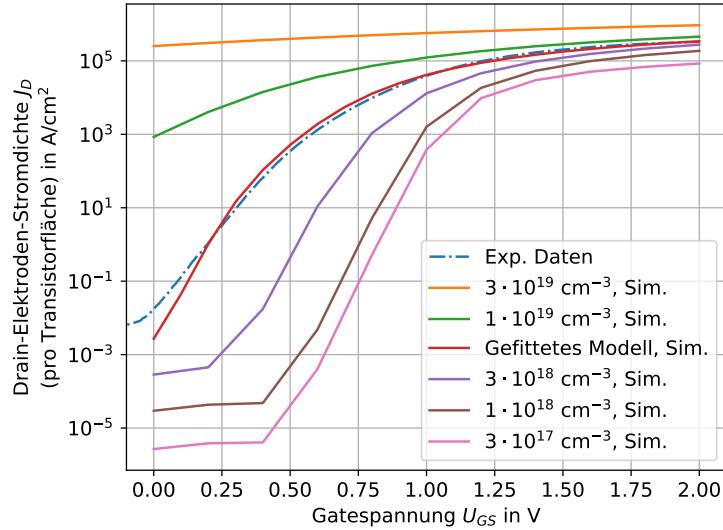


Abbildung 4.11: Dargestellt sind die simulierten Drain-Stromstärke pro Transistorgrundfläche über der Gatespannung für Dotierkonzentrationen des SnO_2 von $3 \cdot 10^{17} \text{ cm}^{-3}$ bis $3 \cdot 10^{19} \text{ cm}^{-3}$ sowie die gemessene und gefittete Transferkurve (bei $5,4 \cdot 10^{18} \text{ cm}^{-3}$). Die Simulationsparameter entsprechen bis auf die Dotierkonzentration den im Fit ermittelten Parameter. Das Abflachen der drei niedrigsten Kurven zu niedrigen Gatespannungen hin ist auf die endliche numerische Simulationspräzision zurückzuführen. Nach [1].

Tabelle 4.4: Aus den Transferkurven aus Abb. 4.11 mit der H-Integral-Methode berechnete Schwellspannung U_{th} des vFET mit unterschiedlicher Dotierkonzentration bei der Source-Drain-Spannung $U_{DS} = 0,5 \text{ V}$.

Dotierkonz. in cm^{-3}	$3 \cdot 10^{17}$	$1 \cdot 10^{18}$	$3 \cdot 10^{18}$	$1 \cdot 10^{19}$	$3 \cdot 10^{19}$
Schwellspannung U_{th}	1,13 V	1,07 V	0,93 V	0,42 V	-0,37 V

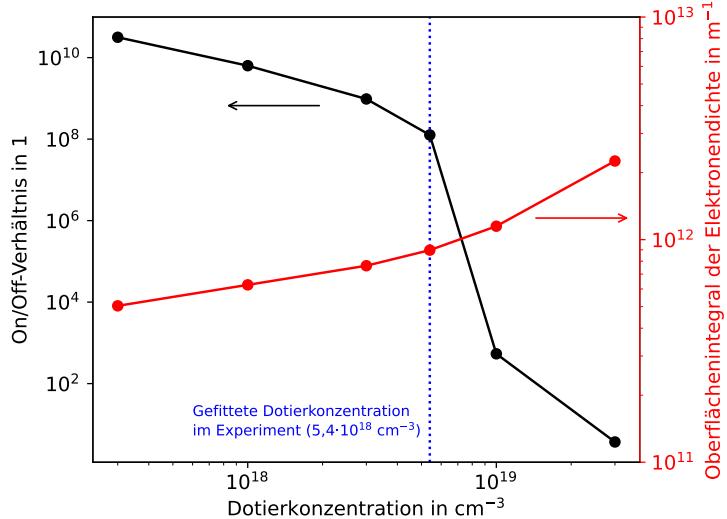


Abbildung 4.12: Dargestellt ist das aus Simulationen berechnete On/Off-Verhältnis (schwarz, linke Achse) und das Flächenintegral über die Elektronendichte über den Querschnitt des Transistors (parallel zum Substrat). Die Dotierkonzentration ist auf der x-Achse dargestellt. Die Dotierkonzentration, die aus dem Fit der experimentellen Daten hervorgeht, ist mit der blau gepunkteten Linie markiert. Niedrigere Dotierkonzentrationen steigern das On/Off-Verhältnis, höhere senken das On/Off-Verhältnis bedeutend. Das Flächenintegral der Elektronendichte steigt superlinear in der doppelt logarithmischen Darstellung an, ein ähnliches Verhalten ist für die Stromstärke bei hohen Gatespannungen zu erwarten. Nach [1].

spannungen der beiden höchsten Werte der Dotierkonzentration müssen dabei mit Vorsicht betrachtet werden, da die Transferkurven im beobachteten Bereich nicht mehr charakteristisch für einen Feldeffekttransistor sind.

Die Simulation bietet noch weitere Möglichkeiten, wichtige Aspekte des Verhaltens des vFET zu untersuchen. In Abb. 4.12 ist zum einen das makroskopisch zugängliche On/Off-Verhältnis (bei 2,0 V bzw. 0,0 V) über der Dotierkonzentration dargestellt. Zusätzlich ist auch die integrierte Elektronendichte bei $U_{GS} = 2,0$ V dargestellt, die über die Querschnittsfläche parallel zum Substrat in einer Höhe von 25 nm (siehe Abb. 4.6a) integriert wurde. Dies ist eine mikroskopische Größe, die experimentell nicht ermittelbar und verwandt mit der makroskopischen Stromstärke durch den vFET ist. Ein vFET mit niedrigerer Dotierkonzentration weist im Modell ein (bis zu zwei Größenordnungen) größeres On/Off-Verhältnis auf als der reale vFET, höhere Dotierkonzentrationen lassen das On/Off-Verhältnis im betrachteten Bereich um fast 8 Größenordnungen fallen. Die integrierte Elektronendichte steigt im doppelt logarithmischen Plot superlinear an, diese Größe steigt damit stärker als eine Potenz. Im gesamten betrachteten Intervall steigt die integrierte Elektronendichte um weniger als eine Größenordnung. Dies stimmt mit den Ergebnissen von Abb. 4.11 überein, wo der On-Strom im Vergleich zum Off-Strom nur schwach von der Dotierkonzentration abhängt.

Die Wahl der Dotierkonzentration ist stets ein Tradeoff zwischen verschiedenen Zielgrößen. In diesem Fall hätte ein vFET mit höherer Dotierkonzentration ein um einige Größenordnungen schlechteres On/Off-Verhältnis als Kosten für einen größeren Gesamtstrom. Niedrigere Dotierkonzentrationen verbessern das On/Off-Verhältnis, die Elektronendichte sinkt ca. um den Faktor 5. In der Realität wird eine höhere Dotierkonzentration laut diesem Modell wenig sinnvoll sein, die gefittete Dotierkonzentration ist als obere Grenze anzusehen. Niedrigere Werte können je nach Anwendung (z.B. auch zur Erhöhung der Schwellspannung) auch sinnvoll sein.

4.5 Randverluste und Eindringtiefe des Elektrolyt

Im Experiment wurden vFET mit unterschiedlichen Seitenlängen untersucht. vFET mit den Seitenlängen von $0,25\text{ }\mu\text{m}$, $1,0\text{ }\mu\text{m}$ und $2,0\text{ }\mu\text{m}$ wiesen dabei Stromdichten von $0,35\text{ MA/cm}^2$, $0,21\text{ MA/cm}^2$ und $0,13\text{ MA/cm}^2$ bei $U_{DS} = 0,5\text{ V}$ und $U_{GS} = 2\text{ V}$ auf.[1] Dass die Stromdichte bei größeren Transistoren niedriger ausfällt kann verschiedene Gründe haben, die hier diskutiert werden sollen. Zunächst wird der Einfluss von Strompfaden, die über die Elektrodenfläche hinausgehen, diskutiert und anschließend eine nicht vollständige Tränkung des vFET durch den Elektrolyt überprüft.

4.5.1 Randströme

Die Abmessungen des aktiven Transistorbereichs werden beim gedruckten vFET nicht durch den gedruckten Halbleiter, sondern durch die lithographisch erstellen Source/Drain-Elektroden bestimmt. Herstellungsbedingt ist die mit Halbleiter bedruckte Fläche größer als die der Elektroden. Außerdem werden die lithographisch erstellten Source-Drain-Elektroden (wobei die eine vor, die andere nach dem Halbleiter-Druckprozess erstellt wird) mit einem zusätzlichen Überlapp von 100 nm erstellt, damit die Positionierung der zweiten Elektrode weniger sensitiv auf Positionsunge nauigkeiten ist. Aus diesen Gründen ist es plausibel, dass am Rand der Elektroden der Strom nicht nur eine senkrechte Komponente zum Substrat, sondern auch eine parallele Komponente aufweist. Anschaulich fließt dabei Strom aus dem Randbereich der Elektroden durch den angrenzenden Halbleiterbereich, der nur von einer der beiden Source/Drain-Elektroden bedeckt ist (siehe rote Pfeile in Abb. 4.13). Dies hat Auswirkung auf die berechnete Stromdichte pro Transistorgrundfläche, da mit der Elektrodengeometrie die reale aktive Fläche des vFET unterschätzt und die Stromdichte deshalb überschätzt wird. Die Auswirkung hat einen kleineren Effekt bei größeren vFET-Seitenlängen, da das Verhältnis von Randströmen zu Bulkströmen mit der vFET-Größe sinkt. In diesem Abschnitt wird deshalb der Anteil der Randströme am Gesamtstrom über ein vereinfachtes Simulationsmodell untersucht und abgeschätzt.

In der Simulation wird dazu nur der Randbereich des Transistors betrachtet. In zwei Simulationen auf einer quaderförmigen Geometrie wird der Stromfluss ohne und mit Randeffekten simuliert. Dazu wird das Volumen, in dem die Randströme fließen, einmal von der Simulation ausgenommen und einmal nicht. Die Differenz der Stromstärken mit und ohne Randbereich ergibt die Randstromstärke. Anschließend wird der Strom

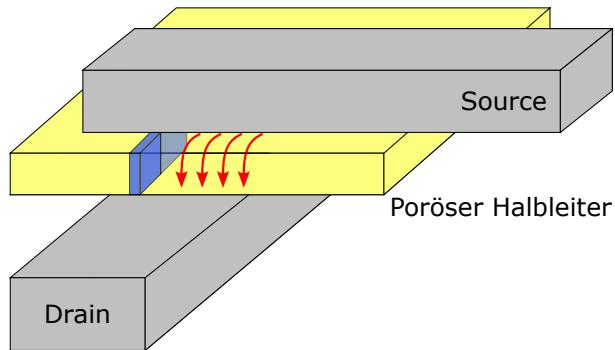


Abbildung 4.13: Schematische Darstellung der Source-/Drain-Elektroden sowie der Randströme (rot), die nicht senkrecht durch den Halbleiter (gelb) des vFET fließen. Die Randströme reichen über die angenommene aktive Fläche des vFET hinaus, die sich aus dem Überlapp der Source- und Drain-Elektroden ergeben. Blau eingezeichnet ist der Ausschnitt des Halbleiters, der in Abb. 4.14 dargestellt ist. Die Halbleiterschicht ist ca. 50 nm hoch. Die quadratische Überlappfläche der Source- und Drain-Elektroden beträgt 0,25 μm , 1 μm oder 2 μm . Der Halbleiter steht ca. 0,1 μm über die Ränder der Elektroden hinaus.

im Quader auf den Gesamtstrom in einem vollständigen vFET hochgerechnet.

Das Halbleitermaterial wird dazu als Quader angenähert. Für die Dicke des Quaders aus Halbleiter-Material werden 20 nm gewählt, was der typischen Domänenbreite entspricht. Die Höhe beträgt mit 50 nm die Höhe des gedruckten Halbleiters im vFET. Die Länge des Quaders beträgt 100 nm (Simulation ohne Randströme) bzw. 200 nm (Simulation mit Randströmen). Dies entspricht der Überlänge der Elektroden im Experiment. Mit dem Parametersatz aus Abschnitt 4.3 (Tab. 4.1 und 4.2) wurde dann wie zuvor eine 3D-Berechnung der Halbleitergleichungen in COMSOL 5.2 bei $U_{DS} = 0,5 \text{ V}$ und $U_{GS} = 2 \text{ V}$ durchgeführt.

Sowohl die Geometrie, die Verschaltung/Randbedingungen sowie die simulierten Stromvektoren (Länge proportional zum Logarithmus der Stromdichte) sind in Abb. 4.14 dargestellt. Abb. 4.14a zeigt die Simulation ohne Randeffekte. Die Stromvektoren stehen, wie erwartet, senkrecht auf den Source-/Drain-Elektroden. Die Stromstärke ist an nah den in der Zeichenebene liegenden Oberflächen erhöht (Leitungskanal), dort wurde in der Simulation die Gatespannung angelegt. In Abb. 4.14b wurde an den Quader ein weiterer Quader elektrisch leitend angefügt, der unten an die Drain-Elektrode kontaktiert, oben allerdings isoliert ist. Dies repräsentiert den Randbereich, in dem Source- und Drain-Elektrode nicht mehr überlappen. Auch dort ist die Stromstärke an der Gate-Elektrode erhöht. Im Inneren (links) des Transistors fließt der Strom weiterhin senkrecht zu den Source/Drain-Elektroden. Am Rand der von den Elektroden überdeckten Fläche dringt der Strom auch seitlich in den angefügten Randblock ein und fließt über die Drain-Elektrode am Substrat ab. An der Richtung und der Stärke des Stroms ist ersichtlich, dass die Simulationbox ausreichend groß gewählt wurde und Randeffekte durch die Simulation selbst nicht zu erwarten sind. In der Simulation kann die Stromstärke für beide Simulationsläufe mit dem Integral der Stromdichte über die Elektrodenfläche berechnet werden. Der Wert beträgt $\tilde{I}_{bulk} = 1,02 \cdot 10^{-5} \text{ A}$ ohne bzw.

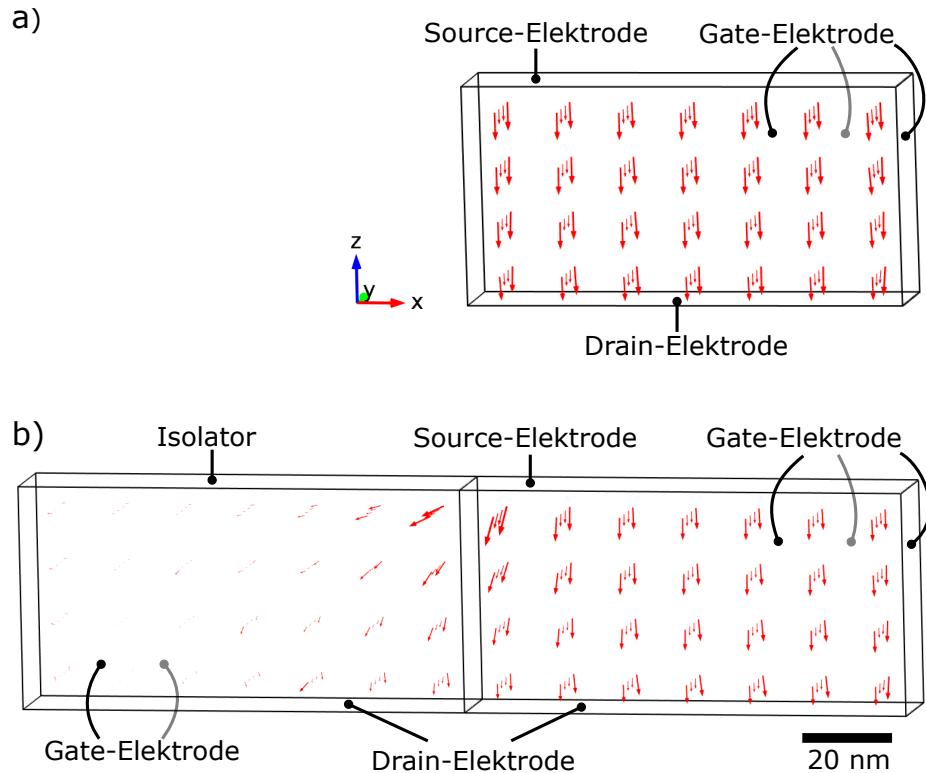


Abbildung 4.14: Dargestellt sind die quaderförmigen Modellsysteme zur Bestimmung der Randströme im vFET (siehe Abb. 4.13). Die Simulationsbox ist $100 \times 50 \times 20 \text{ nm}^3$ bzw. $200 \times 50 \times 20 \text{ nm}^3$ groß. Die Pfeile stellen die Stromdichtevektoren dar, die bei einer Gatespannung von 2 V und einer Source-Drain-Spannung von 0,5 V auftreten. Die Gatespannung ist an die Flächen in der xz-Ebene angelegt. a) zeigt die Stromvektoren der Simulation ohne den Randbereich. Die Vektoren zeigen von der Source-Elektrode direkt zur Drain-Elektrode, die Stromdichte ist nahe der Gate-Elektrode größer als im Inneren. In b) wurde ein Quader angefügt, der nur mit der Drain- und nicht mit der Source-Elektrode verbunden ist, d.h. Randströme können hier auftreten. Die Stromvektoren zeigen, dass Strom auch durch diesen Randbereich fließt, was bei der Bestimmung der aktiven Fläche des vFET bzw. der Stromdichte (also Stromstärke pro Grundfläche) berücksichtigt werden muss.

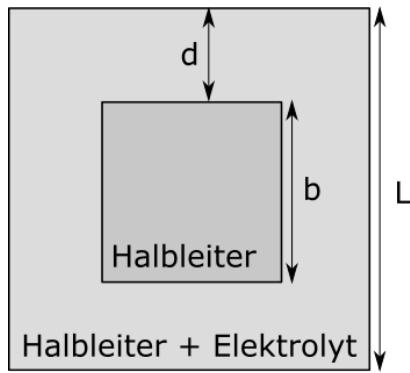


Abbildung 4.15: Schematische Aufsicht auf den vFET (Überlappfläche der Source-Drain-Elektrode) der Seitenlänge L . Es wird postuliert, dass im Inneren des vFET ein Quadrat der Seitenlänge b nicht vom Elektrolyt erreicht wird. Es bleibt eine Randschicht der Dicke d , in der der Halbleiter vom Elektrolyt durchdrungen ist. Nur in diesem Bereich wird der Halbleiter von der Gate-Spannung beeinflusst. Nach [1].

$1,21 \cdot 10^{-5}$ A mit Randströmen. Die Differenz dieser Werte ($\tilde{I}_{edge} = 1,9 \cdot 10^{-6}$ A) ist die Randstromstärke in Quader-Testsystem.

Aus diesem Wert lässt sich die Randstromstärke $I_{edge}(L)$ eines vFET der Seitenlänge L bestimmen, indem das Produkt aus dem Umfang $4 \cdot L$, der Randstromstärke pro Seitenlänge des Quader-Testsystems $\left(\frac{\tilde{I}_{edge}}{20 \text{ nm}}\right)$ und einem Morphologie-Korrekturfaktor k gebildet wird:¹

$$I_{edge,sim}(L) = 4 \cdot L \cdot \frac{\tilde{I}_{edge}}{20 \text{ nm}} \cdot k \quad (4.2)$$

Durch k wird berücksichtigt, dass der Halbleiter porös ist und damit nicht auf der gesamten Randlinie des vFET Randströme entstehen, sondern nur entlang der Halbleiterdomänen und nicht in Elektrolyt-Bereichen. An einem repräsentativen Teil der 3D-Morphologie (Abb. 4.3) wurde dazu die Zahl der Halbleiter-Elektrolyt-Übergänge bestimmt (diese bestimmen die Zahl der vertikalen Leitungskanäle). Auf 330 nm wurden 19 dieser Übergänge ermittelt. Würde das Quader-Testsystem im Block an eine Seite der 3D-Geometrie gesetzt, wären dort 33 Übergänge auf 330 nm vorhanden. Der Skalierungsfaktor beträgt damit $k = 19/33$.

Um von diesen Werten aus der Quadergeometrie auf den gesamten Transistor zu schließen, kann man zunächst die gemessene Stromstärke $I_{total}(L)$ um die berechnete Randstromstärke $I_{edge,sim}(L)$ korrigieren und daraus die um die Randströme korrigierte Stromdichte $J_{total,corrected}(L)$ des vFET berechnen:

$$J_{total,corrected}(L) = (I_{total,exp}(L) - I_{edge,sim}(L)) \cdot L^{-2} \quad (4.3)$$

In Tabelle 4.5 sind der gemessene Gesamtstrom durch den vFET bei $U_{DS} = 0,5$ V und $U_{GS} = 2$ V sowie die dazugehörige Stromdichte J_{total} [1], die aus Gleichung

¹Ab hier weicht die Untersuchung der Randströme von der publizierten[1] Argumentation ab. Im Abschnitt hier wird die poröse Struktur im Inneren des Transistors besser berücksichtigt, die Grundaussagen und Schlüsse sind allerdings gleich.

Tabelle 4.5: Aufgelistet sind die gemessene Stromstärke ($I_{total,exp}$) und -dichte ($J_{total,exp}$) bei $U_{DS} = 0,5\text{ V}$ und $U_{GS} = 2\text{ V}$, die aus der Simulation berechnete dazugehörige Randstromstärke $I_{edge,sim}$ (Gl. 4.2) sowie die daraus berechnete um die Randströme korrigierte Stromdichte $J_{total,corrected}$ (Gl. 4.3). Die Korrektur reduziert die Abhängigkeit der Stromstärke von der Seitenlänge L , die Abhängigkeit ist dennoch weiter vorhanden.

Seitenlänge L (μm)	0,25	1,0	2,0
$I_{total,exp}(L)$ (mA) [1]	0,22	2,1	5,2
$I_{edge,sim}(L)$ (mA)	0,055	0,22	0,44
$J_{total,exp}(L)$ (MA/cm^2)	0,35	0,21	0,13
$J_{total,corrected}(L)$ (MA/cm^2)	0,26	0,19	0,12

4.2 berechnete Randstromstärke $I_{edge,sim}$ sowie die aus Gleichung 4.3 berechnete korrigierte Stromdichte $J_{total,corrected}$ für die drei untersuchten Transistorseitenlängen L aufgelistet. Bei einer Seitenlänge von $0,25\text{ }\mu\text{m}$ beträgt der Randstrom ca. ein Viertel des Gesamtstroms, das Verhältnis sinkt bei $1,0\text{ }\mu\text{m}$ auf 10% und bei $2,0\text{ }\mu\text{m}$ auf 8%. Die gemessene Stromdichte nimmt mit der Größe des Transistors bei den untersuchten Größen um knapp $2/3$ ab. Im Vergleich dazu ist die um die Randströme korrigierte Stromdichte weniger von der vFET-Größe abhängig (Absenkung um gut 50%).

Aus den Daten folgt, dass die Randströme bei $L = 0,25\text{ }\mu\text{m}$ mit 25% zwar einen signifikanten Anteil am Gesamtstrom haben, die Randströme alleine aber die beobachtete Minderung der Dichte der Stromstärke nicht erklären können, weil dann die korrigierte Dichte der Stromstärke nicht mehr von L abhängen dürfte.

Eindringtiefe des Elektrolyt in den Halbleiter Die Stromstärke pro Transistorgrundfläche sinkt mit der Transistorgrundfläche ab, selbst wenn die Stromstärke um die Randströme korrigiert wird. Ein weiterer Grund für das beobachtete Sinken der Stromdichte könnte eine begrenzte Tränkung/Benetzung des porösen Halbleiters mit dem Elektrolyt sein. Eine endliche Eindringtiefe des Elektrolyten (der von den Seiten in den porösen Halbleiter des vFET eindringen muss) würden bedeuten, dass bei größeren Transistorgrundflächen das Zentrum des vFET nicht von der Gate-Spannung beeinflusst werden könnte. Da die Schwellspannung positiv ist, würde dieser Bereich in erster Näherung nicht zum Stromfluss bei $U_{GS} = 2\text{ V}$ beitragen. Die Stromstärke steige dann schwächer mit der Transistorgrundfläche an, da bei großen vFET nicht die gesamte Grundfläche zur aktiven Transistorfläche zählen würde.

Deshalb wird nun abgeschätzt, wie weit der Elektrolyt in den vFET eindringen müsste um den beobachteten Abfall der Stromdichte zu erklären. Es wird zunächst angenommen, dass das Halbleitermaterial des vFET mit der Seitenlänge $0,25\text{ }\mu\text{m}$ vollständig vom Elektrolyt durchdrungen ist. Dessen (um die Randströme korrigierte) Stromdichte (nach Gleichung 4.3) wird als Wert für den aktiven Bereich der vFET mit $1\text{ }\mu\text{m}$ bzw. $2\text{ }\mu\text{m}$ angenommen, die übrige Fläche als Isolator. Der reale Verlust λ

der Stromdichte bereinigt um die Randströme ergibt sich aus folgender Gleichung:

$$\lambda(L) = 1 - \frac{J_{total,corrected}(L)}{J_{total,corrected}(0,25 \mu\text{m})} \quad \text{für } L > 0,25 \mu\text{m} \quad (4.4)$$

Um die Eindringtiefe d daraus abzuschätzen, werden die in Abb. 4.15 gezeigten Größen definiert. Aus der Seitenlänge L und der Eindringtiefe d ergibt sich ein Quadrat der Seitenlänge b , das nicht vom Elektrolyt durchdrungen wird und deshalb nicht zum aktiven Bereich des Transistors gehört. Der in Gleichung 4.4 definierte Verlust der Stromdichte λ entspricht in Abbildung 4.15 dem Flächenverhältnis der Quadrate, $\lambda = \frac{b^2}{L^2}$. Daraus sowie aus $d = \frac{L-b}{2}$ lässt sich die Eindringtiefe d unter der Annahme der konstanten Stromdichte des leitenden Materials bestimmen:

$$d(L) = \frac{L}{2} \left(1 - \sqrt{\lambda(L)} \right) \quad \text{für } L > 0,25 \mu\text{m} \quad (4.5)$$

Mit Formel 4.4 und den Werten aus Tab. 4.4 ergeben sich die Werte $d(1,0 \mu\text{m}) = 0,24 \mu\text{m}$ und $d(2,0 \mu\text{m}) = 0,27 \mu\text{m}$. Diese Werte stimmen mit der Annahme überein, dass der Transistor mit 250 nm Seitenlänge vollständig durchdrungen ist. Die Berechnung war demnach selbstkonsistent. Mit den zwei Datenpunkten lassen sich zwar keine statistisch fundierte Aussagen machen, es unterstreicht aber die Möglichkeit, dass bei hohen Seitenlängen der Elektrolyt nicht in den gesamten vFET eindringt bzw. nicht das gesamte Halbleitermaterial über den Elektrolyt mit der Gate-Elektrode verbunden ist.

4.6 Zusammenfassung

Der vFET ist ein teilweise gedruckter FET mit einem Elektrolyt als Gate-Elektrode und einem Leitungskanal senkrecht zum Substrat, der es erstmals ermöglicht die Leitungskanallänge von der lateralen (Druck-)Auflösung zu entkoppeln. Gemeinsam mit der hohen inneren Oberfläche des porösen Halbleitermaterials konnte die Gruppe von Subho Dasgupta laterale Stromdichten senkrecht zum Substrat im MA/cm^2 -Bereich durch Messungen nachweisen.

Das Simulationsmodell der vorliegenden Arbeit wurde zunächst an Hand der vorliegenden Halbleitermorphologien aufgesetzt und in einem Fit ein physikalisch sinnvoller Parametersatz ermittelt, sodass ein digitaler Zwilling des vFET erstellt werden konnte der die Transfercharakteristik des realen vFET reproduziert. An Hand des Modells konnte gezeigt werden, dass bei der im Experiment vorliegenden Domänengröße es im Inneren der Domäne immer noch Bereiche gibt, die nicht von der Gatespannung beeinflusst werden und deshalb kleinere Domänen von Vorteil wären. Ein modifiziertes 2D-Modell konnte selbstkonsistent zeigen, dass die Domänen als unabhängig voneinander angesehen werden können da die Abklinglänge des elektrischen Felds im Elektrolyt kleiner ist als der Abstand der Domänen zueinander.

In zwei Parameterstudien konnte mit dem Modell der Einfluss der Domänengröße und der Dotierkonzentration auf die Transferkurven ermittelt werden. Dabei konnte bestätigt werden, dass kleinere Domänengrößen das On/Off-Verhältnis weiter

verbessern, größere Domänen das Schaltvermögen des vFET aber bis zur Funktionsunfähigkeit verhindern können. Aus den Transferkurven kann die Schwellspannung ermittelt werden, sie sinkt für steigende Domänengrößen. Die Dotierkonzentration wird indirekt über die Prozessierungsumgebung definiert und kann damit eingestellt werden. In der Simulation wurden die Transferkennlinien für Dotierkonzentrationen von $3 \cdot 10^{17} \text{ cm}^{-3}$ bis $3 \cdot 10^{19} \text{ cm}^{-3}$ erstellt. Bei niedrigen Dotierkonzentrationen sinkt der Strom durch den Transistor vor allem im Off-Zustand um mehrere Größenordnungen im Vergleich zur experimentell gemessenen Transferkurve. Die Schwellspannung steigt für niedrigere Dotierkonzentrationen an. Höhere Dotierkonzentrationen steigern den Stromfluss vor allem bei niedrigen Gatespannungen, sodass das Verhältnis von On- zu Off-Strom niedriger wird. Bei der höchsten untersuchten Dotierkonzentration ist das Transistorverhalten bereits gestört und das Bauteil nicht mehr sinnvoll nutzbar.

Die Schwellspannung U_{th} konnte beim vFET also aus einem gefitteten physikalischen Modell über simulierte Transferkennlinien bestimmt bzw. vorhergesagt werden. Die Berechnung der Schwellspannung ist dabei über die Definition aus der Transfercharakteristik geschehen. Daraus lassen sich zunächst keine Rückschlüsse über die physikalischen Mechanismen der Schwellspannung ableiten. Noch nicht bewiesen ist, wie der Sperrzustand des Akkumulations-FET zustande kommt. Ebenfalls unklar ist, welche Auswirkungen der Elektrolyt und damit einhergehende parasitäre Grenzschichtkapazitäten auf die Schwellspannung haben können. Dies wird im folgenden Kapitel eingehend diskutiert.

Die Fragestellung, welchen Anteil Randströme am Gesamtstromfluss haben, konnte mit dem digitalen Modell erfolgreich bearbeitet werden. Bei einer Seitenlänge von $L = 250 \text{ nm}$ ist ca. ein Viertel des Gesamtstroms ein Randstrom. Dieser Anteil sinkt mit dem Verhältnis von Umfang zu Fläche auf 8 % bei $L = 2 \mu\text{m}$. Im Simulationsmodell ist selbstkonsistent bestätigt worden, dass der gemessene vFET mit 250 nm Seitenlänge vollständig vom Elektrolyt durchdrungen ist und damit das gesamte Innere des gedruckten Halbleiter mit dem Gate kontaktiert ist. Bei Größen von über 500 nm ist aber mit einer nicht mehr vollständigen Durchdringung zu rechnen.

5 Schwellspannungs-Modell basierend auf Grenzschicht-Kapazitäten

Die Schwellspannung (engl. *threshold voltage*) eines FET kann sowohl mikroskopisch physikalisch als auch makroskopisch phänomenologisch definiert werden. Im vorherigen Kapitel zum vFET wurde die makroskopische Definition verwendet, bei der die Schwellspannung in einer Transferkennlinie den Off- und On-Zustand eines Transistors voneinander trennt. Diese Definition ist relevant für den Aufbau und Planung von elektrischen Schaltungen, wo die Schwellspannung insbesondere für Digitalschaltungen eine essentielle Größe ist.

Die mikroskopische Definition verwendet die elektronischen Eigenschaften des Halbleiters in einer Metall-Isolator-Halbleiter-Diode (siehe Abschnitt 2.2). Ein dotierter Halbleiter kann dabei im Zustand der Akkumulation, Verarmung oder Inversion sein. Die Schwellspannung kann dann definiert werden als Grenze zwischen Verarmung und Inversion. Diese Definition ist äquivalent zur makroskopischen Definition, da die Inversion in klassischen FET Voraussetzung für die Ausbildung eines Leitungskanals ist und erst ab dieser Spannung der FET in den On-Zustand übergeht.

Die mikroskopische Definition ist zunächst nicht auf die in dieser Arbeit untersuchten FET anwendbar, da die gedruckten EGFET nicht speziell dotiert werden sondern nur die für Metalloxide typische n-Dotierung durch Sauerstofffehlstellen o.ä. aufweisen. Somit sind keine sinnvollen gedruckten Inversions-FET möglich. Diese benötigen für eine effiziente Zu- bzw. Abführung der Ladungsträger an der Source- und Drain-Elektrode eine starke Dotierung, z.B. n-Dotierung für einen n-Leitungskanal. Allerdings ist es möglich, dass Oberflächen-Zustände an der Halbleiter-Elektrolyt-Grenzschicht sowie unterschiedliche Austrittsarbeiten der Stoffe zu einem Inversions-ähnlichen Verhalten führen.[37]

Bisher wurden parasitäre (Grenzschicht-)Kapazitäten des Elektrolyt mit allen angrenzenden Stoffen vor allem für die AC-Eigenschaften des Transistors als relevant angesehen, z.b. von Feng *et al.* als wichtige relevante Größe für die Schaltgeschwindigkeit für anorganische Top-Gate-EGFET.[143] Die Grenzschichten des Elektrolyt mit den angrenzenden elektrisch leitenden Stoffen verhalten sich dabei in guter Näherung wie ein Plattenkondensator. Im Gegensatz zum herkömmlichen Plattenkondensator entfällt das Isolatormaterial, die Energiebarriere des Übergangs von Ionen- zu Elektronenleitung stellt den Gateisolator dar. Der „Isolator“ im Elektrolyt-Leiter-Übergang ist damit minimal dünn (Helmholz-Doppelschicht, siehe Abschnitt 2.3). Da die Dicke des Isolators in einem Plattenkondensator invers proportional zur Kapazität ist, weißt auch die Elektrolyt-Halbleiter-Grenzschicht eine hohe Kapazität auf sodass auch bei niedrigen Spannungen eine hohe Gate-Ladung vorhanden ist. Dies erklärt die beobachteten niedrigen Betriebsspannungen von Elektrolyt-FETs. Für stationäre

Eigenschaften wie die Schwellspannung wurden die anderen Grenzschichtkapazitäten des Elektrolyt bisher nicht berücksichtig und als nicht relevant angesehen.

In diesem Kapitel dieser Arbeit wird erstmals ein neuartiges Modell für die Schwellspannung in Elektrolyt-Transistoren vorgestellt, auf den Grenzschichtkapazitäten des Elektrolyts mit allen angrenzenden Materialien basiert und zusammen mit experimentellen Daten sowie einem Schaltkreismodell publiziert wurde.[2] Es ist ein neuer Ansatz, dass die Grenzschichtkapazitäten des Elektrolyts auch für DC-Eigenschaften wie die Schwellspannung relevant sind. Mit dem Modell kann erstmals die Rolle der Grenzschichten des Elektrolyt im FET u.a. mit den Source-/Drain-Elektroden und der Kontakt des Elektrolyt mit einer metallischen Gate-Elektrode untersucht werden. Auch die Bedeutung der Verhältnisse der Grenzschichtkapazitäten zueinander können diskutiert werden. Hierarchisch ist das Modell zwischen der Betrachtung über Ladungsträgerdichten und der Betrachtung über die Transferkennlinien angesiedelt. Es steht nicht in Konkurrenz zu den bestehenden Modellen für die Schwellspannung, sondern ergänzt sie.

In Abschnitt 5.1 wird zunächst das qualitative Modell eingeführt und erklärt. Im Anschluss daran wird in Abschnitt 5.2 anhand eines Ersatzschaltbilds eines vereinfachten EGFET eine geschlossene Formel hergeleitet, die die Abhängigkeit der Schwellspannung von den Grenzschichtkapazitäten beschreibt und diskutiert. Anschließend wird das Modell in Abschnitt 5.3 in drei Beispielen auf reale Messdaten angewendet und diskutiert, wie das Modell das Verständnis der Elektrolyttransistoren verbessern kann.

5.1 Qualitatives Modell der Schwellspannung im EGFET basierend auf Grenzschicht-Kapazitäten

In diesem Abschnitt wird ein Modell für die Schwellspannung (engl. threshold voltage) U_{th} eingeführt, das von den Grenzschichtkapazitäten abhängt. Zunächst wird das Modell kurz motiviert, dann die Voraussetzungen und Annahmen vorgestellt. Anschließend wird das Modell am Beispiel eines gedruckten EGFET mit Top-Gate erläutert. Teile des qualitativen Modells wurden bereits im Rahmen dieser Arbeit in einem Aufsatz veröffentlicht[2].

5.1.1 Motivation

Die Schwellspannung U_{th} als wichtiger Parameter eines Transistors wird in der Literatur oft im Zusammenhang mit der sog. MIS-Diode (metal-insulator-semiconductor) hergeleitet und eingeführt [37]. In der MIS-Diode wird dabei ausschließlich der Gate-Stromkreis berücksichtigt. Dadurch werden Effekte vernachlässigt, die durch die Source-Drain-Spannung in einem Feldeffekttransistor entstehen und das Modell ist einfacher zu handhaben. Die Schwellspannung in einem herkömmlichen Inversions-Modus-FET wird dabei als die Gate-Spannung definiert, bei der die dotierten Ladungsträger im Leitungskanal-Volumen durch die Gate-Spannung bereits maximal verarmt wurden, die Inversion aber noch nicht eingesetzt hat (siehe Abschnitt 2.2).

Diese klassische Herangehensweise ist bei FETs im Akkumulations- statt Inversionsmodus zunächst nicht möglich, da der Übergang von der Verarmung zur Inversion bei kurzem Blick fehlt. Es ist allerdings möglich, über entsprechende Kontaktspotentiale einen negativen Offset in der Gatespannung zu erreichen. Dies führt zu einem ähnlichen Verhalten wie in einem Inversions-FET.

Unabhängig von der Kenntnis der Majoritäts- und Minoritäts-Ladungsträgerdichte ist es möglich, eine Verschiebung der Schwellspannung in Elektrolyt-Transistoren zu beschreiben. Dies wird im Folgenden erklärt und beschrieben.

5.1.2 Annahmen und Voraussetzungen

Das Schwellspannungs-Modell für Elektrolyt-Transistoren basiert auf einigen vereinfachenden Annahmen, die im folgenden Abschnitt aufgeführt und begründet werden sollen. Die Annahmen bedingen sich zum Teil gegenseitig.

- Frei bewegliche Ionen im Elektrolyt. Der genaue Mechanismus des Ladungstransports ist dabei nicht relevant. Die Ionen können an den Grenzschichten akkumulieren. Sie können also Doppelschichten nach Helmholtz, Stern oder Gouy-Chapman ausbilden (siehe Abschnitt 2.3). Das Elektrolyt-Volumen ist also ein elektrischer Leiter mit Ionen als Ladungsträger.
- DC-Betrieb. Es wird angenommen, dass alle angelegten elektrischen Spannungen zeitlich konstant sind und Einschalteffekte keine Rolle spielen. Das impliziert, dass alle geladenen Doppelschichten vollständig ausgebildet sind.
- Kein Gatestromfluss. Da die Doppelschichten ausgebildet sind, fließt kein Verschiebungsstrom. Außerdem sollen keine Leckströme vorhanden sein.
- Keine chemischen (Redox-)Reaktionen während des Betriebs. Die Gate-Spannung muss so niedrig sein, dass durch sie keine chemische Reduktion oder Oxidation an den Elektrolyt-Grenzschichten stattfindet.
- Ladungserhaltung im Elektrolyt, ausgeglichene Nettoladung. Ohne chemische Reaktionen bleibt die Zahl der Kationen und Anionen im Elektrolyt zeitlich konstant.
- Vernachlässigbare Source-Drain-Spannung. Diese Spannung wird nicht berücksichtigt, deshalb gilt das Modell nur, wenn das elektrische Feld durch die Source-Drain-Spannung klein gegenüber dem Feld durch die Gate-Spannung ist, analog zur MIS-Dioden-Modell bei konventionellen Feldeffekttransistoren.

Der letzte Punkt ist genau genommen keine Voraussetzung für das Modell, vereinfacht allerdings die Argumentation und erlaubt damit eine Diskussion analog zur MIS-Diode. In Abschnitt 5.2, wird ein geschlossener Ausdruck für die Schwellspannung hergeleitet, dort wird die Source-Drain-Spannung tatsächlich vernachlässigt.

5.1.3 Beschreibung und Diskussion des Modells

Betrachtet man einen gedruckten Elektrolyt-Transistor im Querschnitt (z.B. Abb. 5.1), ergibt sich der Gate-Stromkreislauf zwischen (Top-)Gate und der Source-Elektrode über die Bestandteile des EGFET. Top-Gate und Source/Drain-Elektrode sind jeweils außerhalb der Zeichenebene mit der Spannungsquelle kontaktiert. Diese Spannung, die von (Top-)Gate zur Source-Elektrode abfällt, ist die Gatespannung (U_{GS}). Sie fällt an der Reihenschaltung Top-Gate, Elektrolyt und der Kombination aus Halbleiter, Source- und Drain-Elektrode ab. Die Source/Drain-Elektrode und der Halbleiter werden analog zur MIS-Diode als Einheit betrachtet. Sie befinden sich auf dem gleichen elektrischen Potential, da die Source/Drain-Spannung hier vernachlässigt wird. In Abb. 5.1 und 5.2 ist die Source-Elektrode deshalb geerdet, die Drain-Elektrode ist über den Halbleiter und die Source-Elektrode ebenfalls geerdet.

Im Folgenden wird die Ladungsverteilung im Elektrolyt betrachtet, wenn eine positive Gate-Spannung angelegt ist (siehe Abb. 5.1). Die Oberfläche der Top-Gate-Elektrode ist positiv geladen, insbesondere sammelt sich positive Ladung an der Grenzschicht zum Elektrolyt an. Diese Ladung wird im Elektrolyten an der Grenzschicht durch die Akkumulation von Kationen und Verarmung von Anionen kompensiert, die Summe der Ladung auf beiden Seiten der Grenzschicht ist 0. Die Doppelschicht ist damit ausgebildet. Würde eine Netto-Ladung auf einer Seite der Doppelschicht bleiben, würde durch das entstehende elektrische Feld Ladung ab- oder zufließen, bis das elektrische Feld abgebaut ist.

Das innere des Elektrolyt muss aus der gleichen Überlegung heraus ebenfalls feldfrei sein, da ein elektrisches Feld zu einer Verschiebung der freien Ladungsträger (Ionen) führt, wie in jedem elektrisch leitfähigen Material mit äußerem elektrischen Feld im Gleichgewicht (ohne Nettostrom durch eine zusätzlich angelegte Spannung). Da sich negative Ladung am der Grenzschicht zum Top-Gate angesammelt hat und die Ladungskonzentration im inneren des Elektrolyt ausgeglichen sein muss, muss sich die Gegenladung an den anderen Grenzschichten des Elektrolyt ansammeln. Konkret bedeutet das, dass sich eine positive Ladung an der Grenzschicht zum Halbleiter, zu den Source/Drain-Elektroden, zum Substrat und zur Umgebung ansammeln muss. Die Ladungsmenge an jeder Grenzschicht hängt dabei von der Grenzflächenkapazität ab. Diese Kapazität hängt vom Flächeninhalt der Grenzflächen selbst (Abmessungen des Transistors) und der Kapazität pro Fläche ab. Die Kapazität pro (Grenz-)Fläche hängt nur von den beteiligten Materialien und deren Beschaffenheit ab.

Die Ladung an der Halbleitergrenzschicht schaltet den Halbleiter über den Feldeffekt und ist damit für den Transistorbetrieb relevant (siehe Abschnitt 2.2). Sie führt zu einem elektrischen Feld im Halbleiter und bestimmt über den Feldeffekt dort die Ladungsträgerdichte und Leitfähigkeit. Genauer gesagt ist die Ladungsdichte an der Elektrolyt-Halbleiter-Grenzschicht physikalisch relevant, da das Gaußsche Gesetz aus den Maxwellgleichungen Ladungsdichte und elektrische Flussdichte verknüpft:

$$\vec{\nabla} \cdot \vec{D} = \rho \quad (5.1)$$

Aus der Nettoladung an der Elektrolyt-Halbleiter-Grenzschicht wird also mit der Bauteilgeometrie, den dielektrischen Eigenschaften der Materialien und der Gate-

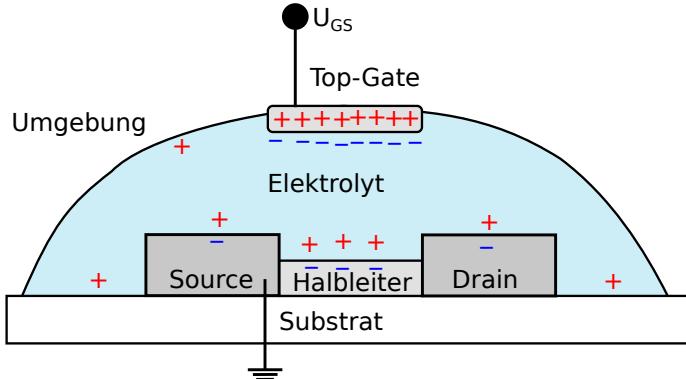


Abbildung 5.1: Schematische Darstellung eines gedruckten Elektrolyt-Transistors sowie der Ladungsverteilung unter einer positiven Gate-Spannung in der Seitenansicht. Source- und Drain-Elektrode sind auf dem gleichen elektrischen Potential (MIS-Diode). Eine geladene Doppelschicht hat sich am Topgate-Elektrolyt-Interface ausgebildet. An allen anderen Grenzschichten des Elektrolyts hat sich im Elektrolyt positive Ladung entsprechend der Grenzfächenkapazitäten akkumuliert. Die Ladungsdichte am Elektrolyt-Halbleiter-Interface bestimmt die Leitfähigkeit des Halbleiters über den Feldeffekt.

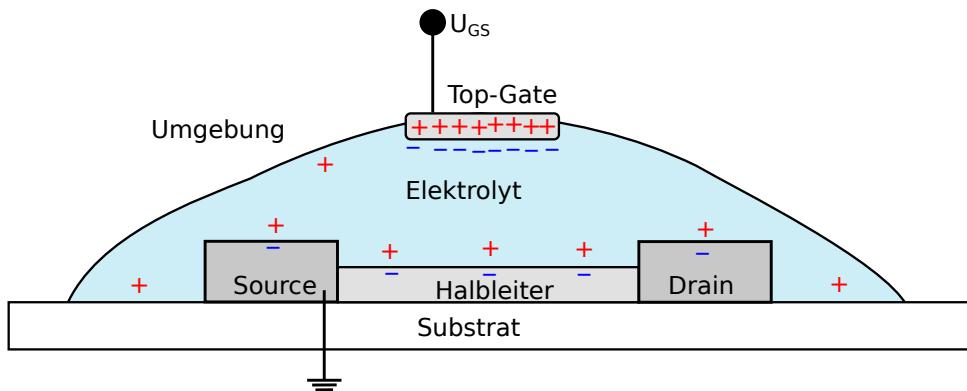


Abbildung 5.2: Schematische Darstellung eines gedruckten Elektrolyt-Transistors mit längeren Halbleiter-Kanal als in Abb. 5.1 sowie der Ladungsverteilung unter einer positiven Gate-Spannung in der Seitenansicht. Alle anderen Abmessungen wurden beibehalten. Source- und Drain-Elektrode sind wieder auf dem gleichen elektrischen Potential (MIS-Diode). Die Ladung verteilt sich über eine größere Fläche, damit sinkt das elektrische Feld im Halbleiter bei der gleichen Gate-Spannung.

Spannung ein elektrisches Feld definiert, das in den Halbleiter eindringt. Im EGFET ist zu erwarten, dass viel Ladung an den Source/Drain-Elektrode anliegt, da in den Elektroden aus ITO (also hoch dotiertem Indiumoxid) die Ladungsdichte materialbedingt groß ist. Analog sollte die Grenzflächenkapazität zum Substrat (als Isolator) klein und an der Umgebung (Isolator mit niedriger Permittivität) noch kleiner sein.

Um den Zusammenhang zur Schwellspannung herzustellen, soll kurz noch einmal anschaulich daran erinnert werden, was die Schwellspannung aussagt. Auf Bauteilebene sagt sie aus, ab welcher Gate-Spannung ein Transistor durchschaltet. Mikroskopisch gehört laut den vorigen Absätzen zur Schwellspannung ein bestimmter Wert an Majoritäts- und Minoritätsladungsträgern im Halbleiter an der Grenzschicht zum Elektrolyt. Die Schwellspannung definiert also auch eine bestimmte elektrische Feldstärke, die nach Gleichung 5.1 einer bestimmten Ladungsdichte an der Elektrolyt-Halbleiter-Grenzschicht entspricht. Die Schwellspannung und die dazugehörige Ladungsdichte an der Halbleiter-Elektrolyt-Grenzschicht beschreiben also auf unterschiedliche Weise den selben physikalischen Zustand einmal makroskopisch und einmal mikroskopisch.

Um nun die Einflüsse auf die Schwellspannung zu diskutieren, können äquivalent die Einflüsse auf die Ladungsdichte am Elektrolyt-Halbleiter-Interface analysiert werden. Variiert man beispielsweise ausschließlich die Leitungskanallänge des Transistors, muss sich die Ladung auf eine größere Fläche verteilen (siehe Abb. 5.2). Das bedeutet, eine höhere Gate-Spannung ist nötig, um die selbe Ladungsdichte am Elektrolyt-Halbleiter-Interface herzustellen wie zuvor. Anders ausgedrückt, die Schwellspannung ist in einem Transistor mit längeren Leitungskanal (und sonst identischen Flächeninhalten) in diesem Modell höher.¹

Eine Besonderheit dieses Modells ist, dass es nicht in Konkurrenz zu anderen Schwellspannungs-Modellen steht, die z.B. auf Materialeigenschaften basieren. Das Grenzschichtkapazitäts-Modell kann also parallel und unabhängig zu anderen Erklärungsansätzen aus der Literatur wie die Dotierung[144, 145], Materialrisse [146] oder Trap-Zustandsdichten [147, 148] stehen.

Bisher nicht berücksichtigt wurden Kontaktspannungen zwischen Elektroden und Elektrolyt und an anderen Grenzschichten, da sie lediglich zu einem Offset der Ladung an der jeweiligen Grenzschicht führen und somit die vorgestellten physikalischen Zusammenhänge nicht ändern. Mit Kontaktspannungen könnten Doppelschichten auch bereits ohne Gatespannung ausgebildet sein. Um die Diskussion nicht unnötig zu verkomplizieren, wurde auf diesen Einfluss nicht weiter eingegangen. In Abschnitt 5.2.4 wird die Relevant von Kontaktspannungen näher diskutiert.

In der obigen Beschreibung wurde ebenfalls zur Vereinfachung die Source-Drain-Spannung vernachlässigt. Wird sie berücksichtigt, liegt die Drain-Elektrode auf einem anderen Potential als die Source-Elektrode und die Ladungsdichten an der Grenzschichten zum Elektrolyt unterscheiden sich. Die Ladungsdichte am Halbleiter-Elektrolyt-

¹Dabei ist anzumerken, dass die Ladung am Topgate-Elektrolyt-Interface nicht unabhängig von der Gegenladung an den anderen Grenzschichten zu betrachten ist und die zur Verfügung stehende Gesamtladung von den Grenzschichtkapazitäten abhängt. Hier ist aber zunächst wichtig, dass eine Veränderung der Flächenverhältnisse zu einer Änderung der Schwellspannung führt. Im nächsten Abschnitt (5.2) erfolgt eine tiefgehendere Analyse, die alle Grenzschichten zugleich berücksichtigt.

Übergang ist dann durch das zusätzliche elektrische Feld nicht mehr homogen. Die grundsätzlichen Aussagen aus der Ladungserhaltung im Elektrolyt und der Ladungsverteilung an den Grenzflächen ändern sich nicht.

5.2 Berechnung der Schwellspannung über die Ladungsdichte am Elektrolyt-Halbleiter-Übergang

Bisher wurde das Modell im vorigen Kapitel 5.1 qualitativ und phänomenologisch vorgestellt. In diesem Kapitel soll nun eine geschlossene mathematische Formel für die Schwellspannung abhängig von materialspezifischen Konstanten, den Kontaktkapazitäten und den Grenzflächeninhalten hergeleitet werden. Dafür wird in diesem Kapitel zunächst ein Ersatzschaltbild des EGFET (mit Top-Gate) sowie die darin enthaltenen Größen eingeführt und mit den Kirchhoffsschen Regeln für die weitere Rechnung relevante Relationen im Kontext des Ersatzschaltbilds definiert. Dann wird mit Hilfe dieser Definitionen ein geschlossener Ausdruck für die Ladungsdichte an der Halbleiter-Grenzschicht unter den Annahmen aus den Abschnitt 5.1.2 hergeleitet. Im Anschluss wird diskutiert, welche Rolle davor nicht berücksichtigte Kontaktspannungen in EGFET haben. Anschließend wird der Ausdruck in eine geschlossene Darstellung der Schwellspannung umgeformt und diskutiert.

5.2.1 Ersatzschaltbild des Gate-Stromkreises

Zuerst soll ein Ersatzschaltbild des Gate-Stromkreises eines EGFET mit Top-Gate definiert werden. In Abb. 5.3a sind noch einmal schematisch sämtliche Grenzschichtkapazitäten im EGFET dargestellt und farblich markiert. Die Gate-Spannung U_{GS} liegt zwischen der Top- und Source-Elektrode an und fällt an den Kapazitäten im Transistor ab. Ein Spannungsabfall durch ohmsche Verluste wird vernachlässigt, da Leckströme nicht modelliert werden und die Gate-Spannung als zeitlich konstant angenommen wird (siehe Abschnitt 5.1.2).

In Abb. 5.3b ist das zu a) gehörige Ersatzschaltbild für den Gate-Stromkreislauf dargestellt. Der Transistor besteht im Modell aus einer Reihenschaltung der Kapazität der (Top-)Gate-Elektrolyt-Grenzschicht mit einer Parallelschaltung aus allen anderen Grenzschichten des Elektrolyten (mit dem Halbleiter, den Source/Drain-Elektroden, dem Substrat und der Umgebungsluft). Alle parallel geschalteten Grenzschichten sind im Modell geerdet, da zum einen die Spannungsquellen an den Elektroden geerdet sind und das Substrat und die Umgebung als Isolatoren die Feldlinien letztlich zur Erdung durchdringen lassen. Dies ist analog zu einer einzelnen Kugel, auf die Ladung aufgebracht wird und von der deshalb sowohl ein elektrisches Feld ausgeht als auch eine Potentialdifferenz zur Erdung vorherrscht. In anderen Worten, auch eine einzelne Kugel oder allgemein Elektrode ohne explizite (bzw. unendlich weit entfernte) Gegenelektrode weiß eine Kapazität auf[149](Abschnitt 1.5.2.2, Gl. 1.46b). Deshalb muss an allen Grenzflächen Ladung akkumulieren, wobei die Menge der Ladung von den lokalen Kapazitäten abhängt.

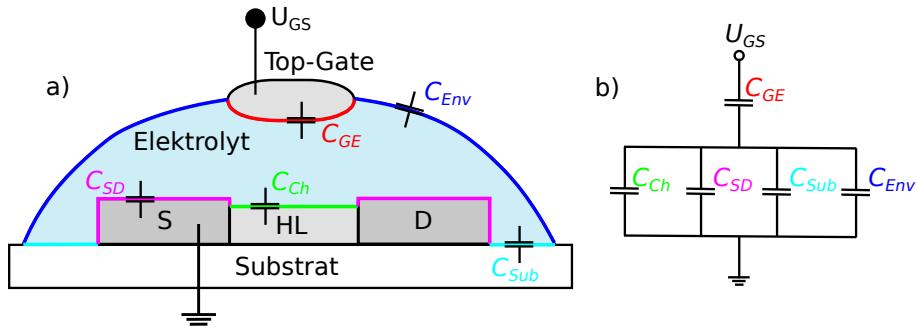


Abbildung 5.3: a) Seitenansicht eines EGFET mit farblich markierten Grenzflächen und den dazugehörigen Grenzschichtkapazitäten: (Top-)Gate zu Elektrolyt C_{GE} , Elektrolyt zu Halbleiter (zwischen den Source-Drain-Elektroden) C_{Ch} , Elektrolyt zu Source-Drain-Elektroden C_{SD} , Elektrolyt zum Substrat C_{Sub} und Elektrolyt zur restlichen Umgebung C_{Env} . b) Ersatzschaltbild des Gate-Stromkreislaufs mit allen Grenzschichtkapazitäten, wobei sämtliche Elektroden geerdet wurden wie in der MIS-Diode.

Für die Formeln werden die folgenden Symbole für die Grenzschicht-Kapazitäten C_x eingeführt, die auch in Abb. 5.3a dargestellt sind:

- C_{GE} (*Gate Electrode*) Kapazität der Grenzschicht zwischen Gate-Elektrode und Elektrolyt. Die Grenzschicht beschreibt die gesamte Kontaktfläche zwischen Gate-Elektrode und Elektrolyt, umfasst also sowohl ein Top-Gate (falls vorhanden) als auch die planaren Elektroden (falls in Kontakt mit dem Elektrolyt).
- C_{Ch} (*Channel*) Kapazität der Grenzschicht zwischen dem Elektrolyt und dem Halbleiter, genauer dem Halbleitermaterial zwischen der Source- und Drain-Elektrode (dem potentiellen Leitungskanal). Gebiete mit Halbleitermaterial, das auf den Source-Drain-Elektroden liegt, wird hier explizit ausgeschlossen und zur Elektrodenfläche gezählt.
- C_{SD} (*Source Drain*) Kapazität der Grenzschicht zwischen Elektrolyt und der Source- und Drain-Elektrode.
- C_{Sub} (*Substrate*) Kapazität der Grenzschicht zwischen Elektrolyt und Substrat, also alle übrigen Kontaktflächen mit dem Wafer.
- C_{Env} (*Environment*) Kapazität der übrigen Grenzschicht zwischen Elektrolyt und der Umgebungsatmosphäre.

Im Folgenden werden auch die Spannungen U_x , die Ladungen Q_x der Grenzschicht-Kapazitäten sowie die dazugehörigen Flächeninhalte A_x der Grenzschichten mit den gleichen Indizes gekennzeichnet.

Für die Herleitung werden weitere Relationen benötigt, die nun eingeführt werden. In einer Parallelschaltung von Kondensatoren fällt an allen Kondensatoren die gleiche Spannung ab, im Ersatzschaltbild in Abb. 5.3b trifft das auf die unteren vier

Grenzschicht-Kapazitäten zu. Zur Vereinfachung wird diese Spannung als U_{NG} (*Not Gate*) bezeichnet:

$$U_{Ch} = U_{SD} = U_{Sub} = U_{Env} \equiv U_{NG} \quad (5.2)$$

Die dazugehörige Ladung Q_{NG} ist die Summe aus den Einzelladungen in der Parallelschaltung:

$$Q_{NG} \equiv Q_{Ch} + Q_{SD} + Q_{Sub} + Q_{Env} \quad (5.3)$$

In einer Reihenschaltung von Kondensatoren ist die Ladung auf jedem Kondensator gleich (d.h. $Q_{GE} = Q_{NG}$) und entspricht der Gesamtladung Q_{tot} des Bauteils des Ersatzschaltbilds:

$$Q_{tot} \equiv Q_{GE} = Q_{NG} \quad (5.4)$$

Mit diesen Definitionen lautet die Gesamtkapazität C_{tot} des Ersatzschaltbilds

$$C_{tot} = \left(\frac{1}{C_{GE}} + \frac{1}{C_{NG}} \right)^{-1} = \frac{C_{GE} \cdot C_{NG}}{C_{GE} + C_{NG}} \quad (5.5)$$

Die extern angelegte Gate-Spannung U_{GS} fällt nach der Kirchhoff'schen Maschenregel über den gesamten Transistor ab und verteilt sich in der Reihenschaltung auf die beiden Spannungen U_{GE} und U_{NG} :

$$U_{GS} = U_{GE} + U_{NG} \quad (5.6)$$

Aus $Q_{tot} = Q_{NG}$ aus Gleichung 5.4 folgt außerdem:

$$U_{GS} \cdot C_{tot} = U_{NG} \cdot C_{NG} \Leftrightarrow U_{NG} = U_{GS} \cdot \frac{C_{tot}}{C_{NG}} \quad (5.7)$$

5.2.2 Herleitung der Ladungsdichte am der Halbleiter-Grenzschicht

Mit den Gleichungen 5.4 und 5.3 lässt sich die Ladung Q_{Ch} an der Elektrolyt-Halbleiter-Grenzschicht beschreiben:

$$Q_{Ch} = Q_{tot} - Q_{SD} - Q_{Sub} - Q_{Env} \quad (5.8)$$

Die Ladungen können auch als Produkt der jeweiligen Spannung und Kapazität beschrieben werden:

$$= C_{tot} \cdot U_{GS} - U_{SD} \cdot C_{SD} - U_{Sub} \cdot C_{Sub} - U_{Env} \cdot C_{Env} \quad (5.9)$$

Dann kann mit Hilfe der Gleichung 5.2 die Spannung U_{NG} ausgeklammert werden:

$$= C_{tot} \cdot U_{GS} - U_{NG} \cdot (C_{SD} + C_{Sub} + C_{Env}) \quad (5.10)$$

Gleichung 5.3 vereinfacht den Ausdruck in der Klammer:

Der Ausdruck in der Klammer kann mit dem zu Gleichung 5.3 analogen Zusammenhang der Kapazitäten vereinfacht werden:

$$= C_{tot} \cdot U_{GS} - U_{NG} \cdot (C_{NG} - C_{Ch}) \quad (5.11)$$

Dann wird U_{NG} mit der Gleichung 5.7 ersetzt:

$$= C_{tot} \cdot U_{GS} - U_{GS} \cdot \frac{C_{tot}}{C_{NG}} \cdot (C_{NG} - C_{Ch}) \quad (5.12)$$

Diesen Ausdruck kann man noch mit Ausklammern umschreiben:

$$= C_{tot} \cdot U_{GS} \left(1 - \frac{1}{C_{NG}} (C_{NG} - C_{Ch}) \right) \quad (5.13)$$

Sowie vereinfachen:

$$= C_{tot} \cdot U_{GS} \cdot \frac{C_{Ch}}{C_{NG}} \quad (5.14)$$

Ersetzt man C_{NG} wieder, erhält man:

$$Q_{Ch} = C_{tot} \cdot U_{GS} \cdot \frac{C_{Ch}}{C_{Ch} + C_{SD} + C_{Sub} + C_{Env}} \quad (5.15)$$

Um die Gesamtkapazität C_{tot} zu eliminieren, kann man Gleichung 5.5 in Gleichung 5.14 einsetzen:

$$\begin{aligned} Q_{Ch} &= C_{tot} \cdot U_{GS} \cdot \frac{C_{Ch}}{C_{NG}} \\ &= U_{GS} \cdot \frac{C_{GE} \cdot C_{NG}}{C_{GE} + C_{NG}} \cdot \frac{C_{Ch}}{C_{NG}} \\ &= U_{GS} \cdot \frac{C_{GE} \cdot C_{Ch}}{C_{GE} + C_{NG}} \end{aligned} \quad (5.16)$$

Ersetzt man C_{NG} durch die Summe der Einzelkapazitäten, erhält man den Ausdruck:

$$Q_{Ch} = U_{GS} \cdot \frac{C_{GE} \cdot C_{Ch}}{C_{GE} + C_{Ch} + C_{SD} + C_{Sub} + C_{Env}} \quad (5.17)$$

Die Gleichungen 5.15 und 5.17 beschreiben in geschlossener Form die Ladung an der Elektrolyt-Halbleiter-Grenzschicht abhängig von der angelegten Gate-Spannung und den einzelnen Grenzschicht-Kapazitäten.

Später ist allerdings nicht die Ladung, sondern die Ladung pro Fläche (Ladungsdichte) relevant, da die Ladungsdichte an der Elektrolyt-Halbleiter-Grenzschicht das elektrische Feld im Halbleiter und damit die Leitfähigkeit des Halbleiters bestimmt. Die Gleichungen 5.15 und 5.17 lassen sich trivial umschreiben in Gleichungen für die

Ladungsdichte, indem beide Seiten der Gleichung durch den Flächeninhalt A_{Ch} der Elektrolyt-Halbleiter-Grenzschicht geteilt wird:

$$\frac{Q_{Ch}}{A_{Ch}} = C_{tot} \cdot U_{GS} \cdot \frac{\frac{C_{Ch}}{A_{Ch}}}{C_{Ch} + C_{SD} + C_{Sub} + C_{Env}} \quad (5.18)$$

$$= U_{GS} \cdot \frac{C_{GE} \cdot \frac{C_{Ch}}{A_{Ch}}}{C_{GE} + C_{Ch} + C_{SD} + C_{Sub} + C_{Env}} \quad (5.19)$$

Die Kapazität pro Fläche $\frac{C_{Ch}}{A_{Ch}}$ ist keine Konstante. Sie hängt zum einen von den Grenzschicht-Materialien und zum anderen von der Gatespannung ab. Letzteres folgt daraus, dass die Zustandsdichte um das Fermi-Niveau von der Gate-Spannung abhängen muss, da ansonsten die Leitfähigkeit des Transistors unabhängig von der Gatespannung wäre.

5.2.3 Herleitung des geschlossenen Ausdrucks für die Schwellspannung

Gesucht ist ein geschlossener Ausdruck für die Schwellspannung, der beschreibt, wie die Schwellspannung von den Grenzschicht-Kapazitäten abhängt. Dazu wird in Gleichung 5.19 die Gate-Spannung U_{GS} auf die Schwellspannung U_{th} eines imaginären Transistors gesetzt. Die Ladungsdichte, die sich daraus ergibt, ist entsprechend die Ladungsdichte bei der Schwellspannung. Im Folgenden werden Größen, für die $U_{GS} = U_{th}$ gilt, mit dem Subskript th gekennzeichnet. Für die Ladungsdichte $\left(\frac{Q_{Ch}}{A_{Ch}}\right)_{th}$ der Halbleiter-Elektrolyt-Doppelschicht bei der Schwellspannung gilt also:

$$\left(\frac{Q_{Ch}}{A_{Ch}}\right)_{th} = U_{th} \cdot \frac{C_{GE} \cdot \frac{C_{Ch}}{A_{Ch}}}{C_{GE} + C_{Ch} + C_{SD} + C_{Sub} + C_{Env}} \quad (5.20)$$

Aufgelöst nach der Schwellspannung U_{th} erhält man:

$$\begin{aligned} U_{th} &= \left(\frac{Q_{Ch}}{A_{Ch}}\right)_{th} \cdot \frac{C_{GE} + C_{Ch} + C_{SD} + C_{Sub} + C_{Env}}{C_{GE} \cdot \frac{C_{Ch}}{A_{Ch}}} \\ &= \left(\frac{Q_{Ch}}{A_{Ch}}\right)_{th} \cdot \left(\frac{C_{Ch}}{A_{Ch}}\right)^{-1} \cdot \left(1 + \frac{C_{Ch} + C_{SD} + C_{Sub} + C_{Env}}{C_{GE}}\right) \end{aligned} \quad (5.21)$$

Dies ist eine geschlossene Darstellung der Schwellspannung, die von der konstanten Ladungsdichte am Halbleiter-Elektrolyt-Übergang bei der Schwellspannung, der variablen Kapazität pro Fläche der selben Grenzfläche sowie allen Grenzschicht-Kapazitäten des Elektrolyten abhängt.

Die Vorfaktoren in Formel 5.21 lassen sich noch einmal umschreiben. Zum einen kann die Grenzfläche A_{Ch} gekürzt werden, zum anderen kann das Verhältnis aus der Ladung $(Q_{Ch})_{th}$ und der Grenzschichtkapazität C_{Ch} in die mikroskopische Grenz-

schichtspannung $(U_{Ch})_{th}$ umgeformt werden:

$$\begin{aligned} U_{th} &= \left(\frac{Q_{Ch}}{C_{Ch}} \right)_{th} \cdot \left(1 + \frac{C_{Ch} + C_{SD} + C_{Sub} + C_{Env}}{C_{GE}} \right) \\ &= (U_{Ch})_{th} \cdot \left(1 + \frac{C_{Ch} + C_{SD} + C_{Sub} + C_{Env}}{C_{GE}} \right) \end{aligned} \quad (5.22)$$

Dies ist eine weitere, alternative geschlossene Darstellung der Schwellspannung. Die Größe $(U_{Ch})_{th}$ beschreibt dabei die Spannung, die sich aus der Ladungsseparation an der Elektrolyt-Halbleiter-Grenzschicht bei $U_{GS} = U_{th}$ ergibt. Die Ladungsseparation führt zu einem elektrischen Feld, das über den Feldeffekt die Leitfähigkeit des Halbleiters und damit den Transistor steuert. In die Stärke des elektrischen Felds fließt neben der Spannung auch die Länge der Helmholtz-Doppelschicht im Elektrolyt.

Die Grenzschicht-Kapazitäten hängen (wie in jedem herkömmlichen Kondensator) u.a. von der Fläche ab. Sieht man die Doppelschicht als Plattenkondensator an, ergibt sich die Kapazität aus der Fläche A , dem Abstand der Ladungen d (der Dicke der Doppelschicht) sowie der elektrischen Feldkonstanten ϵ_0 und der Permittivität ϵ_r :

$$C = \epsilon_0 \epsilon_r \frac{A}{d}, \quad (5.23)$$

Es muss beachtet werden, dass die gedruckten Materialien eine raue Oberfläche haben und deshalb die reale mikroskopische Fläche nicht der makroskopischen Fläche entspricht. Die mikroskopische Fläche ist dennoch direkt proportional zu den makroskopischen Abmessungen.

Die Ladungsdichte am Halbleiter-Elektrolyt-Übergang bei der Schwellspannung $\left(\frac{Q_{Ch}}{A_{Ch}}\right)_{th}$ und die mikroskopische Spannung am Elektrolyt-Halbleiter-Übergang $(U_{Ch})_{th}$ sind physikalische Größen, die u.a. von den elektronischen Eigenschaften des Halbleiters (Position des Fermi-Niveaus durch Dotierung beim Herstellungsprozess, Trap-Zustände etc.) anhängen. Die Dicke des Halbleiters kann auch eine Rolle spielen wenn der Halbleiter dünner als die Debye-Länge im Halbleiter ist, dies ist bei den in dieser Arbeit untersuchten Transistoren aber nicht zu erwarten. Es ist anzunehmen, dass diese Ladungsdichte bei der Schwellspannung für einen bestimmten Typ von Transistor (also für eine bestimmte Abfolge von Herstellungsschritten und Materialien aus dem selben Herstellungsbatch) konstant ist. Von Randeffekten abgesehen, ist auch nicht zu erwarten, dass die Abmessungen des Transistors eine Rolle spielen. Möglicherweise spielen Umgebungseffekte sowohl bei der Herstellung als auch bei der Lagerung während der Messung eine Rolle, wobei die Abweichungen innerhalb eines Herstellungs-Batchs kleiner sein sollten als zwischen verschiedenen Batches. Die Luftfeuchtigkeit der in dieser Arbeit untersuchten EGFET wurde während des Druckens und Messens auf 50% rel. Luftfeuchtigkeit geregelt.

Wie schon in Abschnitt 5.1.3 beschrieben, wurden auch hier die Kontaktspannungen für eine einfachere Beschreibung vernachlässigt. Um sie zu berücksichtigen, müssten Spannungsoffsets gemäß den Austrittsarbeiten auf die einzelnen Grenzschichtspannungen addiert werden. Die Rechnung verkompliziert sich, an den grundsätzlichen Überlegungen ändert sich allerdings nichts. Eine qualitative Diskussion findet im

nachfolgenden Abschnitt 5.2.4 statt, wo auch näher beschrieben wird, warum Kontaktspannungen für einen Vorzeichenwechsel der Schwellspannung notwendig sind.

Ebenfalls nicht berücksichtigt wurde die Source-Drain-Spannung U_{DS} . Vikash *et al.*[150] konnten in Simulationen zeigen, dass in organischen Elektrolyt-Transistoren die Source-Drain-Spannung für die Ladungsverteilung nicht generell vernachlässigt werden kann. Führt man U_{DS} ein und ändert so das Modell von einer MIS-Diode zu einem vollen Transistor (Triode), ändert sich zunächst das elektrische Potential der Drain-Elektrode und graduell das des Halbleiters (Erdungspunkt bleibt die Source-Elektrode). Rechnerisch addiert sich U_{DS} auf die Spannung der Drain-Elektrode. Das elektrische Potential ändert sich kontinuierlich von der Drain-Elektrode über den Halbleiter bis zur Source-Elektrode. Vereinfachend könnte die Spannung der Halbleiter-Elektrolyt-Grenzschicht auf den Mittelwert der Source- und Drain-Elektrode gesetzt werden.

Diese Näherungen sind allerdings sehr grob, weshalb nicht weiter auf das erweiterte Modell eingegangen wird. Zukünftige Arbeiten könnten auf die Auswirkungen der Source-Drain-Spannung genauer eingehen.

Im Rahmen dieser Arbeit wurden bereits versucht, eine gekoppelte Simulation des Elektrolyten und des Halbleiters (jeweils Drift-Diffusions-Modell, einmal Nernst-Planck-Poisson-Gleichungen, einmal Halbleitergleichungen genannt) durchzuführen. Grundlage war ein COMSOL-Modell eines Ionensensitiven Feldeffekttransistors (chemischer Sensor) [151]. Allerdings konnte für das darauf aufbauende Modell eines EGFETs keine Lösung berechnet werden, da das hochlineare Modell nicht konvergierte. Verschiedenste Ansätze, von Netzanpassungen über Geometrieänderungen bis hin zu Vorberechnungen von Anfangsbedingungen, halfen nicht. Auch das hinzugezogene nationale und internationale Supportteam sowie das Entwicklungsteam der Simulationssoftware COMSOL konnte keine weiteren Tipps geben, die das Modell nicht den physikalisch wichtigen Zusammenhängen beraubt. Das Vorgehen und Zwischenergebnisse sind im Anhang in Abschnitt 8.3 zusammengefasst.

5.2.4 Bedeutung von Kontaktspannungen

In diesem Abschnitt wird genauer diskutiert, was Kontaktspannungen im Rahmen des Grenzschichtkapazitäts-Modells bewirken. Bildet sich an einer beliebigen Grenzschicht im EGFET auch ohne angelegte Spannungen eine Doppelschicht aus oder bildet sich z.B. durch eine Redoxreaktion eine Monolage an einer Grenzfläche, führt dies auch an allen anderen Grenzschichten zu einer geladenen Doppelschicht. Insbesondere die Halbleiter-Elektrolyt-Grenzschicht kann also auch ohne von außen angelegte Spannungen bereits geladen sein. Umgekehrt bedeutet das, dass bei einer bestimmten Gatespannung $U_{GS,0} \neq 0 \text{ V}$ die Halbleiter-Elektrolyt-Grenzschicht ungeladen ist. In einem EGFET ohne Kontaktspannung entspricht der physikalische Zustand des Halbleiters (als aktivem Material) bei $U_{GS} = 0 \text{ V}$ also dem Zustand in einem EGFET mit Kontaktspannung bei $U_{GS} = U_{GS,0}$. Dabei ist zu beachten, dass $U_{GS,0}$ keine Konstante ist, sondern wie U_{th} von allen Grenzschichtkapazitäten sowie den Kontaktspannungen abhängt.

Damit kann erklärt werden, wie die Schwellspannung durch Änderungen der Grenz-

schichtkapazitäten einen Vorzeichenwechsel vollziehen kann. Nach Gleichung 5.22 hat U_{th} eigentlich das gleiche Vorzeichen wie die Konstante $(U_{Ch})_{th}$. Nach obiger Argumentation ist die Skala der Gatespannung U_{GS} mit Kontaktspannungen allerdings verschoben gegenüber dem Fall ohne Kontaktspannung wie in Gleichung 5.22. Damit ist ein Vorzeichenwechsel der Schwellspannung möglich.

Anschaulich ist das in einem n-Halbleiter z.B. dann der Fall, wenn durch Vorspannungen bei $U_{GS} = 0\text{ V}$ der Transistor bereits leitet und eine negative Gatespannung nötig ist, um die Schwellspannung zu erreichen und den Transistor in den off-Zustand zu bringen. U_{th} ist deshalb negativ. Verändert man an diesem EGFET die Grenzschichtkapazitäten so, dass der Einfluss der Vorspannung geringer wird, kann man erreichen, dass U_{th} positiv wird. Dieser EGFET ist dann bei $U_{GS} = 0\text{ V}$ im off-Zustand und eine positive Gatespannung ist nötig, um ihn in den on-Zustand zu bringen.

5.3 Anwendung des Modells auf reale Systeme

In diesem Abschnitt wird das vorgestellte Schwellspannungs-Modell auf Fragestellungen aus dem realen Laborbetrieb angewendet. Zum einen werden experimentell beobachtete Abhängigkeiten erklärt, zum anderen die Abhängigkeiten von experimentell zugänglichen Grenzflächeninhalten diskutiert.

5.3.1 Skalierung der Schwellspannung mit der Länge des Leitungskanals

In Experimenten wurde von Gabriel Marques beobachtet, dass die Schwellspannung von EGFETs mit Top-Gate mit der Veränderung der Länge des Leitungskanals (d.h. dem Abstand der Source-Drain-Elektroden) skaliert werden kann. Das in diesem Kapitel vorgestellte Modell bietet eine mögliche Erklärung, warum die Schwellspannung von der Länge, nicht aber der Breite des Leitungskanals abhängt. Die experimentellen Ergebnisse von Gabriel Marques sowie August Arnal Rus, die von mir erarbeitete Erklärung sowie eine empirische Modellierung für Schaltungssimulationen von Farhan Rasheed wurden in der Veröffentlichung *Channel Geometry Scaling Effect in Printed Inorganic Electrolyte-Gated Transistors* publiziert [2]. In dieser Arbeit werden die Daten aus dem Experiment sowie die Erklärung der Schwellspannungs-Abhängigkeit von der Leitungskanallänge noch einmal beschrieben.

Experimentelles Setup

Im Vergleich zum vFET sind in-plane-EGFET einfacher im Aufbau und erlauben einen größeren gedruckten Anteil. Am INT wurden in-plane EGFET für diese Arbeit von der Arbeitsgruppe von Prof. Dr. Jasmin Aghassi-Hagmann und Dr. Ben Breitung hergestellt. Schematisch ist der Aufbau in Abb. 5.4 dargestellt. Herkömmliche EGFET (ohne Top-Gate) besitzen eine Gate-Elektrode, die die L-förmigen Souce-/Drain-Elektroden möglichst weit umschließt. Der Elektrolyt überlappt sowohl mit dem Gate als auch dem Halbleiter. Die Grenzflächen sollten groß gewählt werden, um eine gute

Verschaltung zu gewährleisten. Nachteilig ist die große Grenzschichtkapazität des Elektrolyts mit den Source-/Drain-Elektroden. Ebenso ist der effektive Abstand von Gate zu Halbleiter nicht beliebig verringrbar, da sie in einer Ebene liegend über den Elektrolyt aus der Ebene heraus verschaltet sind.

Um diese Nachteile zu beheben, kann ein Top-Gate eingefügt werden. Es besteht aus einem Streifen aus PEDOT:PSS, das auf den Elektrolyt gedruckt wird. Es sinkt leicht in den Elektrolyt ein und bildet eine große Grenzfläche mit dem Elektrolyt aus. Das Top-Gate leicht über die gesamte Länge des Halbleiters gedruckt werden, sodass die Strompfade im Elektrolyt kürzer werden und die Schaltgeschwindigkeit verbessert wird. Zusätzlich muss der Elektrolyt nicht mehr die Source-/Drain-Elektroden bedecken, sondern sollte nur annähernd den Halbleiter überdecken.

Der Herstellungsprozess der in-plane-EGFET am INT soll exemplarisch am Top-Gate-EGFET skizziert werden wie er von Marques *et al.* entwickelt wurde.[146, 152] Zunächst werden auf einem mit ITO beschichteten Substrat die Leiterbahnen und Elektroden über einen Laser oder einen Elektronenstrahl lithographisch erstellt. Dann wird mit einem Tintenstrahldrucker (z.B. DIMATIX 2831) der Halbleiter-Precursor (Indiumsalze mit Hilfsstoffen wie Oxidationsmittel) zwischen Source- und Drain-Elektrode in einer Kammer mit definierter Temperatur und Luftfeuchtigkeit gedruckt. Das gesamte Substrat mit Precursor muss dann ausgeheizt werden. Dabei wandelt sich der Precursor in polykristallines In_2O_3 um. Ebenfalls in der Klimakammer wird anschließend der Elektrolyt bestehend aus DMSO als Lösungsmittel, PVA als Matrix, $LiClO_4$ für die elektrische Leitung sowie PC auf die EGFET gedruckt. Je nach Transistor-Typ wird anschließend noch das Top-Gate aus PEDOT:PSS im gleichen Verfahren gedruckt.

Experimentelle Daten

Gabriel Marques und August Arnal Rus hatten systematisch den Einfluss der Länge und der Breite des Leitungskanals auf die charakteristischen Eigenschaften (Schwellspannung und Transkonduktanz) der Top-Gate-EGFETs untersucht. Dafür wurden für alle Kombinationen der Längen von 10 µm bis 100 µm und Breiten von 200 µm bis 600 µm Transferkennlinien (Source-Drain-Strom über der Gatespannung) und Outputkennlinien (Source-Drain-Strom über der Source-Drain-Spannung) gemessen. Für jede Kombination aus Breite und Länge wurden 10 Transistoren (insgesamt 180) hergestellt. Im nächsten Schritt wurden von Farhan Rasheed und mir die Daten aller defekten Transistoren aussortiert, sodass Daten von 90 Transistoren verblieben. Die Kriterien für defekte Transistoren waren dabei:

- Ist der Stromfluss (z.B.) durch die Source-Elektrode bei einer Gatespannung von -0,5 V (Leckstrom) größer als 100 nA, deutet dies entweder auf unerwünschte Strompfade zwischen den Source- und Drain-Elektroden hin, oder das leitfähige Polymer des Top-Gates ist zu weit in den Elektrolyt abgesunken und berührt eine der Elektroden.
- Sprünge in der Stromstärke weisen auf Kontaktchwierigkeiten entweder im Bauteil selbst oder in der Kontaktierung mit dem Messgerät hin.

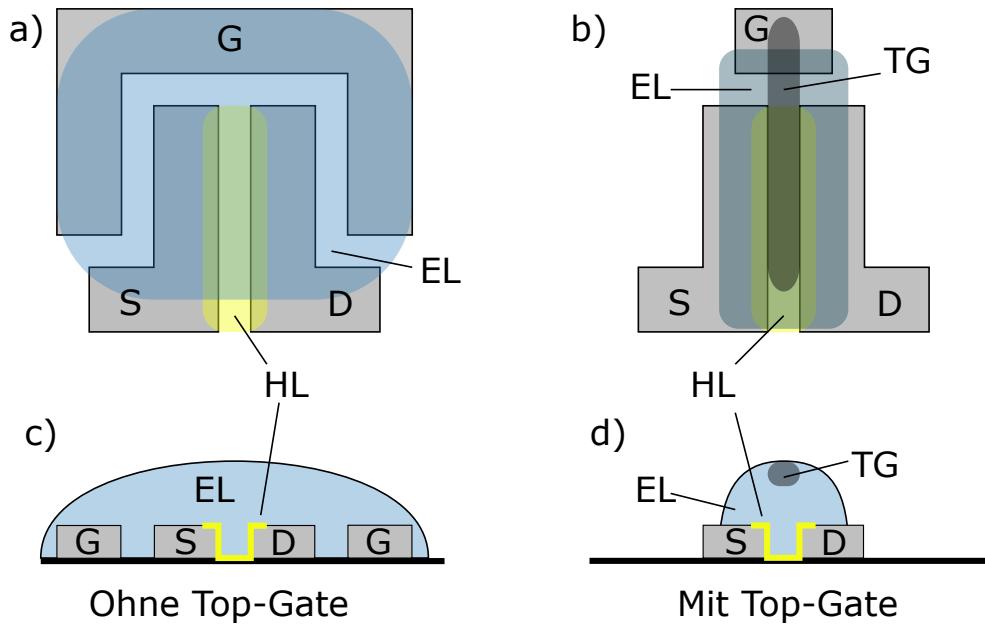


Abbildung 5.4: Schematische Darstellung eines EGFET ohne Top-Gate (a,c) und mit Top-Gate (b,d) von oben (a,b) und im Schnittbild (c,d) wie z.B. von den Partnern am INT erstellt wurden. Ohne Top-Gate ist die Gate-Elektrode (G) (ITO) groß und umschließt einen möglichst großen Teil des EGFET. Der Elektrolyt (EL) soll eine möglichst große Grenzfläche mit dem Gate haben. Zwischen Source(S)- und Drain(D)-Elektrode ist der gedruckte Halbleiter (HL) aufgebracht. Mit Top-Gate ist die ITO-Gate-Elektrode klein und dient hauptsächlich als Anschluss für das Top-Gate, das auf den Elektrolyt gedrückt wird. Mit Top-Gate ist die Qualität des EGFET verbessert, da der Gate-Widerstand durch die verkürzte Leitungsstrecke im Elektrolyt niedriger ist und unerwünschte Grenzschichtkapazitäten mit den Source-/Drain-Elektroden verringert sind.

- Fehlendes nichtlineares Verhalten, was auf weitere unerwünschte ohmsche Leitungspfade hindeutet.

Beispiele für defekte und funktionierende Output- und Transferkennlinien sind im Anhang im Abschnitt 8.2 abgebildet.

Aus den Transfer-Kennlinien der übrigen Transistoren wurde jeweils die Schwellspannung im linearen ($U_{GS} = 0.2\text{ V}$) und gesättigten ($U_{GS} = 1.0\text{ V}$) mit der H-Integral-Methode [142] jeweils die Schwellspannung berechnet. Diese Methode ist für Dünnschichttransistoren (TFT) besonders gut geeignet und robust [38]. Die Ergebnisse sind in Abb. 5.5 über der Leitungskanal-Länge L und der -Breite W dargestellt. Die Kreuze beschreiben die Schwellspannung individueller Transistoren, die durchgezogenen Linien verbinden die Mittelwerte der jeweiligen Leitungskanal-Geometrien. Die Schwellspannung U_{th} steigt sowohl im linearen als auch im gesättigten Regime mit der Leitungskanal-Länge L . Im Bereich von L von $10\text{ }\mu\text{m}$ bis $100\text{ }\mu\text{m}$ steigt U_{th} um ca. $0,2\text{ V}$ bis $0,25\text{ V}$. Die Steigerung von U_{th} mit L ist im linearen Transistorregime annähernd linear. Im gesättigten Regime sinkt die Steigung leicht mit L . Im Gegensatz dazu hängt U_{th} im Bereich von $200\text{ }\mu\text{m}$ bis $600\text{ }\mu\text{m}$ nicht von der Breite des Leitungskanals W ab.

Diskussion der Erklärungsansätze in der Literatur

Es existieren bereits einige Studien zum geometrischen Skalierungsverhalten von EGFETs. Liu *et al.*[153] berichten, dass in OTFTs die Schwellspannung mit der Leitungskanallänge L sinkt, für $L > 40\text{ }\mu\text{m}$ sich aber nicht mehr ändert. Sie erklären dies mit dem Einfluss des Kontaktwiderstandes, der mit größerem L abnimmt. Dies ist allerdings eine gegenteilige Beobachtung zum EGFET-Verhalten in dieser Arbeit. Lee *et al.*[154] berichten über steigende Schwellspannungen für größere L (im Bereich $5\text{-}50\text{ }\mu\text{m}$) für a-InZO-TFTs, trotz Korrektur auf die Kontaktwiderstände. Sie führen das beobachtete Verhalten auf Hystereseffekte, die die Schwellspannung während einer Messung in diesen Materialien driften lassen. Mondal *et al.*[147] beobachteten in EGFETs ebenfalls einen Anstieg der Schwellspannung mit L im Bereich von $5\text{-}100\text{ }\mu\text{m}$, geben aber keine Erklärung dafür an. Leppäniemi *et al.*[155] berichten, dass die Schwellspannung in gedruckten In_2O_3 mit der Dicke der Halbleiterschicht abnimmt. Dieser Effekt könnte nur dann zu einer L-Abhängigkeit der Schwellspannung führen, wenn das ausgeheizte Hableitermaterial nahe den Source-Drain-Elektroden dicker wäre als in der Mitte des Leitungskanals. Für die EGFET kann das zwar nicht ausgeschlossen werden, allerdings wäre dieser Effekt erneut ein Elektrodeneffekt. Mit steigendem L würde dieser Effekt weniger relevant werden. Dies allein ist keine zufriedenstellende Erklärung des beobachteten Verhaltens.

Generelle *short channel* Effekte wie z.B. das sog. *Drain-induced barrier lowering (DIBL)*[37] wurde in ähnlichen Systemen (amorphes gesputtertes InSnZnO von 25 nm Dicke) erst bei L unter $8\text{ }\mu\text{m}$ beobachtet.[156] Wäre DIBL für die U_{th} -Verschiebung verantwortlich, müsste der Effekt bei größeren L verschwinden und U_{th} konstant werden oder zumindest signifikant abflachen. Mit Leitungskanal-Längen von $10\text{ }\mu\text{m}$ bis $100\text{ }\mu\text{m}$ sind die EGFETs demnach nicht im Bereich klassischer *short channel*-Effekte. Generell müssen Elektrodeneffekte mit zunehmender Leitungskanallänge in

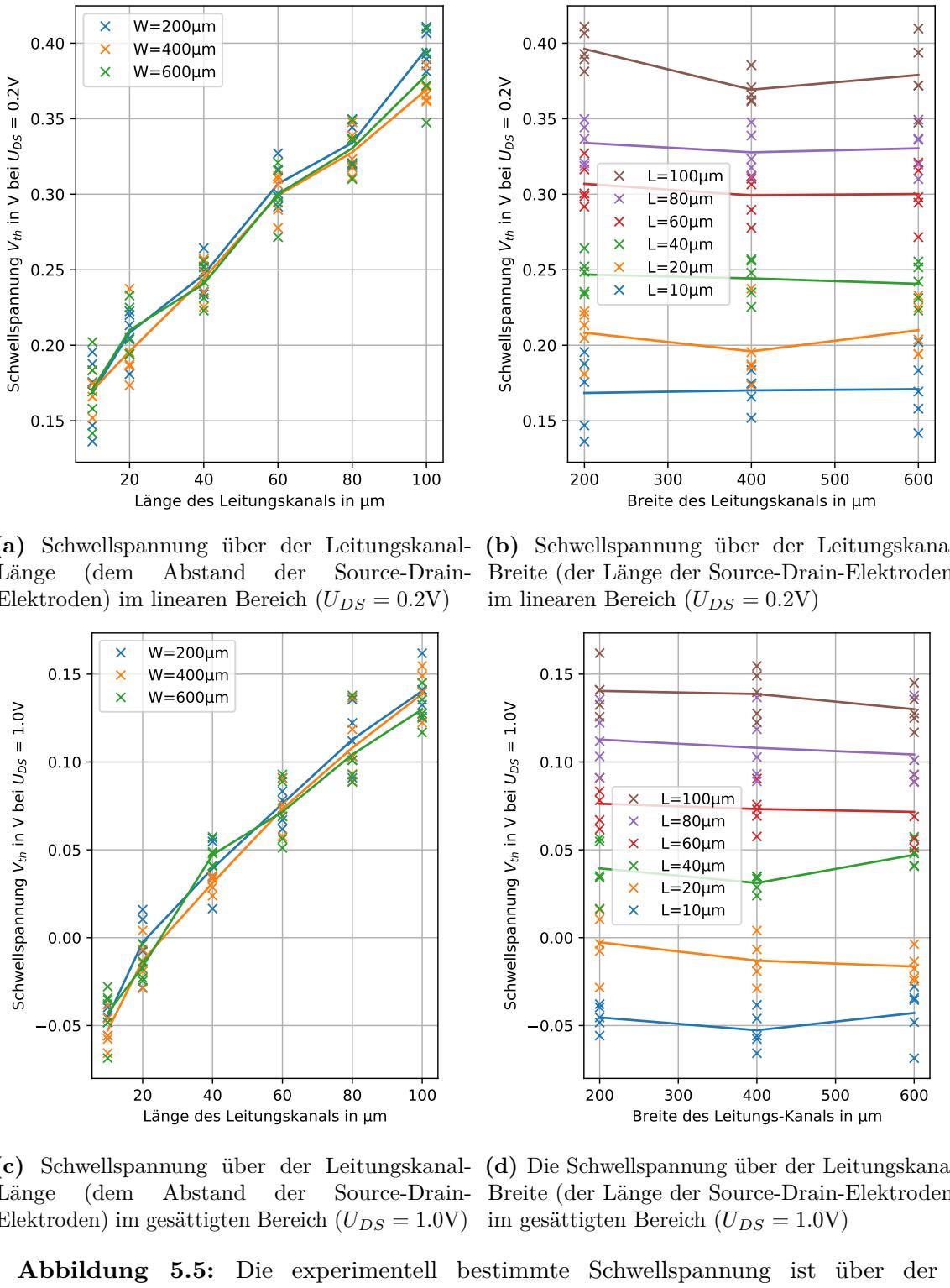


Abbildung 5.5: Die experimentell bestimmte Schwellspannung ist über der Leitungskanal-Länge (a),(c) sowie der Leitungskanal-Breite (b),(d) sowohl im linearen (a),(b) Bereich von $U_{GS} = 0.2\text{ V}$ als auch im gesättigten (c),(d) Bereich von $U_{GS} = 1.0\text{ V}$ dargestellt. Die Schwellspannung wurde aus Transferkennlinien mit der H-Integral-Methode [38, 142] bestimmt. Die einzelnen Punkte beschreiben jeweils die Schwellspannung eines Transistors, die durchgezogene Linien verbinden zu besseren Übersichtlichkeit die Mittelwerte für jede Leitungskanal-Geometrie. Daten und Darstellung adaptiert nach [2].

den Hintergrund treten gegenüber *bulk*-Effekten, da *bulk*-Effekte im Gegensatz zu Elektrodeneffekten mit L skalieren. In den experimentellen Daten ist aber von 10 µm bis 100 µm kein signifikantes Abflachen der Abhängigkeit zu sehen. Elektrodeneffekte sind demnach unplausibel für das beobachtete Verhalten. In der Literatur gibt es demnach bisher keine allgemein zufriedenstellende Erklärung für die Sensitivität der Schwellspannung im Bezug auf die Geometrie von EGFET.

Erklärung der Daten an Hand des Grenzflächenkapazitätsmodells

Das im vorigen Abschnitt dieser Arbeit vorgestellte Grenzflächenkapazitäts-Modell für die Schwellspannung in Elektrolyt-Transistoren kann eine mögliche Erklärung für das beobachtete Skalierungsverhalten geben. Dazu wird zunächst noch einmal auf den Druckprozess selbst eingegangen und dann erläutert, welche Konsequenzen das gemäß dem Grenzschichtkapazitäts-Modell haben kann. Beim Drucken des Top-Gates achten die Experimentatoren laut Surya Abhishek Singaraju und Gabriel Marques darauf, dass das Top-Gate den gesamten Halbleiter-Bereich zwischen den Source-Drain-Elektroden bedeckt, aber möglichst nicht über die Source/Drain-Elektroden ragt. Da das leitfähige Polymer auf den Elektrolyt aufgedruckt wird, kann sich die Form und die Ausmaße des Top-Gates verändern (z.B. verbinden, zerfließen oder schrumpfen).

Die Experimentatoren geben an, dass die minimale realistisch erreichbare Breite des Top-Gates lateral ca. 40 µm beträgt. Dies ist im Einklang mit den Angaben des Herstellers für den genutzten Drucker *Dimatix Materials Printer DMP-2831*, der ein minimales Tropfenvolumen von 1 pl[157, 158] (entspricht einem idealen Tröpfchen-durchmesser von ca. 10 µm) und einen nominalen Durchmesser des gedruckten Punkts von 30 µm[159] angibt. Das Top-Gate wird auf den Elektrolyt aufgedruckt, auf dem sich das Druckmaterial weiter verteilen wird als auf einem reinen Substrat. Es ist also plausibel, dass die reale minimale Druckbreite größer ist als die nominell angegebenen Werte. Durch den Druckprozess selbst ist die Präzision beim Drucken des Top-Gates demnach limitiert.

Da die Breite der Source-Drain-Elektroden von 200 µm bis 600 µm reicht und somit eine Größenordnung über der Druckgenauigkeit liegt, ist davon auszugehen, dass die Größe des Top-Gates mit der Breite des Leitungskanals skaliert. Die Länge des Leitungskanals befindet sich mit 10-100 µm dagegen in der gleichen Größenordnung wie die herstellungsbedingt minimale Breite des Top-Gates. Bei Leitungskanal-Längen von 10-40 µm ist eine einzelne gedruckte Linie demnach bereits breit genug (bzw. zu breit), um den Bereich zwischen den Source-Drain-Elektroden zu überdecken. Erst ab 40 µm ist mehr als ein gedruckter Streifen an leitfähigem Polymer nötig. Es ist daher davon auszugehen, dass die Fläche des Top-Gates zun einen gut mit der Breite W des Leitungskanals skaliert, zum anderen mit der Länge L etwas schlechter skaliert da das Top-Gate druckbedingt bei kleinen L bereits zu groß ist.

Es ist dabei unbekannt, wie genau die Grenzfläche zwischen dem Top-Gate und dem Elektrolyt skaliert. Beispielsweise spielt auch die unterschiedliche Oberflächenspannung zwischen dem Top-Gate und dem Elektrolyt sowie dem Substrat und den Elektroden eine Rolle, da sich das Top-Gate-Material unterschiedlich stark an die unterschiedlichen

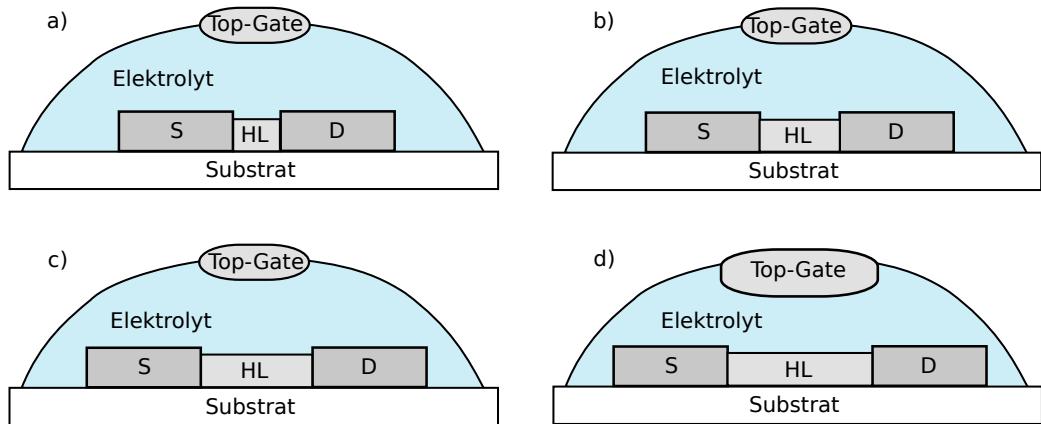


Abbildung 5.6: Schematische Darstellung der Skalierung der Leitungskanal-Länge (Abstand Source-Drain-Elektrode) und der Größe des Top-Gates, die grundsätzlich auf gleicher Größe gehalten werden sollen. Von a) nach d) vergrößert sich der Abstand der Source- und Drain-Elektrode. Die minimale Größe des Top-Gates ist technisch bedingt begrenzt und führt dazu, dass in a) bis c) die Größe noch konstant ist und erst in d) vergrößert wurde.

Materialien binden wird. Lichtmikroskopisch lässt sich zwar die Überdeckung des Channel-Bereichs prüfen, die genaue Skalierung der Grenzflächen aber nicht.

Die vermutete reale Skalierung des Top-Gates ist noch einmal in Abb.5.6 schematisch und nicht maßstabsgerecht dargestellt. Von a) nach d) wird der Abstand der Source- und Drain-Elektrode vergrößert und damit die Länge des Leitungskanals vergrößert. Das Top-Gate ist zunächst technisch bedingt breiter als der Abstand der Elektroden (a,b), erreicht die selbe Größe wie der Halbleiter (c) und muss für noch größere Leitungskanal-Längen durch einen weiteren gedruckte Linie vergrößert werden (d).

Im U_{th} -Modell bedeutet dies, dass die Größe der Grenzschicht zwischen Top-Gate (gedruckt) und Elektrolyt schwächer mit der Leitungskanal-Länge skaliert als die der Halbleiter-Elektrolyt-Grenzschicht. Aus den Gleichungen 5.21 und 5.22 folgt, dass U_{th} mit der Elektrolyt-Halbleiter-Grenzfläche (C_{Ch}) steigt. Nach obiger Überlegung skaliert die Top-Gate-Grenzfläche schwächer mit L als die Halbleiter-Grenzfläche, sodass sich die Änderungen der Kapazitäten nicht aufheben und die Schwellspannung sich ändert. Im Gegensatz dazu skaliert die Top-Gate-Grenzfläche und die Halbleiter-Grenzfläche gleichermaßen mit W , sodass (wie im Experiment gezeigt) die Schwellspannung nicht von der Breite W des Leitungskanals abhängt. Durch den größeren Elektrolyt-Bereich bei größerem L und W steigt genau genommen auch die Grenzschichtkapazität C_{Env} , die aber wegen der verschwindend geringen absoluten Kapazität vermutlich gegenüber den anderen Kapazitäten keine Rolle spielt. Dass U_{th} im Experiment einen Vorzeichenwechsel aufweist bedeutet in dem Modell, dass die Grenzflächen Kontaktspannungen aufweisen (siehe Abschnitt 5.2.4), was in der Realität der Normalfall sein sollte.

Das bedeutet zusammengefasst, dass das Grenzschichtkapazitäts-Modell der Schwellspannung ein Ansteigen der Schwellspannung mit der Leitungskanallänge L in den untersuchten Top-Gate-EGFET erklären kann. Gleichzeitig kann erklärt werden,

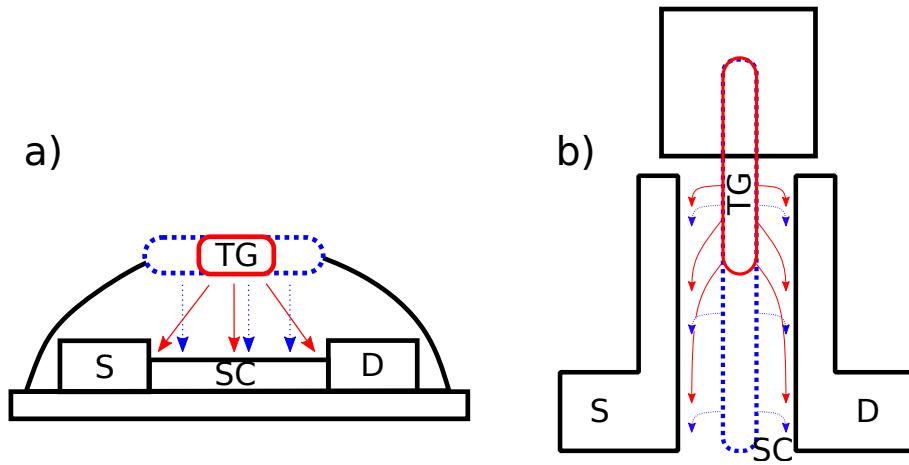


Abbildung 5.7: a) Seitenansicht eines Top-Gate-EGFET, dessen Top-Gate-Breite des Top-Gates variiert wird. Das breite Top-Gate (TG) ist blau und gestrichelt, das schmale kontinuierlich und rot dargestellt. Die Pfeile verdeutlichen die jeweiligen Gatestrompfade vom Top-Gate zum Halbleiter (SC) beim Schalten des Transistors. b) Draufsicht eines Top-Gate-EGFET, dessen Top-Gate-Länge variiert wird (lang ist blau und gestrichelt, kurz rot und kontinuierlich dargestellt). Im Vergleich zu a) sind die Gatestrompfade bei kurzem Top-Gate stark verlängert, was die Schaltgeschwindigkeit wegen des höheren ohmschen Widerstands verringert.

warum die Schwellspannung nicht von der Leitungskanalbreite W abhängt.

5.3.2 Einfluss der Größe der Gate-Elektrode auf die Schwellspannung

Mit Hilfe der Überlegungen aus den Abschnitten 5.1 und 5.2 sowie insbesondere mit Gleichung 5.22 kann man die Abhängigkeiten der Schwellspannung von den anderen Grenzschichtkapazitäten diskutieren.

Variation der Top-Gate-Größe

Die Grenzschicht-Kapazität des Top-Gates kann experimentell leicht variiert werden, da die Größe des Top-Gates veränderbar ist. Gleichzeitig hängt keine weitere relevante Größe von der Größe des Top-Gates ab. Über die Länge des Leitungskanals z.B. ist die Schwellspannung zwar bereits einstellbar (siehe vorigen Abschnitt 5.3.1), allerdings skaliert der Source-Drain-Strom und damit auch der maximale Stromfluss I_{On} invers zur Länge des Leitungskanals, sodass die Schwellspannung nicht unabhängig eingestellt werden kann.

Das Top-Gate kann im Experiment auf zwei Arten skaliert werden (siehe Abb. 5.7). Zum einen kann die Breite des Top-Gates vergrößert oder verkleinert werden, was in der Abbildung 5.7a in der Seitenansicht blau gestrichelt bzw rot und durchgängig dargestellt ist. Zum anderen kann man die Länge des Top-Gates verändern. In Abb. 5.7b ist ein Top-Gate-EGFET in der Draufsicht mit kurzem (durchgängig, rot) und

langem (gestrichelt, blau) dargestellt. Die Gatestrompfade im Elektrolyt vom Top-Gate zum Halbleiter sind jeweils als Pfeile dargestellt. Sie sind relevant, da der ohmsche Widerstand der Pfade die Zeit bestimmt, die vergeht, bis sich die Doppelschicht an der Halbleiter-Elektrolyt-Doppelschicht aufgebaut hat. Kurze Gatestrompfade sind deshalb von Vorteil. Die Variation der Breite ändert die Länge der Gatestrompfade im Gegensatz zur Variation der Länge nur wenig. Deshalb wird im Folgenden die Variation der Top-Gate-Breite diskutiert.

Auswirkung auf die Schwellspannung im Grenzschichtkapazitäts-Modell

In einem Gedankenexperiment soll das Top-Gate weiterhin die gesamte Länge der Source-Drain-Elektroden abdecken und nur die Breite variiert werden. Der Flächeninhalt aller Kontaktflächen beeinflusst unmittelbar die dazugehörigen Kapazitäten. Nach Gleichung 5.21 hängt die Schwellspannung von dem Verhältnis der Grenzkapazitäten sowie der mikroskopischen Schwellspannung ab. Die Grenzschichtkapazität der Topgate-Elektrolyt-Grenzschicht C_{GE} kann trivial als Produkt der flächenunabhängigen Kapazität pro Fläche $\frac{C_{GE}}{A_{GE}}$ und der Topgate-Elektrolyt-Grenzschicht A_{GE} umgeschrieben werden:

$$U_{th} = (U_{Ch})_{th} \cdot \left(1 + \frac{C_{Ch} + C_{SD} + C_{Sub} + C_{Env}}{\frac{C_{GE}}{A_{GE}}} \cdot A_{GE}^{-1} \right) \quad (5.24)$$

Die mikroskopische Spannung am Halbleiter bei der Schwellspannung $(U_{Ch})_{th}$, die Kapazitäten im Zähler des Bruchs und der Bruch im Nenner sind alle konstant, wenn in der gleichen Herstellungsweise die gleichen Materialien verwendet werden und ausschließlich die Breite des Top-Gates verändert wird. Die Skalierung der Schwellspannung erfolgt in Gleichung 5.24 ausschließlich über den Flächeninhalt A_{GE} . Der gesamte Bruch bestimmt als dessen Vorfaktor, wie sensitiv die Schwellspannung auf eine Änderung von A_{GE} reagiert. Es ist demnach auch möglich, dass die Schwellspannung nur sehr schwach von der Topgate-Größe beeinflusst wird. Anschaulich wäre das dann der Fall, wenn im Ersatzschaltbild in Abb. 5.3 C_{GE} bereits so groß im Vergleich zu C_{NG} ist, dass die Gesamtkapazität wegen der Reihenschaltung nicht mehr signifikant von C_{GE} abhängt.

Als Plausibilitätstest kann man aus der Formel auch entnehmen, dass $U_{th} > (U_{Ch})_{th}$ gilt. Die makroskopisch angelegte Schwellspannung ist also größer als die mikroskopische Schwellspannung, was physikalisch sinnvoll ist.

Leider ist die Abschätzung der Größen im Bruch in Gl. 5.22 nur grob möglich. Wegen der fehlenden (bzw. fast unendlich weit entfernten) Gegenladungen und der niedrigen Permittivität der Atmosphäre wird die Grenzschichtkapazität des Elektrolyt zur Umgebungsluft C_{Env} vernachlässigbar klein sein. Größer ist die Grenzschichtkapazität zum Glas-Substrat, da dessen Dielektrizitätszahl mit dem Wert 5-10[160] größer ist als ca. 1 (Luft). Da das Substrat ebenso ein Isolator ist, wird die dazugehörige Kapazität ebenfalls vernachlässigbar klein sein. Die Grenzschichtkapazitäten zu den elektrisch leitfähigen Materialien (C_{Ch} , C_{SD} , C_{GE}) sind größer als die eben beschriebenen Größen, da sich durch die beweglichen Ladungen in den Festkörpern

echte Doppelschichten ausbilden können und darin die Ladungen in der Größenordnung von Angstrom bis Nanometer getrennt sind.[43] Es ist zu erwarten, dass die Grenzschichtkapazität an den Source-Drain-Elektroden am höchsten ist, da durch die hohe Dotierung des ITO die Zustandsdichte größer ist als im schwächer (z.B. durch Sauerstoff-Fehlstellen) dotierten Indiumoxid des Leitungskanals und dem PEDOT:PSS. So beträgt die Ladungsträgerdichte in ITO ca. 10^{20} cm^{-1} [161], in PEDOT:PSS in einer Untersuchung $10^{13} - 10^{14} \text{ cm}^{-1}$ [162]. Die Ladungsträgerdichte bestimmt die Debye-Länge im elektrischen Leiter und damit indirekt die Grenzschichtkapazitäten, da die Kapazität sinkt, wenn die (Gegen-)Ladungen weiter voneinander entfernt sind.

Ebenfalls unbekannt ist die genaue mikroskopische Struktur und Größe der Grenzflächen. Es ist bekannt, dass das gedruckte Indiumoxid nach dem Ausheizen eine rauere Oberfläche aufweist mit einer RMS-Rauigkeit von mehr als 5 nm[51, 163]. Gesputtertes ITO weist eine geringere Rauigkeit von 0,6-1,2 nm (RMS) auf[161]. Unbekannt ist leider, wie die Grenzfläche zwischen dem leitfähigem Polymer PEDOT:PSS des Top-Gates und dem Elektrolyt mikroskopisch aussieht. Bei manchen EGFET auftretende Kurzschlüsse zwischen der Gate-Elektrode und der Source- oder Drain-Elektrode könnten nach Einschätzung von Gabriel Marques damit erklärt werden, dass Teile des Top-Gates so weit in den Elektrolyten einsinken bzw. sich darin auflösen, dass eine direkte elektrische Verbindung zwischen einer der Elektroden auf dem Substrat und dem Top-Gate entsteht. Es ist also plausibel, dass die Grenzfläche zwischen Top-Gate und Elektrolyt eine komplizierte Mikrostruktur aufweist und deshalb die effektive Grenzfläche vergrößert ist. Schätzungsweise sollte der Bruch in Gleichung 5.22 demnach groß genug sein, dass die Schwellspannung U_{th} in relevanter Weise von der Grenzfläche A_{GE} abhängt.

Experimentelle Untersuchungen

In mehreren Experimenten wurde untersucht, wie groß der Einfluss der Top-Gate-Breite auf die Schwellspannung ist. Im Gespräch mit Xiaowei Feng und Dennis Gnad wurde die Idee entwickelt den Herstellungsprozess der EGFET zu modifizieren, um den Einfluss der Größe des Top-Gates besser beurteilen zu können. Dazu werden die Schritte wie in Kapitel 2.1 bis einschließlich des Elektrolyt-Drucks durchgeführt. Das Top-Gate im folgenden Schritt wird als dünner einzelner Streifen gedruckt, sodass das Top-Gate schmaler als der Halbleiter ist. Dieser Transistor wird dann elektrisch ausgemessen. Anschließend wird ein weiterer dünner Top-Gate-Streifen neben das schon vorhandene Top-Gate gedruckt und der Transistor erneut ausgemessen. Der Vorteil ist, dass damit Messdaten für den selben Transistor (Halbleiter und Elektrolyt bleiben unverändert außer Alterung) mit unterschiedlichen Top-Gate-Größen gewonnen werden können. Streuungen der Eigenschaften der gedruckten Materialien (ausgeheizter Halbleiter, Elektrolyt) sind damit eliminiert, da der selbe Transistor mit schmalem und breitem Top-Gate analysiert werden kann.

Dazu wurden acht EGFET basierend auf IGZO als Halbleitermaterial hergestellt. Die Elektroden ist nicht L-förmig wie zuvor, sondern T-förmig, was den Stromfluss durch die Elektroden verbessert. Weder das Halbleitermaterial noch die Elektrodenform haben Einfluss auf die Aussagen des Grenzflächenkapazitäts-Schwellspannungs-Modell.

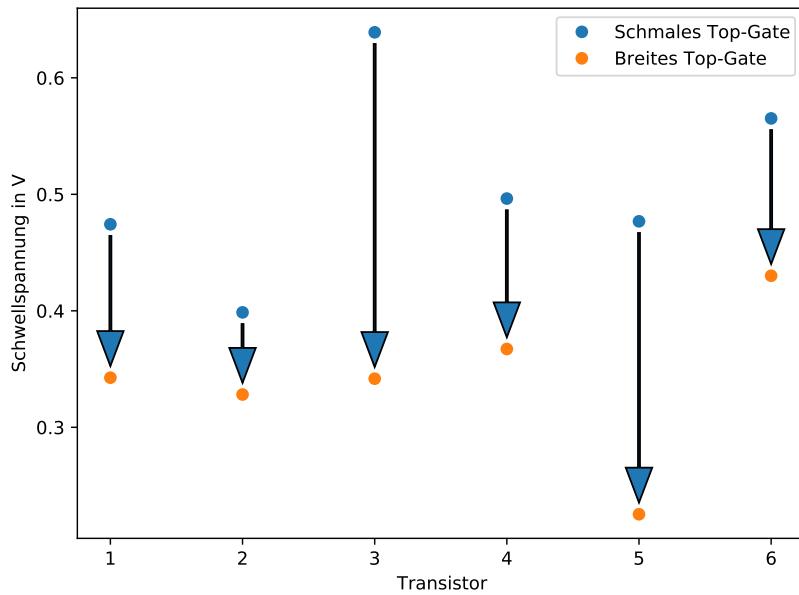


Abbildung 5.8: Schwellspannung in 6 EGFET mit IGZO-Halbleiter und T-förmigen Elektroden, die zuerst mit einem schmalen, dann mit einem breiten Top-Gate gemessen wurden. Die Daten sind auch in Tab. 5.1 zusammengefasst. Die Reduktion der Schwellspannung für jeden einzelnen Transistor kann nicht auf Variationen des Halbleiters oder des Elektrolyten zurückgeführt werden, da jeweils der selbe Transistor erst mit schmalem, dann mit breitem Top-Gate gemessen wurde. Das Ergebnis ist im Einklang mit dem Grenzschichtkapazitäts-Modell, das eine Reduktion der Schwellspannung bei größeren Top-Gates vorhersagt.

Die Leitungskanallänge betrug wie die -breite $50 \mu\text{m}$. Die Transistoren wurden zunächst mit einem dünnen, dann mit einem breiten Top-Gate gemessen. Die Daten von sechs der acht Transistoren konnten ausgewertet werden (die übrigen zwei waren defekt).

Die Schwellspannungen der Transistoren sind in Abb. 5.8 dargestellt. Die Schwellspannung sinkt für alle sechs Transistoren, wenn das Top-Gate vergrößert wird. Die Reduktion beträgt dabei von $0,07 \text{ V}$ bis $0,3 \text{ V}$ (Alle Daten siehe Tab. 5.1).

Die Ergebnisse stimmen qualitativ mit den Erwartungen aus dem Grenzschichtkapazitäts-Schwellspannungs-Modell überein. Die Schwellspannung ist bei allen Transistoren abgesunken, was mit der vergrößerten Ladung im Elektrolyten an der Top-Gate-Grenzschicht erklärt werden kann. Statistisch ist der Abfall der Schwellspannung nicht

Tabelle 5.1: Auflistung der Schwellspannung U_{th} der IGZO-basierten EGFET mit schmalem und breitem Top-Gate sowie die Veränderung von U_{th} durch das verbreiterte Top-Gate. Die Daten sind auch in Abb. 5.8 dargestellt.

Transistor-Nummer	1	2	3	4	5	6
U_{th} schmales Top-Gate (V)	0,47	0,40	0,64	0,50	0,48	0,57
U_{th} breites Top-Gate (V)	0,34	0,33	0,34	0,36	0,23	0,43
Differenz (V)	-0,13	-0,07	-0,30	-0,13	-0,25	-0,14

Tabelle 5.2: Auflistung der Schwellspannung U_{th} der In_2O_3 -basierten EGFET mit schmalem und breitem Top-Gate sowie einer Kontrollmessung an einem unveränderten Transistor auf dem selben Substrat.

Transistor	1	2	Referenz
U_{th} schmales Top-Gate (V)	-0,26	-0,32	-0,30
U_{th} breites Top-Gate (V)	-0,14	-0,19	-0,26
Differenz (V)	0,12	0,13	0,041

gesichert, da die Stichprobe klein ist. Wegen der beschriebenen speziellen Herstellungsweise konnten die druckbedingten Variationen des Halbleiters und des Elektrolyten zwar eliminiert werden, es wurde aber leider versäumt, einen Referenztransistor auf dem selben Substrat auszumessen. So könnte die Absenkung von U_{th} nicht nur durch das breitere Top-Gate, sondern etwa auch durch Alterung der Transistoren erklärt werden. Es könnte beispielsweise ein weiterer Ausgleich der Luftfeuchtigkeit mit dem Elektrolyt stattfinden, was z.B. sowohl die Mobilität der Ionen als auch die Kontaktspannungen über adsorbierte Dipole an den Grenzflächen beeinflussen könnte. Mit Referenzmessungen an Transistoren, die auf dem gleichen Substrat, aber ohne zweiten Top-Gate-Druckschritt hergestellt wurden, könnte dieser Effekt ausgeschlossen werden.

Erica Fu hat eine solche Messung mit Referenz durchgeführt. Aus Druck-Kapazitätsgründen wurden drei Transistoren (In_2O_3 -basiert, T-förmige Source-Drain-Elektroden, Leitungskanal 200 μm breit und 100 μm lang) hergestellt. Die Transistoren weisen also eine andere Leitungskanalgeometrie, die gleiche Elektrodenform und ein anderes Halbleitermaterial auf als die Transistoren in Abb. 5.8 und Tab. 5.1. Nach dem Messen der Transistoren wurde bei zwei Transistoren ein breiteres Top-Gate gedruckt und alle drei Transistoren erneut ausgemessen (ca. 45 Minuten nach der ersten Messung). Die relative Luftfeuchtigkeit während des Druck- und des Messvorgangs war wie bei allen EGFET vom INT auf 50% geregelt. Alle drei Transistoren weisen sinnvolle Output- und Transferkurven auf. Die Ergebnisse sind in Tab. 5.2 aufgelistet. Die Schwellspannung des Referenztransistors steigt zwischen der ersten und zweiten Messung um 0,041 V an. Die Schwellspannung der anderen Transistoren steigt mit dem breiten Top-Gate um 0,12 V bzw. 0,13 V.

Dies steht zunächst im Widerspruch zum Ergebnis des vorigen Experiments, das eine Verringerung der Schwellspannung bei breiterem Top-Gate gezeigt hatte. Ein möglicher Grund könnte sein, dass in dieser speziellen Kombination aus Materialien, Dimensionen und Geometrie die Kontaktspannungen dazu führen, dass in diesem Gatespannungsbereich die Gatespannung noch entgegen der Kontaktspannung ist.

Die Transistoren 1 und 2 aus Tabelle 5.2 weisen mit größerem Top-Gate eine ca. drei mal so große Schwellspannungs-Differenz wie der Referenztransistor auf. Das könnte bedeuten, dass die Alterung des Transistors den in Tab. 5.1 beobachteten Effekt nicht erklären kann, und tatsächlich die Größe des Top-Gates die Schwellspannung in der Messung dort beeinflusst hat.

Auf Grund der kleinen Stichprobe können allerdings keine statistischen Aussagen getroffen werden. Alle Interpretationen und Schlüsse sind deshalb stark eingeschränkt.

Zusammenfassend hat sich in einem Experiment ein Trend gezeigt, der auf eine Senkung der Schwellspannung bei größeren Top-Gates hindeutet. Der Zusammenhang konnte aber nicht zweifelsfrei hergestellt werden, bzw. die Alterung als (Ko-)Faktor nicht ausgeschlossen werden. Eine weitere Messung macht die Alterung als Grund etwas unplausibler, zeigt aber bei negativen Gate-Spannungen eine Vergrößerung statt einer Senkung der Schwellspannung. Dies könnte ein Effekt von Kontaktspannungen sein. Allgemein sind die Stichproben zu klein, um gesicherte wissenschaftliche Aussagen treffen zu können. Ein weiteres Experiment an einer größeren Anzahl an EGFET mit gleichzeitig gemessenen Kontrollstrukturen könnte Klarheit verschaffen.

5.4 Zusammenfassung

In diesem Kapitel wurde ein neuartiges Modell für die Schwellspannung in Feldeffekttransistoren mit Elektrolyt als Gate-Kontakt vorgestellt. Es erklärt die Abhängigkeit der Schwellspannung von der Geometrie des Transistors sowie von der Morphologie und Oberflächenbeschaffenheit der beteiligten Stoffe. Damit ermöglicht es das geplante Optimieren und Einstellen der Schwellspannung in diesen Transistoren.

Das Modell berücksichtigt, dass die Gate-Elektrode über den Elektrolyt kapazitiv mit der Gatespannung kontaktiert ist und für die Grenzschichtkapazitäten alle Grenzschichten des Elektrolyt (vor allem mit anderen leitenden Medien) eine Rolle spielen. Es verbindet erstmals die Grenzschichtkapazitäten des Elektrolyts mit einer DC-Eigenschaft wie der Schwellspannung, bisher wurden diese mit AC-Eigenschaften wie der Schaltgeschwindigkeit verbunden. Das Modell steht nicht in Konkurrenz zu bekannten Schwellspannungsmodellen im Bändermodell oder den Transfereigenschaften, sondern ergänzt diese um den Einfluss der Elektrolyt-Gate-Kontaktierung.

Zunächst wurde das Modell phänomenologisch zusammen mit den Voraussetzungen und Annahmen vorgestellt und anschließend unter sinnvollen Vereinfachungen eine geschlossene mathematische Darstellung der makroskopischen Schwellspannung abhängig von den Grenzschichtkapazitäten und einer geometrieunabhängigen mikroskopischen Schwellspannung hergeleitet. Anschließend wurde das Modell auf verschiedene experimentelle Systeme angewendet um es zu prüfen. Die experimentellen Ergebnisse unterstützen die Validität und Plausibilität des Modells, können es mangels statistischer Signifikanz aber noch nicht beweisen. Deshalb sind weitere experimentelle Prüfungen nötig, z.B. indem unter einem großen Elektrolyt-Bereich die Größe sowohl der Source- als auch der Drain-Elektrode variiert wird. Source- und Drain-Elektrode sollten unterschiedliche Einflüsse auf die Schwellspannung haben, da sie wegen der Source-Drain-Spannung ein unterschiedliches elektrisches Potential aufweisen.

Die Grundannahmen des Modells überlappen mit denen des Felds der gedruckten Elektrolyt-Transistoren wie z.B. fehlende Redox-Reaktionen und frei bewegliche Ionen im Elektrolyt zur Ausbildung der Helmholtz-Doppelschicht. Somit hängt die Validität des Schwellspannungss-Modells direkt mit der Validität des allgemeinen Modells zu Elektrolyt-Transistoren zusammen, sodass das hier vorgestellte Schwellspannungsmo dell auch schon vor einen statistisch signifikanten Nachweis bei der Diskussion von Elektrolyt-Feldeffekttransistoren wichtig ist.

6 Teilchendiffusion auf Kohlenstoffnanoröhrchen

Bisher wurden in dieser Arbeit FET mit flüssig gedrucktem Halbleitermaterial aus Metalloxiden untersucht. Die Materialien wurden als Precursor gedruckt, der anschließend ausgeheizt wird um das finale Halbleitermaterial zu erhalten. Vorteil davon ist ein gut vernetztes Halbleitermedium mit besserer Ladungsträgermobilität als z.B. bei Nanopartikel-Tinten. Ein Nachteil ist, dass das Substrat sowie die anderen bereits gedruckten Schichten bei den hohen Temperaturen des Ausheizens nicht zerstört werden dürfen.

Deshalb wird an Stoffen geforscht, die bei Raumtemperatur bzw. niedrigen Temperaturen prozessiert werden können. Neben den bereits erwähnten Nanopartikel-Tinten (wo das gewünschte Halbleitermaterial in Form von Nanopartikeln in einem Lösungsmittel als Dispersion enthalten ist und das Lösungsmittel verdampft) ist die Klasse der Kohlenstoff-basierten Materialien wie Graphen oder Kohlenstoffnanoröhrchen (CNT, carbon nanotubes) vielversprechend, da sie elektrisch leitfähig und flüssig prozessierbar sind.[164, 165] Während Graphen-Sheets bzw. Graphit-basierte Materialien für Elektroden nutzbar sind, weisen Kohlenstoffnanoröhrchen (CNT, carbon nanotubes) je nach Konfiguration auch halbleitende Eigenschaften auf. Damit kommen sie auch für gedruckte FET als aktives Gatematerial sowie als Sensormaterial in Frage.[166, 167] Sollen die halbleitenden CNT z.B. als Photosensor verwendet werden, ist der Transport der photoinduzierten Exzitonen auf dem CNT wichtig. CNT sind auf dem Weg von der Grundlagenforschung in die Massenproduktion [168].

Das Projekt in diesem Kapitel wurde in Zusammenarbeit mit Ralph Krupke und seiner Arbeitsgruppe, unter anderem Ihteaz Hossain und Asiful Alam am Institut für Nanotechnologie (INT) am Karlsruher Institut für Technologie durchgeführt. Dort wurde gepulste Photostrom-Spektroskopie auf Polymer-sortierten halbleitenden einwandigen (7,6)-Kohlenstoffnanoröhrchen (engl. *polymer-wrapped semiconducting single walled carbon nanotube*) an Palladium-Elektroden auf einem Si/SiO₂-Substrat im nahen Infrarot durchgeführt [169]. Die Abhängigkeit des Photostroms von der Laserleistung wurde an ein Potenzgesetz Photostrom $\sim P^\alpha$ gefittet, was den Exponenten $\alpha = 0,59 \pm 0,08$ ergab und einer reduzierten Photoeffizienz entspricht, da der Exponent kleiner als 1 ist.

Ishii *et al.*[170] haben bereits Messungen sowie Monte-Carlo-Berechnungen zur Erzeugung, Diffusion und Verlust von Exzitonen, Elektronen und Löchern bei kontinuierlicher Beleuchtung (d.h. kontinuierlicher Exzitonen-Erzeugung) auf einem CNT durchgeführt. Dort konnte gezeigt werden, dass ein signifikantes Ansteigen des Exziton-Exziton-Quenching (EEA, für engl. Exciton-Exciton-Annealing) mit der experimentell beobachteten Reduktion der Photoeffizienz korreliert.

Die offene Frage ist, inwiefern auch im Experiment von Hossain *et al.*[169] EEA in Kohlenstoffnanoröhrchen (CNT) die Photoeffizienz reduziert. Ein wesentlicher Unterschied zur Arbeit von Ishii *et al.*[170] ist, dass sie einen gepulsten statt einem kontinuierlichen Laser verwendeten. Da damit die Exziton-Dichten zeitlich variieren und die EEA-Rate von der Exzitonendichte abhängt, stellt sich auch die Frage, ob sich das qualitative Verhalten bei gepulster Beleuchtung ändert und ob die Experimente am INT bereits im EEA-dominierten Regime durchgeführt wurden. Außerdem ist die Frage, welche Voraussetzungen nötig sind um einen Photostrom messen zu können, da keine Spannung im Messaufbau an das CNT angelegt wurde. Um diese Kernfragen zu beantworten wurden in dieser Arbeit Simulationen für halbleitende (7,6)-CNT durchgeführt.

Die Methodik und der Algorithmus für die Simulationen von dieser Arbeit basieren auf der Publikation von Ishii *et al.*[170] und wurden für das experimentelle Setup angepasst und erweitert, der hier verwendete Algorithmus enthält zusätzlich explizit eine zeitabhängige, gepulste Exzitonenerzeugung (entsprechend einem gepulsten Laser zur Exzitonenerzeugung im Experiment). Das Modell, der Algorithmus sowie dessen Implementierung sind im Unterkapitel 6.1 beschrieben.

In Unterkapitel 6.2 wird der Photostrom abhängig von der (simulierten) mittleren gepulsten Beleuchtungsstärke untersucht und mit den publizierten Ergebnissen zu kontinuierlicher Beleuchtung sowie experimentellen Ergebnissen verglichen. Es tritt eine Verringerung der Photoeffizienz auf, die auf zwei unterschiedliche Transportregimes hindeutet. Die Regimes korrelieren mit der Dominanz des Exziton-Exziton-Quenchings über die anderen Verlustprozesse.

Das Unterkapitel 6.3 zeigt, dass in der Simulation ein asymmetrisches Beleuchtungsmuster für einen Netto-Stromfluss in einem ansonsten geometrisch perfekten symmetrischen System führt.

Alle Ergebnisse wurden auch auf der Frühjahrstagung der Deutschen Physikalischen Gesellschaft 2021 in einem Poster zusammengefasst präsentiert [5].

6.1 Simulation der Diffusion und Ladungsübergänge in 1D (CNT)

In diesem Abschnitt wird der 1D-Simulationsalgorithmus für die Teilchenerzeugung, -diffusion und -vernichtung auf Kohlenstoffnanoröhrchen (carbon nanotubes, CNT) sowie dessen Implementierung beschrieben. Die Herangehensweise basiert dabei auf der Veröffentlichung von Ishii *et al.*[170], in der die Untersuchung der Photolumineszenz von CNTs mit Hilfe der Simulation beschrieben wird.

Die Simulation basiert auf einem Monte-Carlo-Verfahren mit konstantem Zeitschritt. Sie wurden in einem python-Skript implementiert. Innerhalb eines Zeitschritts Δt werden die stochastische Exzitonen-Erzeugung, die Diffusion und die Verlustprozesse wie spontaner Zerfall, Zerfall an einer Elektrode, Elektron-Loch-Rekombination und Exziton-Exziton-Quenching akkumuliert betrachtet. Das Skript berechnet die folgende Größen für eine beim Start festgelegte mittlere Laserleistung: In jedem Simulations-

schritt werden folgende Größen ermittelt bzw. aktualisiert und über den Verlauf der Simulation verfolgt:

- Die Anzahl der Simulationsschritte als vergangene Zeit
- Die Zahl der generierten Exzitonen
- Die in jedem Simulationsschritt aufsummierte Zahl der Exzitonen auf dem CNT
- Die mittlere Anzahl der Exzitonen, Elektronen und Löcher auf dem CNT
- Die Zahl der Elektronen ($N_{e,l}$, $N_{e,r}$) und Löcher ($N_{h,l}$, $N_{h,r}$), die jeweils durch beide Elektroden (links und rechts) abfließen

Am Ende der Simulation (nach einer fest eingestellten Anzahl N von Simulationsschritten) werden die Anzahl der erzeugten Exzitonen, die mittlere Anzahl jedes Teilchens im System sowie die Zahl der Elektronen und Löcher durch jeweils beide Elektroden ausgegeben. Der mittlere Strom I lässt sich dann berechnen als

$$I = \frac{1}{N \cdot \Delta t} (N_{e,l} + N_{h,r} - N_{e,r} - N_{h,l}) \quad (6.1)$$

Hauptdatenstruktur der Simulation ist eine Liste der Teilchen auf dem CNT. Jedes Teilchen hat als Attribute die Art des Teilchens (Exziton, Elektron, Loch) sowie die Position bzw. Koordinate. Die Liste ist zu Beginn jedes Simulationsschritts nach der Position der Teilchen sortiert, was im späteren Simulationsverlauf Rückschlüsse erlaubt falls die Liste nicht mehr sortiert sein sollte.

Sämtliche Formeln im folgenden Abschnitt wurden aus der Arbeit von Ishii *et al.*[170] (zum Teil in der Darstellung und Nomenklatur modifiziert) übernommen. Für die Simulation der Erzeugung der Exzitonen mittels eines Lasers wird zunächst die Gesamtrate der Exzitonenerzeugung g_0 definiert:

$$g_0 = \sqrt{\frac{2}{\pi}} \cdot \frac{n_c}{r E_{exc}} \cdot \sigma_{ab} \cdot P \quad (6.2)$$

Dies verbindet die Gesamtrate g_0 mit der Anzahl der Kohlenstoffatome pro Einheitslänge n_c , dem $\frac{1}{e^2}$ -Radius des Laserspots r , der Photonenergie E_{exc} , dem Wirkungs- bzw. Absorptionsquerschnitt σ_{ab} und der Laserleistung P . Die Wahrscheinlichkeitsverteilung wird wie folgt als Gaußkurve definiert:

$$g(x - x_0) = g_0 \cdot \sqrt{\frac{2}{\pi}} \cdot \frac{1}{r} \cdot \exp\left(-\frac{2(x - x_0)^2}{r^2}\right) \quad (6.3)$$

Die Formel 6.3 beschreibt die Wahrscheinlichkeitsdichte, am Ort x ein Exziton zu erzeugen, wenn das Maximum des gaußförmigen Laserprofils am Ort x_0 ist.

In der Simulation wird zunächst an Hand der vergangenen Zeit überprüft, ob der gepulste Laser zu diesem Zeitpunkt gerade aus- oder eingeschaltet ist. Ist er ausgeschaltet, kann direkt mit dem intrinsischen Zerfall im nachfolgenden Absatz fortgefahrene werden. Ist der Laser eingeschaltet, wird mit Gleichung 6.2 und dem

Zeitschritt Δt eine Poisson-verteilte Zufallszahl X mit dem (leistungsabhängigen) Erwartungswert $\Delta t \cdot g_0$ gezogen. Dann ermittelt das Simulationsprogramm X Gauß-verteilte Zahlen. Erwartungswert und Breite der Gauß-Verteilung entsprechen dabei der Position und Breite des Laserspots. Jede der X Zahlen entspricht der Position eines neuen Exzitons. Befindet sich die Position außerhalb des Kohlenstoffnanoröhrchens, wird das Exziton wieder gelöscht. Dies entspricht im realen System einer Absorption des Lichts außerhalb des CNT, was in diesem Modell nicht mit einbezogen wird. Die generierten Exzitonen werden zu den übrigen Teilchen auf dem CNT hinzugefügt und die Liste nach deren Position sortiert (nötig für die spätere Kollisionsanalyse).

Um die Simulation zu beschleunigen, sind einige Abkürzungen implementiert worden, falls sich zu einem Punkt in der Simulation kein Teilchen auf dem CNT befindet. Dies verkürzt die Rechenzeit vor allem bei niedrigen Laserleistungen, wo nur wenige bzw zeitweise gar keine Teilchen auf dem CNT vorhanden sind. Wenn in der aktiven Phase des Laserpulses Exzitonen generiert werden sollen, wird in einer Schleife die stochastische Exzitonen-Erzeugung durchgeführt, bis tatsächlich Exzitonen auf dem CNT erzeugt werden. Die Simulationszeit wird dabei für jede Iteration um den Zeitschritt erhöht. Ist der Erwartungswert $\Delta t \cdot g_0$ kleiner als 0,1, werden viele Zufallszahlen auf einmal erzeugt, was numerisch schneller ist als eine Schleife. Sollte der Laser in der Dunkelphase des Pulsbetriebs sein und sich kein Teilchen mehr im System befinden, wird die Simulationszeit erhöht bis der Laser erneut eingeschaltet wird.

Ais nächster Prozess wird in der Simulation der intrinsische Zerfall der Exzitonen behandelt. In jedem Zeitschritt kann ein Exziton mit der intrinsischen Lebensdauer τ zufällig rekombinieren. Die Wahrscheinlichkeit für die Rekombination in dem Zeitintervall beträgt $1 - \exp(-\Delta t / \tau)$. Das Simulationsskript zieht für jedes Exziton eine Zufallszahl zwischen 0 und 1. Der Vergleich der Zufallszahl mit der Wahrscheinlichkeit bestimmt, ob das Exziton intrinsisch zerfällt und dabei vom CNT genommen wird.

Anschließend wird die Diffusion aller Teilchen auf dem CNT simuliert. Vereinfachend wird dabei angenommen, dass die Diffusionskonstante für alle Teilchen gleich und konstant ist. Die Diffusion wird als stochastische Verschiebung jedes individuellen Teilchens im System modelliert. Die (positive oder negative) Verschiebung wird für jedes Teilchen aus der Wahrscheinlichkeitsnormalverteilung

$$\frac{1}{\sqrt{4\pi \cdot D \cdot \Delta t}} \exp\left(-\frac{s^2}{4 \cdot D \cdot \Delta t}\right) \quad (6.4)$$

mit dem Mittelwert 0 und der Standardabweichung $\sqrt{2 \cdot D \cdot \Delta t}$ gezogen und auf die Positionskoordinate des jeweiligen Teilchens addiert. $D = \frac{l^2}{\tau}$ bezeichnet die Diffusionskonstante der Exzitonen, Elektronen und Löcher auf dem CNT mit der Diffusionslänge l .

Nach dem Diffusionsschritt müssen möglicherweise aufgetretene Teilchenkollisionen verarbeitet werden, dazu werden die neuen Positionen analysiert. Teilchen, deren neue Position außerhalb des Simulationsbereichs liegt, sind mit der Elektrode kollidiert. Ihre Position wird zunächst an der Elektrode gespiegelt, um das Teilchen wieder in das Simulationsintervall zu falten. Den Elektroden wird jeweils eine Wahrscheinlichkeit p zugewiesen, mit denen sie Löcher im Vergleich zu Elektronen bevorzugt aufnehmen

und abfließen lassen. Ist das Teilchen ein Exziton zerfällt es bei der Kollision mit der Elektrode immer und es verbleibt mit der Wahrscheinlichkeit p ein Elektron an Stelle des Exzitons und ein Loch fließt über die Elektrode ab (und wird zum Stromfluss gezählt). Ansonsten verbleibt ein Loch und ein Elektron fließt ab. Analog werden Elektronen und Löcher behandelt. Sie werden mit der Wahrscheinlichkeit p bzw. $1 - p$ an den Elektroden reflektiert und fließen andernfalls in die Elektrode ab. In Abschnitt 8.5.2 wird der Einfluss von p auf die Simulationsergebnisse untersucht und gezeigt, dass die Wahl von p keinen Einfluss auf die in dieser Arbeit untersuchten Ergebnisse hat.

Dann wird untersucht, ob Teilchen auf dem CNT untereinander kollidiert sind. Dazu wird die Reihenfolge der Teilchen in der Liste im Skript vor und nach dem Diffusionsschritt verglichen. Dazu reicht es aus, die Reihenfolge der Teilchen und die Reihenfolge der Positionen zu vergleichen. Haben zwei benachbarte Teilchen durch die Diffusion ihre Position so verändert, dass sie kollidiert wären, so stimmt die Reihenfolge in der Liste nicht mehr mit der Reihenfolge nach den Positionskoordinaten überein. Auf diese Weise kann eine simple Kollisionserkennung durchgeführt werden. Kollisionen mit mehreren Teilchen werden dabei nicht berücksichtigt, weshalb bei hohen Teilchendichten der Zeitschritt Δt kleiner gewählt werden muss und sichergestellt sein muss, dass die Ergebnisse der Simulation bei einem noch kleineren Zeitschritt die gleichen sind. Dies wird in Abschnitt 8.5.1 gezeigt.

Sind zwei Elektronen oder zwei Löcher zusammengestoßen, wird dies als elastischer Stoß angesehen und die Positionen nicht verändert und nur simulationsintern die Reihenfolge der Teilchen in der Liste vertauscht. Treffen Elektron und Loch aufeinander, rekombinieren sie und werden deshalb aus der Simulation entfernt. Exziton und Elektron oder Loch stoßen elastisch. Treffen Exziton und Exziton aufeinander, kommt es zum Quenching und eines der beiden Exzitonen wird zufällig vernichtet.

Die Simulation wird durchgeführt, bis sich die Mittelwerte der untersuchten Größen (z.B. abfließende Ladung pro Zeit, Anzahl der Exzitonen auf dem CNT) stabilisiert haben und die statistische Abweichung dieser Größen in verschiedenen Simulationsläufen mit gleichen Parametern nicht mehr signifikant ist. Bei Bedarf wurde die Zahl der Simulationsschritte in einem weiteren Simulationslauf erhöht. In jeder Simulation war das Tracking der zu untersuchenden Größen die ersten $\frac{\tau}{\Delta t}$ Schritte deaktiviert, um die Nichtgleichgewichtsphase zu Beginn der Simulation nicht in die Analyse einfließen zu lassen und möglichst einen stationären Zustand des Systems zu untersuchen.

6.2 Verringerung der Photoeffizienz durch Exziton-Exziton-Quenching

In diesem Abschnitt wird der Photostrom abhängig von der Rate der erzeugten Exzitonen (d.h. der Laserleistung) bestimmt. Die Potenzabhängigkeit des Photostroms von der Laserleistung wird untersucht, was Rückschlüsse auf die Photoeffizienz erlaubt.

Die Simulationsparameter für diese Simulationen sind in Tabelle 6.1 zusammengefasst. Die Diffusionslänge wurde nach den Ergebnissen von Ishii *et al.*[170] (Tab.

Tabelle 6.1: Liste der Simulationsparameter und ihrer Quellen.

Parameter	Wert	Quelle
Intrinsische Exziton-Lebensdauer τ	350 ps	[170]
Zeitschritt Δt	$10^{-5} \cdot \tau$	Diese Arbeit
CNT-Länge L	800 nm	Exp. Bedingung
Laserspot-Radius r	500 nm	Exp. Bedingung, geschätzt
Exziton-Diffusionslänge l	1 μm	[170], s. Text
Anzahl Kohlenstoff-Atome pro Einheitslänge n_c	102,9 nm^{-1}	Berechnet (s. Text)
Wirkungsquerschnitt Absorption σ	2.03e-21 m^2/Atom	[171]
Photonenenergie	1.09 eV	Exp. Bedingung
Laserpuls-Dauer	5 ps	Exp. Bedingung
Laserpuls-Frequenz	80 MHz	Exp. Bedingung
Austrittswahrscheinlichkeit Elektronen in die Elektroden	1%	Diese Arbeit (geschätzt)
Austrittswahrscheinlichkeit Löcher in die Elektroden	99%	Diese Arbeit (geschätzt)
Simulationsschritte	$1 \cdot 10^7 - 6 \cdot 10^{12}$	Diese Arbeit
Position des Laserspots (gaußf.)	Rechtes Ende des CNT ($L/2$)	Exp. Bedingung

II) auf ca. 1 μm geschätzt. Der Wert von 102,9 nm^{-1} für die Anzahl der Kohlenstoff-Atome pro Einheitslänge n_c wurde mit der Formel 2.3 aus Kapitel 2.6 berechnet. Der Zeitschritt Δt wurde in einer Vorstudie (siehe Abschnitt 8.5.1 im Anhang) so gewählt, dass im gesamten betrachteten Laserleistungs-Intervall der Photostrom nicht sensitiv auf die Wahl des Zeitschritts ist. Die Austrittswahrscheinlichkeit für Löcher in die Elektroden wurde größer gewählt als für Elektronen, da ein Kontakt aus Palladium und einem CNT Löcher bevorzugt[172]. In Abschnitt 8.5.2 im Anhang wird gezeigt, dass die Wahl der Austrittswahrscheinlichkeit keinen signifikanten Einfluss auf die hier untersuchten Ergebnisse hat.

Der Netto-Photostrom wird mit Gleichung 6.1 als Mittelwert über die gesamte Simulation berechnet. Es wurde sichergestellt, dass die Ergebnisse den stationären Fall beschreiben und eventuelle Einschalt-Effekte keine Rolle mehr spielen, indem nachgewiesen wurde, dass die Ergebnisse nicht empfindlich gegenüber Änderungen der Simulationsschritte sind. Bei der kleinsten Laserleistung wurden die meisten Simulationsschritte ($6 \cdot 10^{12}$) verwendet, um statistisch signifikante Ergebnisse zu erhalten. Bis zur höchsten Laserleistung wurde die Zahl der Simulationsschritte auf 10^7 reduziert, was die Rechenzeit verringert. Die Exzitonen-Erzeugungsrate wird über Gleichung 6.2 in die Laserleistung umgerechnet, um leichter mit dem Experiment vergleichbar zu sein.

Abb 6.1 zeigt den simulierten Photostrom über der Laserleistung für die in Tabelle 6.1 angegebenen Parameter. In der doppelt logarithmischen Darstellung zeigen sich

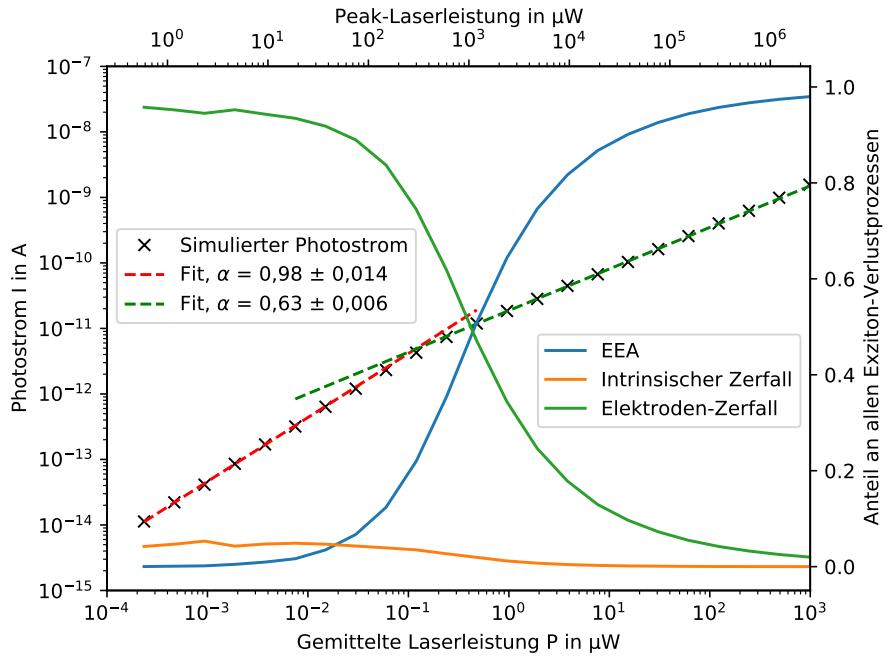


Abbildung 6.1: Simulierte Photostromstärke sowie der Anteil der einzelnen Exziton-Verlustsprozesse an allen Exziton-Verlusten über der Laserleistung. An die Darstellung wurden zwei Fits des Potenzgesetzes $I = P^\alpha$ durchgeführt, die wegen der doppelt-logarithmischen Auftragung als Geraden dargestellt werden.

zwei Bereiche mit unterschiedlichem Potenzgesetz $I \sim P^\alpha$. Der Exponent α beider Regimes wurde jeweils über einen Fit ermittelt ($0,98 \pm 0,014$ und $0,63 \pm 0,006$), die Fits sind als gestrichelte Linie dargestellt. Die Fits wurden im Intervall der gemittelten Laserleistung von $10^{-4} \mu\text{W}$ bis $10^{-2} \mu\text{W}$ bzw $10^{-1} \mu\text{W}$ bis $10^2 \mu\text{W}$ durchgeführt.

Das bedeutet, dass bis zu einer mittleren Laserleistung von etwa $10^{-1} \mu\text{W}$ (entspricht $2,5 \cdot 10^2 \mu\text{W}$ Peak-Leistung des gepulsten Lasers) der Photostrom linear mit der Laserleistung steigt ($\alpha \approx 1$). Dann sinkt die Photoeffizienz ab, der Photostrom steigt sublinear mit der Laserleistung an ($\alpha = 0,63 \pm 0,006$).

Dieses Ergebnis stimmt gut mit dem experimentellen Ergebnis von Ihteaz Hossain *et al.* überein, die $\alpha_{exp} = 0,59 \pm 0,08$ bei einer Laserleistung von $10^1 \mu\text{W}$ bis $10^{2,5} \mu\text{W}$ ermittelt haben [169]. Dieser Bereich fällt in den sublinearen Bereich in der Simulation mit $\alpha_{sim,sublinear} = 0,63 \pm 0,006$. Die Größenordnung des Photostroms im Experiment im genannten mittleren Laserleistungsbereich beträgt 10^{-12} A bis 10^{-10} A . Dass die simulierten Ergebnissen damit gut übereinstimmen ist wissenschaftlich nicht bedeutsam, da Parameter wie die Austrittswahrscheinlichkeit, die Diffusionslänge oder die Exziton-Lebensdauer nur geschätzt wurden. Die Experimentatoren berichten auch, dass nicht auszuschließen ist, dass sie mehrere CNTs gleichzeitig messen. Dass der gemessene und der simulierte Photostrom gut übereinstimmen, könnte demnach auch auf einer Fehlerauslöschung beruhen. Dass die Größenordnungen übereinstimmen, deutet dennoch auf eine sinnvolle Wahl der Simulationsparameter hin (die nicht variiert wurden um die Übereinstimmung zu verbessern).

In den Simulationen mit kontinuierlichem (cw) Laserbetrieb von Ishii *et al.*[170] sind ebenfalls zwei Regimes für die Photolumineszenz sichtbar, die dort bei einer Laserleistung von $10^0 \mu\text{W}$ bis $10^1 \mu\text{W}$ ineinander übergehen. Die Abweichung dieses Ergebnisses zum Ergebnis dieser Arbeit könnte an dem gepulsten Laser liegen, weil dabei kurzzeitig mehr Exzitonen erzeugt werden und z.B. die Exziton-Exziton-Annihilation (EEA) von der Dichte der Exzitonen abhängt und deshalb schon bei niedrigeren gemittelten Laserleistungen relevant ist. Auf der anderen Seite sinkt die Dichte der Exzitonen während der Dunkelphase. Deshalb ist zu erwarten, dass der Übergang von linearer zu sublinearer Leistungabhängigkeit im cw-Betrieb zwischen der Peakleistung und der gemittelten Leistung im gepulsten Betrieb liegt.

Ishii *et al.* begründen den Abfall der Effizienz der Lumineszenz mit einem Anstieg der Rate an EEA [170]. Es liegt nahe, dass auch beim gepulsten Laserbetrieb im experimentellen Aufbau der AG Krupke [169] EEA zum Übergang von linearer zu sublinearer Anhängigkeit des Photostroms von der Laserleistung führt. Um dies zu untersuchen, wurde der jeweilige Anteil der einzelnen Exziton-Verlustprozesse (intrinsischer Zerfall, Zerfall an Elektrode, EEA) in der Simulation analysiert. Sie sind in Abbildung 6.1 leistungsabhängig dargestellt. Es zeigt sich, dass der intrinsische Zerfall bei den gewählten Simulationsparametern bei niedrigen Laserleistungen ca 5% beträgt und zu hohen Laserleistungen hin abfällt. Bei niedrigen Laserleistungen dominiert der Elektrodenzerfall mit bis zu 95% und fällt am oberen simulierten Leistungsbereich auf unter 1% ab. Der Anteil der EEA beträgt zunächst unter 0,1 % und steigt im Bereich von ca. $10^{-2} \mu\text{W}$ an und beträgt bei der höchsten simulierten Laserleistung mehr als 99%. Der größte Anstieg zeigt sich im Bereich von $10^{-1} \mu\text{W}$ bis $10^0 \mu\text{W}$. In diesem Bereich zeigt sich auch die Änderung im Potenzverhalten des Photostroms abhängig von der Laserleistung. Das Auftreten von EEA korreliert also auch im hier untersuchten System mit einer Verringerung der Photoeffizienz.

6.3 Stromfluss durch asymmetrische Photoexzitonen-Erzeugung

Von weiterem Interesse ist die Frage, welche Rolle eine asymmetrische Beleuchtung spielt. Von den Experimentatoren wurde berichtet, dass der Laserspot üblicherweise nicht zentral auf das CNT, sondern (soweit präzise möglich) auf eines der Enden des CNT an der Elektrode gerichtet ist und dies für einen Photostrom nötig ist. Wie in Tabelle 6.1 dargestellt, beträgt die Breite des gaußförmigen Laserspots ca. 500 nm, die Länge des CNTs 800 nm. Es werden also auf der gesamten Länge des CNTs Exzitonen erzeugt, allerdings mit lokal unterschiedlicher Rate. Es stellt sich die Frage, ob auch in einer Simulation alleine die asymmetrische Beleuchtung im Bezug zur Mitte des CNTs für einen Nettostrom im ansonsten geometrisch symmetrischen System ausreicht. Alternativ müssten die stets vorhandenen stochastischen Ungenauigkeiten zu einem asymmetrischen realen System und damit zum Nettostrom führen.

Um dies zu prüfen, wurde in der Simulation der Photostrom abhängig von der Position des Laserfokus bestimmt. Zwei mittlere Laserleistungen P von $0,03 \mu\text{W}$

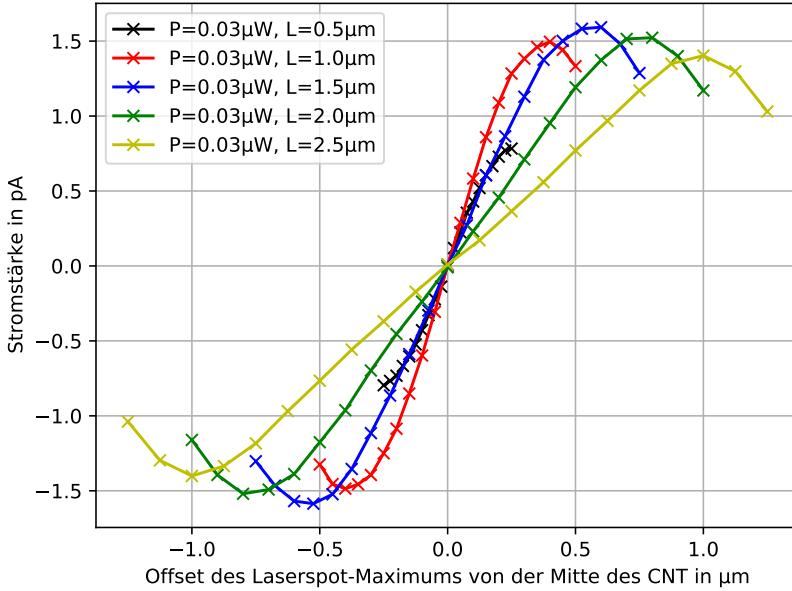


Abbildung 6.2: Simulierte Photostromstärke über der Position des Laserspot-Maximums gemessen von der Mitte des CNT bei Längen des CNT von $0,5\mu\text{m}$ bis $2,5\mu\text{m}$. Die mittlere Laserleistung beträgt $0,03\mu\text{W}$, was dem linearen Bereich aus Abb. 6.1 entspricht.

und $3,8\mu\text{W}$ wurden verwendet, um die beiden Transportregimes, die im vorigen Unterkapitel ermittelt wurden, abzudecken. Zusätzlich wurde die Länge L des CNT von $0,5\mu\text{m}$ bis $2,5\mu\text{m}$ variiert. Alle anderen Simulationsparameter entsprechen denen aus Tabelle 6.1.

Die Ergebnisse für den linearen Bereich sind in Abb. 6.2, für den sublinearen Bereich in Abb. 6.3 dargestellt als der Photostrom über der Laserposition gemessen als Abstand vom Mittelpunkt des CNT. In beiden Regimes fließt bei einer symmetrischen Beleuchtung (d.h. Abstand $0\mu\text{m}$) kein Nettostrom in der Simulation, bei asymmetrischer Beleuchtung (d.h. Abstand $\neq 0\mu\text{m}$) fließt ein Nettostrom. Damit wurde gezeigt, dass auch in der Simulation in einem geometrisch perfekt symmetrischen System die asymmetrische Beleuchtung für einen Nettostrom nötig ist. Wie zu erwarten, ist der Verlauf des Photostroms inversionssymmetrisch zum symmetrischen Fall.

Im linearen Regime (Abb. 6.2) steigt der Photostrom betragsmäßig zunächst linear an und erreicht ein Maximum, das knapp vor dem Rand des CNT liegt. Nur bei der kleinsten simulierten CNT-Länge von $L = 0,5\mu\text{m}$, wo L kleiner als die Breite des Laserspots ist, ist das Maximum im Simulationsabschnitt nicht erreicht. Bei höheren Offsets fällt der Photostrom. Eine Erklärung dafür ist, dass die Asymmetrie der Exzitonenerzeugung zunächst steigt, je weiter der Fokus vom Mittelpunkt des CNT entfernt ist, weshalb der Photostrom steigt. Nahe am Rand sinkt zum einen die Gesamtzahl der Photonen, die auf den CNT treffen, da mehr und mehr Photonen außerhalb des CNTs absorbiert werden. Zum anderen sinkt die Steigung am Rand der

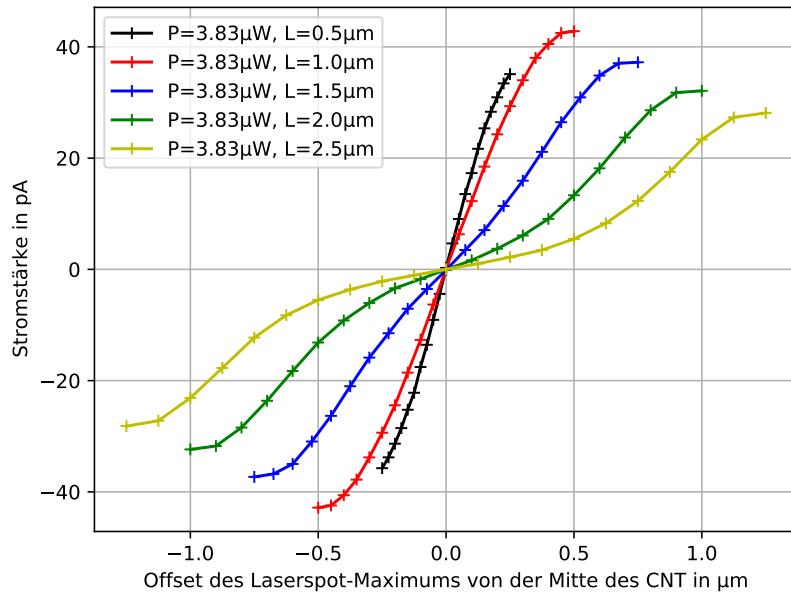


Abbildung 6.3: Photostromstärke über der Position des Laserspot-Maximums gemessen von der Mitte des CNT bei Längen des CNT von $0,5 \mu\text{m}$ bis $2,5 \mu\text{m}$. Die mittlere Laserleistung beträgt $3,83 \mu\text{W}$, was dem sublinearen Bereich aus Abb. 6.1 entspricht.

Gaußkurve des Laserspots, sodass die Asymmetrie des Beleuchtungsmusters bei der Laserposition am Rand abnimmt.

Betrachtet man den maximalen Photostrom für jede CNT-Länge, kann bei einer CNT-Länge von etwa $1,5 \mu\text{m}$ der größte Photostrom erreicht werden. Dies ergibt sich auch zwei konkurrierenden Effekten. Mit der Länge des CNT steigt die Zahl der erzeugten Exzitonen, allerdings müssen die Exitonen, Elektronen und Löcher bei großen CNT-Längen einen weiteren Weg bis zu den Elektroden diffundieren. Insbesondere Elektronen und Löcher müssen für einen Nettostrom zu den entgegengesetzten Elektroden diffundieren ohne zu rekombinieren, was bei langen CNT erschwert ist. Außerdem bedeutet eine größere Entfernung eine größere Verweildauer auf dem CNT und damit eine größere Wahrscheinlichkeit, dass ein Exziton intrinsisch zerfällt.

Im sublinearen Regime (Abb. 6.3) lässt sich ein ähnlicher Verlauf wie im linearen Fall erkennen. Auch hier ist das Verhalten inversionssymmetrisch. Im Vergleich zum linearen Regime liegt das Maximum des Photostroms jetzt bei Offsets, die außerhalb des Simulationsintervalls liegen, also wenn der Laserfokus außerhalb des CNT liegt. Zum Rand des Simulationsintervalls erreicht der Photostrom ein Plateau, das Maximum des Photostroms könnte bei einer Laserfokus-Position leicht außerhalb des CNT liegen. Die CNT-Länge mit dem maximalen Photostrom (Im Simulationsintervall) liegt etwas niedriger als im linearen Fall und beträgt ca. $1,0 \mu\text{m}$.

Das Verhalten im zentralen Bereich unterscheidet sich zum linearen Regime. Der Photostrom weist eine S-Form auf, d.h. er steigt bei langen CNT zunächst deutlich schwächer an und steigt nahe des CNT-Randes bis zum Plateau stärker an. Diese

S-Form könnte mit dem EEA erklärt werden: Bei einer mittigen Beleuchtung werden dort viele Exzitonen erzeugt, die einen weiteren Weg zu einer Elektrode haben als am Rand erzeugte Exzitonen. Es besteht eine höhere Wahrscheinlichkeit für EEA oder den intrinsischen Zerfall, bevor sie an einer der Elektroden durch Auftrennung in Elektron und Loch erst zum effektiven Stromfluss beitragen können. Bei einer hohen Exziton-Dichte sinkt der Weg, den ein Exziton in seiner Lebenszeit zurücklegen kann, die effektive Diffusionslänge sinkt.

In der Simulation reicht also bereits die räumlich asymmetrische Exzitonenerzeugung aus, um einen Nettostrom durch die Elektroden zu erhalten. Die optimale Laserposition für einen maximalen Photostrom hängt von der Laserleistung und dem Transportregime ab. CNT-Längen von 1-1,5 µm führen mit den hier untersuchten Parametern zu den höchsten Photoströmen.

7 Zusammenfassung und Ausblick

Im Rahmen dieser Dissertation habe ich erfolgreich das Verständnis der gedruckten Elektronik verbessert, indem ich mit Modellierungen und Simulationsergebnissen Einblicke in das Verhalten und die Funktionsweise von gedruckten Transistoren sowie druckbaren Materialien geben konnte.

Für den gedruckten Elektrolyt-Feldeffekttransistor mit vertikalem Leitungskanal (vFET) habe ich einen „digitaler Zwilling“ des Bauteils erstellt. Ein Fit ergab physikalisch sinnvolle Werte für einige experimentell nicht zugänglichen Materialparameter. Eine gekoppelte Halbleiter-Elektrolyt-Simulation bestätigt die verwendete Näherung der nicht untereinander wechselwirkenden Domänen selbstkonsistent. Dies zeigt, dass das gesamte Modell mitsamt der vereinfachten Morphologie ein physikalisch sinnvolles Modell des vFET ist.

Aus den Simulationsergebnissen lässt sich der Leitungskanal im vFET lokalisieren und quantifizieren, was bereits Rückschlüsse auf den Einfluss der Domänengröße erlaubt. Weitere Simulationen bei anderen Dotierkonzentrationen sowie anderen (MC-generierten) Morphologien zeigen, dass die experimentelle Dotierkonzentration bereits einen guten Kompromiss aus scharfer Trennung von On- und Off-Zustand sowie absolutem Stromfluss darstellt sowie dass kleinere Domänen die Eigenschaften des Transistors verbessern würden (z.B. mind. 3 Größenordnungen niedrigerer Off-Strom). Ebenso wurde ermittelt, dass beide Größen einen Einfluss auf die Schwellspannung haben. Letztlich konnte ich mit dem Simulationsmodell den Anteil der Randströme am Gesamtstrom durch den Transistor abschätzen. Die Randströme haben zwar einen signifikanten Anteil am Gesamtstrom, können aber nicht alleine für das experimentell beobachtete sublineare Wachstum der Stromstärke mit der Transistorfläche verantwortlich sein. Darauf aufbauend konnte ich selbstkonsistent zeigen, dass eine endliche Eindringtiefe des Elektrolyt in den vFET das gemessene Verhalten erklären kann.

Zukünftige Forschungsprojekte könnten diese Eigenschaften in der Simulation im Experiment verifizieren und so die Anwendungsmöglichkeiten des vFET erweitern. Die bisher lithographisch hergestellten Elektroden könnten ebenfalls gedruckt werden, um ein vollständig gedrucktes Bauteil zu erhalten. In weiteren Simulationen könnte z.B. erarbeitet werden, inwiefern andere Elektrodengeometrien unter der Annahme einer konstanten Eindringtiefe des Elektrolyt auch bei einer großen Transistorfläche eine zuverlässige Verschaltung des Gates erlauben. Zusätzlich wurden bisher in der Simulation nur stationäre Zustände betrachtet, hier wäre es von Nutzen auch zeitabhängige Simulationen durchzuführen um die dynamischen Eigenschaften des vFET zu modellieren.

Im zweiten Teil dieser Arbeit habe ich ein neuartiges Modell für die Schwellspannung in beliebigen Elektrolyt-Feldeffekttransistoren entwickelt, das im Vergleich zum vorigen Abschnitt nicht auf Messergebnissen gefittet wurde, sondern als bottom-up

7 Zusammenfassung und Ausblick

Modell nur auf grundlegenden physikalischen Prinzipien basiert. Qualitativ verknüpft es die angelegte Gatespannung mit den Grenzschichtkapazitäten sowie der Spannung, die an der Elektrolyt-Halbleiter-Grenzschicht anliegt. Mit wenigen Annahmen wie einem stationären Zustand und der Abwesenheit von chemischen Reaktionen habe ich zunächst das Modell qualitativ erläutert sowie diskutiert und anschließend eine geschlossene Formel für die Schwellspannung hergeleitet. Erstmals verknüpft das Modell eine statische Eigenschaft wie die Schwellspannung mit den Grenzschichtkapazitäten bzw. parasitären Kapazitäten im Transistor, die bisher nur in Verbindung mit dynamischen Eigenschaften wie der Schaltgeschwindigkeit gebracht wurden. Das Modell zeigt auch, dass die Grenzschichtkapazitäten in Elektrolyttransistoren nicht nur als parasitäre Kapazitäten unerwünscht sind, sondern in gewissem Maße auch zur Justierung der Schwellspannung nützlich sein könnten.

Ich diskutiere das Modell auf Messergebnisse von Kolleginnen und Kollegen von unterschiedlichen gedruckten planaren Elektrolyt-Feldeffekttransistoren. Im Experiment weist ein gedruckter in-plane-Transistor eine Abhängigkeit der Schwellspannung von der Länge, aber nicht von der Breite des Leitungskanals auf. Das entwickelte Schwellspannungsmodell kann diese Abhängigkeit qualitativ erklären, indem die nicht beliebig verkleinerbare Größe der druckbaren Bereiche berücksichtigt wird. Auch bei weiteren Beispielen lässt sich das Modell teilweise anwenden, unter anderem in einer speziell aufgesetzten Messreihe einer experimentellen Partnergruppe zur Prüfung des Modells.

Hier sind weitere experimentelle Ergebnisse mit Referenzmessungen nötig, um eine Bestätigung mit statistischer Signifikanz und unter Ausschluss anderer Effekte erhalten zu können bzw. um ansonsten das Modell zu erweitern. Weitere Möglichkeiten das Modell zukünftig zu verfeinern sind z.B. die Berücksichtigung der Source-Drain-Spannung und intrinsischen Kontaktspannungen. Weiterhin werden in der Literatur bereits neben rein elektrostatisch schaltenden Elektrolyt-FETs auch elektrochemische Effekte diskutiert, die in das Modell einfließen könnten. Ebenso sind weitere Ansätze nötig, um gekoppelte Halbleiter-Elektrolyt-Simulationen durchzuführen um den relevanten Einfluss der Elektrolyt-Leitfähigkeit auf die Ladungakkumulation z.B. in frequenzabhängige Simulationen mit einzubeziehen.

Im dritten Teil habe ich ein Simulationsverfahren aufgesetzt, das erfolgreich den gepulsten Photostrom in einem Kohlenstoffnanoröhrchen (CNT) simuliert. Das Modell basiert auf einer Beschreibung in der Literatur und konnte mit den veröffentlichten Ergebnissen erfolgreich auf Korrektheit geprüft werden. Auf dieser Basis habe ich das Simulationstool für die experimentellen Bedingungen erweitert. Ich konnte über die Simulation zeigen, dass es auch bei gepulster Beleuchtung abhängig von der Laserleistung zu verschiedenen Transportregimes kommt, deren gefitteter Exponent von Experiment und Simulation jeweils sehr gut übereinstimmt. Die Simulation kann auch die von außen nicht direkt messbaren Verlustprozesse quantifizieren und damit zeigen, dass die Bereiche der Transportregimes auch bei gepulster Beleuchtung mit dem Anteil des Exziton-Exziton-Quenchings an der Summe der Verlustprozesse korrelieren. Weiterhin erlaubt es das Simulationsmodell, unabhängig von möglichen experimentellen unbekannten Einflüssen den Photostrom zu bestimmen. Damit konnte ich zeigen, dass in einem geometrisch perfekt symmetrischen System kein Photostrom fließt. Erst durch

eine asymmetrische Beleuchtung wie ein vom Mittelpunkt verschobener Laserfokus entsteht ein Photostrom. Da CNT grundsätzlich auch druckbar sind und halbleitende Eigenschaften haben können, bietet es sich an in zukünftigen Forschungsprojekten Transistoren mit halbleitenden CNT zu drucken und die Eigenschaften des Bauteils zu untersuchen. Damit stünde eine neue Materialklasse als Halbleitermaterial für gedruckte Elektronik zur Verfügung und könnte z.B. die Metalloxide der anderen in dieser Arbeit vorgestellten gedruckten Transistoren ergänzen.

8 Anhang

8.1 Nutzung von COMSOL

8.1.1 Überblick über COMSOL

Die Grundsoftware ist ein Paket zum numerischen Lösen von Differenzialgleichungen auf beliebigen Geometrien in 0D bis 3D. Dies bildet die Kernfunktionalität. Es ist möglich, beliebige (partielle) Differenzialgleichungen einzugeben und lösen zu lassen. Neben dem Kernpaket verkauft der Hersteller eine Vielzahl an Zusatzmodulen, die vorgefertigte Differenzialgleichungen mit vielen Randbedingungen bündeln und leichter konfigurierbar machen. Einer der Vorteile der Software ist, dass Differenzialgleichungen beliebig gekoppelt werden können, sodass z.B. der Stromfluss, die daraus resultierende Erwärmung und die daraus folgende mechanische Spannung eines Materials simuliert werden können (siehe „Electrical Heating in a Busbar“-Beispielprojekt integriert in das Softwarepaket für die Version 5.1 des Herstellers). Außerdem ist es möglich, die Parameter im gesamten Modell als beliebige Funktion statt als Konstante zu definieren, sodass Werte in einer Simulation an andere Variablen innerhalb der Simulation gekoppelt werden können.

Sämtliche Gleichungen, Randbedingungen und sonstige Bedingungen können auf einzelne Domänen, Oberflächen oder Kanten angewendet werden. Jedes Objekt enthält dazu einen *Selection*-Unterpunkt, wo die Nummern der entsprechenden Entitäten aufgelistet sind. Sie können entweder aus der Liste direkt gelöscht werden, oder durch Auswahl in der graphischen Anzeige (de)aktiviert werden. Die Auswahl wird auch im Fenster rechts in der Geometrie farblich markiert bzw. kann über eine Auswahl dort geändert werden.

Je nach Art der Randbedingung sind sie additiv (bei allen Fluss-ähnlichen Werten, von Neumann-Randbedingung) oder überschreiben sich (bei der Definition des Werts an sich, Dirichlet-Randbedingung)

Ausbau der Benutzeroberfläche Die Benutzeroberfläche im Widescreen-Modus mit einem Projekt aus dieser Arbeit ist in Abb. 8.1 dargestellt. Unter den Menü/Funktionsleisten ist die Benutzeroberfläche (GUI) in 3 Spalten unterteilt. Links (*Model Builder*) ist der Baum des Projektaufbaus dargestellt. Dort können die einzelnen Aspekte/Objekte des Projekts/Modells ausgewählt werden. Mit einem Rechtsklick auf ein Element/Knoten wird eine Liste an passenden Unterpunkten bzw. Objekten angezeigt, die mit einem Klick auch dem Projekt hinzugefügt werden können. Im hier dargestellten Beispiel ist die *Electron Density*-Gruppe aus dem *Results*-Teil ausgewählt. In der Mitte (*Settings*) befinden sich die Einstellungen des links ausgewählten

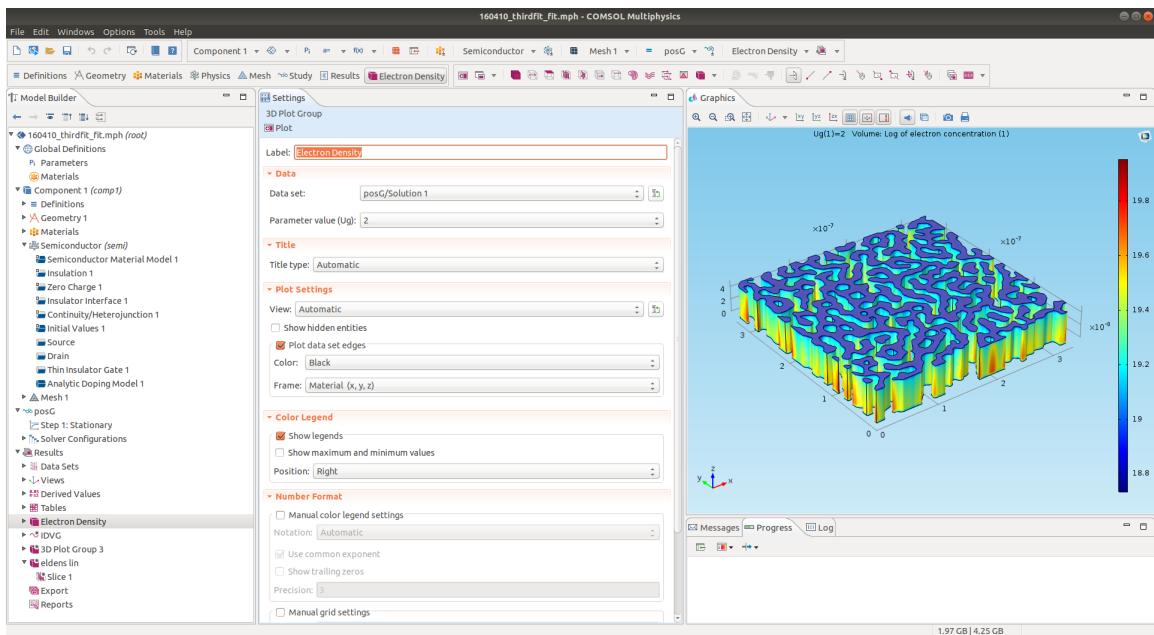


Abbildung 8.1: Screenshot der COMSOL-Oberfläche (Version 5.1) wie sie in dieser Arbeit für den vFET (siehe Kap. 4) verwendet wurde.

Objekts. In diesem Fall sind die wichtigsten Einstellmöglichkeiten die Auswahl des eigentlichen Datensets und der dazugehörigen Parameter. Rechts befindet sich eine grafische Ansicht zur aktuellen Auswahl.

Aufbau des Projektbaums Der Projektaufbau in der linken Spalte von oben nach unten entspricht grob dem Arbeitsablauf, in dem ein Simulationsprojekt aufgebaut werden sollte. Es ist zu beachten, dass oben im Projektbaum mit dem *Show*-Knopf weitere Einstellmöglichkeiten und Anzeigen aktiviert werden können wie die Definition der eigentlichen Formeln, der Diskretisierung etc. In den *Global Definitions* können zum einen Parameter und Funktionen definiert werden, auf die vom gesamten Projekt aus zugegriffen werden kann, außerdem können dort Materialparameter definiert werden (üblicherweise werden diese allerdings weiter unten im Projekt aufgeführt). Die danach folgende Hauptkomponente *Component 1* enthält weitere Definitionen (*Definitions*) von Parametern, Variablen und Funktionen, die gesamte Geometrie-Bearbeitung (*Geometry*), die Liste der verwendeten Material-Parameter (*Materials*), alle physikalischen Modell- bzw. Differenzialgleichungsdefinitionen (in diesem Fall *Semiconductor*) sowie die Diskretisierung der Geometrie über ein Netz (*Mesh*). Das eigentliche Lösen der Differenzialgleichung, Parameterreihen sowie die numerischen Lösungsverfahren werden dann über die *Solver*-Objekte (hier benannt als *posG*) eingestellt. Der *Results*-Knoten definiert Datensätze (*Data Sets*), die entweder aus dem Löser stammen oder aus diesen abgeleitet werden können. Beispielsweise kann aus einer 3D-Geometrie über eine Schnittebene ein abgeleiteter 2D-Datensatz (analog 2D zu 1D) erzeugt werden. Die *Derived Values* definieren Nachbearbeitungsschritte, die auf die Datensätze angewendet werden können wie Integrale und Auswertungen

an bestimmten, beliebigen Punkten im Raum. Diese Daten können in Tabellen im *Tables*-Knoten gespeichert werden. Ebenfalls können in den *Results* Plot-Gruppen definiert werden wie das ausgewählte *Electron Density*, ein 3D-Plot oder der 1D-Plot *IDVG* (siehe Abb. 8.1).

Die Symbole im Projektbaum können weitere Informationen zur Interaktion der Objekte untereinander darstellen. Ein kleines „D“ in der linken oberen Ecke (z.B. bei *Semiconductor Material Model 1* in Abb. 8.1) zeigt an, dass dieses Objekt automatisch erstellt wurde. Ein rotes Dreieck zeigt an, dass das ausgewählte Objekt das andere Objekt mit dem roten Dreieck überschreibt. Ein schwarzer Kreis zeigt an, dass die Objekte sich gegenseitig beeinflussen.

Um ein Modell aufzubauen, ist der *Model Wizard* einfach zu verwenden. Dort wird nacheinander die Dimensionalität der Geometrie, die gewünschten Module mit vorgefertigten Differenzialgleichungen und Randbedingungen sowie die Art der Studie (zeitabhängig, stationär oder Frequenz-Fourierraum) abgefragt. COMSOL erstellt daraus ein Basisprojekt, das weiterhin nach belieben abgeändert und erweitert werden kann.

Lizenzen Für die Arbeit am vFET wurde eine institutsinterne Lizenz für COMSOL 5.0-5.2 genutzt. Die Programme können ohne Ablaufdatum weiter verwendet werden, allerdings sind Updates und Support wegen der abgelaufenen Lizenz nicht mehr über diese Lizenz verfügbar. Die Lizenz umfasst das Grundpaket und das Halbleiter-Modul als eine sog. „Floating-Network-Lizenz“, d.h. es können beliebig viele Installationen mit dieser Lizenz durchgeführt, aber zu jedem Zeitpunkt maximal eine Installation aktiv in Nutzung sein. Der dazu im Institut eingerichtete Lizenzserver ist über die Adresse int-lic-01.int.kit.edu und den Port 1718 verfügbar. Auf dem Rechencluster *intnano* vom INT sind auch Abbildungen der Installationsmedien der COMSOL-Versionen 5.0 bis 5.2 abgespeichert.

Daneben stellt auch das SCC für das gesamte KIT umfangreiche COMSOL-Lizenzen mit einer Vielzahl von Modulen (u.a. auch das Halbleitermodul) zur Verfügung. Über diese aktiven Lizenzen kann auch der COMSOL-Supprt genutzt werden. Die Adresse des Lizenzservers sowie der Speicherort von Installationsdaten sind über die Webseiten des SCC (scc.kit.edu) bzw. über den verantwortlichen Mitarbeiter des SCC (Herr Ngan Long Tu) verfügbar. Über diese Lizenz wurde COMSOL 5.6 für den Versuch verwendet, das Drift-Diffusions-Modell sowohl im Halbleiter als auch im Elektrolyt gekoppelt zu simulieren (siehe Kap. 8.3).

8.1.2 Beschleunigung der Berechnungen

Methoden zur Verkürzung der Rechenzeit Die Rechenzeit für das Lösen eines Modells kann bei großen Modellen eine Herausforderung darstellen. Die Rechenzeit hängt zum einen von der Größe des Modells, der Dichte des Netzes und der Anzahl der Variablen ab, zum anderern von der verfügbaren Rechenleistung. Die Komplexität kann dabei reduziert werden, indem die Größe durch Symmetrieausnutzung verkleinert, das Netz an den richtigen Stellen vergrößert und uninteressante Variablen (z.B. Minoritätsladungsträger in Akkumulations-Feldeffekttransistoren) ignoriert werden.

Die Tipps zur Konvergenzverbesserung beeinflussen auch direkt die Geschwindigkeit, da eine kleinere Anzahl von Rechenschritten unmittelbar in kürzeren Rechenzeiten resultiert.

Daneben spielt auch die Rechenleistung des Computers eine Rolle. COMSOL und die genutzten Bibliotheken sind Multithreading- und teilweise auch Multiprocessing-fähig. Standardmäßig nutzt COMSOL alle zur Verfügung stehenden CPU-Kerne aus. Auf Rechenclustern und bei kleinen Projekten ist das nicht sinnvoll, weshalb es sich anbietet die Anzahl der Threads über die Option `-np X` fest vorzugeben. Zu viele Threads beschleunigen die Berechnung nicht weiter. Es ist deshalb sinnvoll, vor größeren Berechnungen an einem Beispiel eine sinnvolle Anzahl an Threads zu finden. Grundsätzlich spielt natürlich auch die Taktfrequenz der CPU und die Speichergeschwindigkeit eine Rolle. Vor allem letzteres kann bei großen Projekten ein Nadelöhr darstellen.

Durch die *Floating Network Licence* ist es möglich, COMSOL auch auf einem Rechencluster wie int-nano (`int-nano.int.kit.edu`) zu nutzen. Dazu gibt es verschiedene Möglichkeiten. Die einfachste ist, ein Projekt vollständig vorzubereiten, abzuspeichern und dann auf dem Rechencluster über

```
$ comsol -np 16 batch -inputfile <Projekt-Datei>
```

(hier als Beispiel mit 16 Threads) auszuführen. COMSOL führt dann die Studien im Projekt aus und speichert die Ergebnisse im Projekt ab.

Eine weitere Möglichkeit ist, den Rechenkern der Software auf dem Cluster mit der Benutzeroberfläche auf einem Büro-Computer zu verbinden. Vor allem zur Fehlersuche und zum Postprocessing ist das eine elegante Art, die komplexen Berechnungen auf einem leistungsfähigen Computer laufen zu lassen und gleichzeitig direkt Einfluss auf das Projekt und die Plots nehmen zu können. Dazu kann auf dem Cluster ein Server-Prozess (nicht zu verwechseln mit der COMSOL-Server-Applikation!) gestartet werden:

```
$ comsol -np 16 mphserver
```

Beim ersten Aufruf muss ein Passwort gesetzt werden. Eventuell muss das Passwort auch zurückgesetzt werden wenn bereits ein anderer Nutzer das Passwort eingerichtet hatte, dies ist mit der Option `-passwd reset` möglich.

Dieser Aufbau funktioniert auch mit einer einzigen Lizenz, da die Lizenz intern als Gruppe von Lizzenzen für die GUI und Rechenkernel mit den benötigten Modulen angesehen wird. Bei großen Modellen (insbesondere mit bereits berechneten Ergebnissen) ist es von Vorteil, zuerst die GUI mit dem Rechenkernel zu verbinden und erst dann das Projekt zu laden. Damit wird vermieden, dass das Modell zunächst auf dem Büro-Computer geladen wird und dort den Arbeitsspeicher möglicherweise überlastet.

Alle Beispiele bezogen sich auf Multithreading auf einer einzelnen Node. COMSOL unterstützt auch Multiprocessing über mehrere Nodes hinweg, was allerdings komplizierter aufzusetzen bzw. in den Scheduler des Computerclusters zu integrieren ist. Für die Modelle dieser Arbeit war Multithreading ausreichend, insbesondere da einzelne Nodes zum Zeitpunkt dieser Arbeit bereits bis zu 128 echte Rechenkerne bereitstellen.

Nutzung auf dem Rechencluster int-nano Die Berechnungen für diese Arbeit wurden teilweise auf dem Rechencluster int-nano (int-nano-int.kit.edu) durchgeführt. Die Besonderheiten sollen nun kurz vorgestellt werden. Die Versionen 5.1, 5.2 und 5.6 sind im Ordner /shared/software/chem/comsol/ installiert.

Um beispielsweise den Rechenkernel in Version 5.1 auf int-nano zu starten, muss der Befehl

```
$ <COMSOL-Installationspfad>/bin/comsol -np 16 mphserver
```

ausgeführt werden (analog für andere Versionen und für den batch-Betrieb mit batch und Dateiname statt mphserver)

Um sich mit dem Rechenkernel verbinden zu können, ist noch ein Zwischenschritt nötig, da eine direkte Tunnelverbindung mit der Clusternode hergestellt werden muss. Nachdem der Rechenkernel vom Scheduling-System auf dem Cluster gestartet worden ist, muss die Node identifiziert werden, auf dem der Prozess läuft (z.B. nano02). Der Befehl zum Aufbau des ssh-Tunnels vom Client-Computer aus lautet:

```
$ ssh -L 2036:localhost:2036 -J <User-ID>@int-nano.int.kit.edu \
<User-ID>@<Node>.int-nano.int.kit.edu
```

Die User-ID ist die ID, mit der man sich KIT-weit bei Diensten anmeldet.

Die GUI kann dann über dem Menübefehl *File/Client Server/Connect to Server...* mit dem Rechenkernel über die Adresse localhost:2036 (da der ssh-Tunnel die Verbindung auf den lokalen Port 2036 gemappt hat) verbunden werden.

8.1.3 Konvergenzerleichterungen

In diesem Anschnitt sollen Tipps und Tricks vorgestellt werden, wie bei Konvergenzproblemen bei Halbleitermodellen in COMSOL vorgegangen werden kann. Der Hersteller empfiehlt, im Modell keine starken Parameteränderungen (weder zeitlich noch örtlich) einzuführen und diese im Zweifelsfall in einem *Auxiliary Sweep* langsam zu entwickeln. Weiterhin ist eine gute Netzqualität wichtig für die Konvergenz. Regionen mit großen örtlichen Änderungen des elektrischen Potentials oder Ladungsträgerdichte (z.B. an einer Gate-Elektrode) benötigen ein feines Netz. Es kann auch sinnvoll sein, einen Parameter-Sweep aufzuteilen und z.B. von einer Gatespannung von 0 V einmal zu positiven und einmal zu negativen Spannungen zu gehen (dazu können mehrere Studien dem Projekt hinzugefügt werden). Dabei muss die Option aktiviert sein, dass die Lösung eines Parametersatzes als Anfangswert des nächsten Parametersatzes gesetzt wird, was in COMSOL z.B. über die sog. *Continuation* des Auxiliary Sweep möglich ist. Umgekehrt kann es bei manchen Modellen auch ratsam sein, mit einer hohen Gatespannung zu beginnen und sie dann abzusenken, um dem Löser zu Beginn einen starken Gradienten zur korrekten Lösung hin anzubieten. Allgemeingültige Regeln aufzustellen ist dabei schwierig, es bietet sich an bei Konvergenzproblemen verschiedene Ansätze auszuprobieren.

Zusätzlich sind die Unterknoten des *Solver Configurations/Solution 1/Stationary Solver* relevant. In dieser Arbeit war es von Vorteil, den Algorithmus zum diagonalisieren der Matrizen im *Direct 1-Knoten* vom MUMPS-Paket auf PARDISO umzustellen

(Achtung: Es gibt zwei dieser Knoten, der erste ist deaktiviert, der zweite ist aktiv). Letzterer ist numerisch etwas stabiler und skaliert auch besser mit mehreren Threads. Im *Stationary Solver*-Objekt ist auch die Konvergenzschwelle definiert. Sie liegt im Halbleitermodul in 3D standardmäßig bei 10^{-5} , in 2D bei 10^{-6} . Diese Werte sind üblicherweise sinnvoll gewählt.

Im *Fully Coupled*-Objekt lässt sich der Algorithmus zum Lösen des nichtlinearen Gleichungssystems einstellen. Standardmäßig wird ein adaptives Newton-Verfahren angewendet. Die Schrittweite und Dämpfung wird dabei automatisch innerhalb eines einstellbaren Intervalls angepasst. Diese Parameter zu justieren kann sinnvoll sein. Dort kann man auch die maximale Anzahl der Schritte angeben und definieren, ob ein Ergebnis auch nur durch das Erreichen der maximalen Schritte bereits als konvergiert angesehen werden soll. Es ist auch ein nicht-adaptives Newtonverfahren verfügbar, das üblicherweise mehr Schritte benötigt, aber in manchen Fällen dem adaptiven Verfahren überlegen ist (z.B. wenn letzteres zu Schwingen beginnt).

Auch die Anzahl der genutzten Rechenkerne (z.B. beim Start von COMSOL vorgegeben mit der Option `-np XX`) kann einen Einfluss auf die Stabilität des linearen Löser haben. Bei Problemen im linearen Löser (nichtsymmetrische Matrix, singuläre Matrix etc.) kann es sich lohnen, die Anzahl der Rechenthreads zu verändern.

Zur Kontrolle der Konvergenz während der Simulation bietet COMSOL mehrere Möglichkeiten. Zum einen wird standardmäßig ein Konvergenzplot erstellt, der ein kombiniertes Konvergenzmaß über den Verlauf der Rechnung darstellt. Dort kann man z.B. erkennen, ob eine Simulation sich einem konvergierten System annähert oder nur noch zwischen unplausiblen Zuständen hin- und herspringt. Es kann auch hilfreich sein, bei Konvergenzschwierigkeiten die Zwischenergebnisse während der Simulation zu beurteilen. Dazu gibt es im *Stationary Solver*-Objekt die Einstellungsmöglichkeit *Results while solving*. Dort kann ein Plot-Knoten o.ä. aus dem *Results*-Abschnitt ausgewählt werden. Die Ergebnisse eines Parametersets werden dann unmittelbar bei Verfügbarkeit dargestellt. Eine noch feinere Möglichkeit bietet die Option *Results while solving* im *Fully Coupled*-Knoten. Damit können sämtliche Zwischenschritte des nichtlinearen Lösers dargestellt werden. Dies kann helfen, da manchmal eine numerische Instabilität zu unphysikalischen Zuständen wie z.B. negativen Dichten führen kann. Diese sind auf diese Weise schnell erkennbar und das Netz sollte an diesen Stellen angepasst werden. Es kann auch auftreten, dass das System sich in einem metastabilen Gleichgewicht befindet, z.B. weil sich wellenartige Dichtemaxima parallel zur Gate-Elektrode langsam durch das System bewegen. In so einem Fall hilft es, die Symmetrie des Systems zu reduzieren und auf diese Weise dem Löser einen Gradienten anzubieten. Manchmal ist aber auch ein weiterer Simulationslauf erfolgreich, die Simulationsläufe sind nicht streng deterministisch (das konvergierte Ergebnis aber trotzdem im Rahmen des Konvergenzkriteriums gleich!).

8.1.4 Geometrieerstellung, Import und Prozessierung

Die Simulationssoftware COMSOL enthält Funktionen um Geometrien zu laden, zu erzeugen bzw. zusammenzusetzen und zu modifizieren. Dazu stehen zum einen Grundformen der jeweiligen Zahl der Raumdimensionen (Kreise, Rechtecke, Polygone

in 2D, Quader, Kugeln, Polygone in 3D) zur Verfügung, zum anderen können Polygone über Listen aus Koordinaten u.a. aus externen Dateien geladen werden. Alle Geometrie-Elemente können mit logischen Operationen wie AND, OR und XOR verknüpft werden, um aufwändigeren Geometrien erstellen zu können. Objekte oder auch Gruppen von Objekten können vervielfältigt werden. Es ist auch möglich, 3D- aus 2D-Strukturen zu erstellen, indem 2D-Domänen extrudiert oder rotiert werden.

Aufwändigeren Geometrien lassen sich entweder als CAD-Dateien importieren, die mit anderer Software erstellt wurden, oder z.B. durch das Java-Interface in COMSOL als Programmcode erstellen. Das Java-Interface erlaubt es, in Schleifen Aktionen durchzuführen, wie sie auch in der Benutzeroberfläche möglich sind. Damit können vergleichsweise schnell eine Vielzahl an Geometrieelementen erstellt werden, was manuell in der Benutzeroberfläche viel Zeit in Anspruch nehmen würde.

Zur Vorbereitung der experimentell oder durch MC-Simulation erzeugten 2D-Morphologien wurde ein Skript in Python geschrieben (`morphology2comsol_3.py`), das aus einem 2D-Schwarzweiß-Bild die Koordinaten der Domänenumrisse extrahiert. Das Skript glättet die Kanten und entfernt Rauschen durch Erosions- und Dilatationsfilter. Dann nutzt es einen konventionellen Kantenerkennungsfilter. In dessen Ergebnis sucht ein iterativer Algorithmus nach einer Kante und verfolgt die Kante, bis entweder die Kante zu Ende ist oder der Ausgangspunkt wieder erreicht wird. Alle abgesuchten Randpunkte werden dabei aus dem Bild gelöscht. Die Koordinaten jedes zehnten Punktes werden in einer Datei abgespeichert. Für jede Domäne wird eine neue Ausgabedatei erstellt. Das Verfahren wird so oft wiederholt, bis keine Domäne mehr vorhanden ist.

Anschließend müssen die Domänen in COMSOL geladen werden. Dazu wurde ein eigenes Projekt erstellt und dort eine einzelne Domäne über die File-Import-Funktion des *Polygon*-Objekts als *Closed Curve* geladen. Das Projekt wurde dann nicht als COMSOL-eigene .mph-Datei, sondern als .java-Datei gespeichert (COMSOL basiert auf Java und enthält deshalb eine Java-Schnittstelle, über die alle Funktionen zur Verfügung stehen[173]). Die Java-Datei enthält Code, der alle Einstellungen so setzt wie sie in der GUI festgelegt wurden. Bei umfangreicheren Projekten kann es sinnvoll sein, über den Menüpunkt *File/Compact History* alle Befehle zu bereinigen und zu sortieren. Die Java-Datei wurde dann um eine Schleife erweitert, die sämtliche Domänen-Dateien nacheinander lädt. Dabei musste beachtet werden, dass die File-Import-Funktion max. 10 KB laden kann. Größere Dateien mussten deshalb zunächst aussortiert werden. Über den Befehl

```
$ comsol compile -jdkroot <JDK_ordner> <Java-Datei>
```

kann die Java-Datei in eine .class-Datei kompiliert werden. Dazu muss mit dem Pfad JDK_ordner eine JDK-Installation angegeben werden. Version 1.5 und 1.6 werden offiziell unterstützt, Version 1.7 funktionierte für diese Arbeit hier ebenfalls. Es ist unbedingt darauf zu achten, den absoluten Pfad zur Java-Datei anzugeben! Es wird zwar auch mit einem relativen Pfad keine Fehlermeldung ausgegeben, aber aus Erfahrung wird nur mit einem absoluten Pfad die Java-Datei korrekt in eine .class-Datei kompiliert. Die .class-Datei kann dann erneut als Projekt in COMSOL geladen werden. Die übrigen Domänen in Dateien größer als 10 KB müssen manuell

über die Table-Funktion im *Polygon*-Objekt geladen werden, der ebenfalls mit einer Datei gefüllt werden kann.

Anschließend mussten die Domänen noch nachbearbeitet werden. Die Domänen-Speicher-Routine kann bei nahe beieinanderliegenden Domänengrenzen diese nicht immer sauber trennen. Dazu können die Punktelisten in den Polygonen manuell modifiziert werden. Um Löcher in Domänen zu erhalten, mussten dann mit der *Intersection*-Operation der *Booleans and Partitions*-Gruppe die Löcher ausgebildet werden. Das Resultat kann dann als COMSOL-Geometrie exportiert werden, was den späteren Import vereinfacht. Genauere Informationen zu den Nacharbeitungsschritten wurden bereits anderweitig beschrieben[123].

8.1.5 Aufbereitung der Ergebnisse

In diesem Abschnitt soll beschrieben werden, wie die Simulationsergebnisse ausgewertet werden können und welche Möglichkeiten es zum Postprocessing in COMSOL gibt. Die Ergebnisse einer Simulation (bzw. einer *Study*) werden konkret im *Data Sets*-Unterknoten des *Results*-Knoten abgespeichert. Dort können z.B. auch Schnittebenen (*Cut Planes*) in 3D bzw. Schnittlinien *Cut Line* in 3D oder 2D definiert werden, die selbst ebenfalls als Datenquellen für Abbildungen verwendet werden können. Auch mathematische Operationen wie . Im *Derived Values*-Knoten können Größen aus den Datenquellen berechnet werden und mathematische Operationen wie die Interation sind möglich, z.B. um den mittleren Wert einer Größe entlang einer Schnittebene zu ermitteln. Die Ergebnisse werden als Tabelle im *Tables*-Unterknoten abgespeichert.

Neben der Auswertung über numerische Ergebnisse sind Plots der Simulationsergebnisse wichtig. Im *Results*-Knoten können dazu *Plot*-Gruppen erstellt werden. Sie bestehen zunächst nur aus der Zuweisung zu einer Plot-Art (3D, 2D, 1D) und einer Datenquelle, welche die Simulationslösung selbst oder auch z.B. eine später definierte Schnittebene sein kann. Die Unterpunkte der Plot-Gruppe sind die eigentlichen Graphen. Es stehen dabei viele Möglichkeiten wie farblich codierte Plots, Vektorplots und Schnittbilder in 3D, analoge Plots in 2D sowie klassische Funktionsgraphen (z.B. über *Line Graph* oder *Global*) zur Verfügung. Die x-Achse kann in diesen Fällen auch ein Simulationsparameter sein, sodass z.B. aus einem Sweep der Gate-Spannung in einer Studie ein Transferplot entsteht. Allgemein gibt es für die Nachbearbeitung verschiedene, äquivalente Möglichkeiten, einen Plot zu erstellen. Dabei ist zu beachten, dass (wenn verfügbar) vorberechnete Größen wie z.B. die Gesamtstromstärke durch eine Elektrode genutzt werden sollten statt diese manuell durch Integration zu erstellen, da die interne Repräsentation des Netzes berücksichtigt werden muss. Die vorberechneten Größen basieren immer auf einer physikalisch sinnvollen Interpolation des konkret vorliegenden Netzes und der Ansatzfunktion.

8.2 Beispiele für Transfer- und Outputkurven

Die in diesem Abschnitt dargestellten gemessenen Transfer- und Outputkurven von EGFETs zeigen beispielhaft die verschiedenen möglichen Fehler, die bei EGFETs auf-

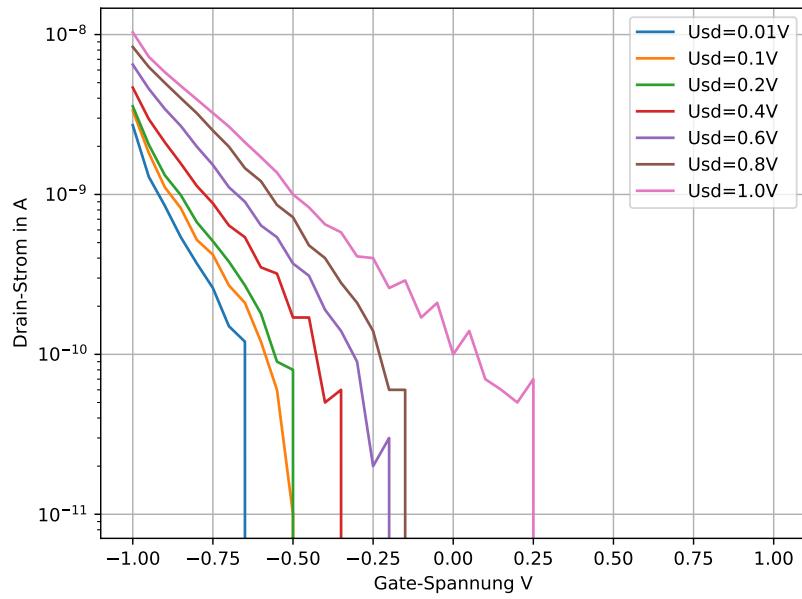


Abbildung 8.2: Transferkennlinien eines Top-Gate-EGFETs mit einer Leitungskanal-Breite von 100 µm und einer -Länge von 40 µm. Die Werte über einer Spannung von 0,25 V sind in der logarithmischen Auftragung nicht darstellbar, da sie negativ sind. Dies deutet auf einen defekten Transistor hin, da der Drain-Stromfluss bei konstanter Source-Drain-Spannung nicht das Vorzeichen wechseln darf.

treten können und deren Daten von der Auswertung ausgeschlossen wurden. Daneben ist jeweils noch ein Beispiel für einen funktionierenden Transistor dargestellt.

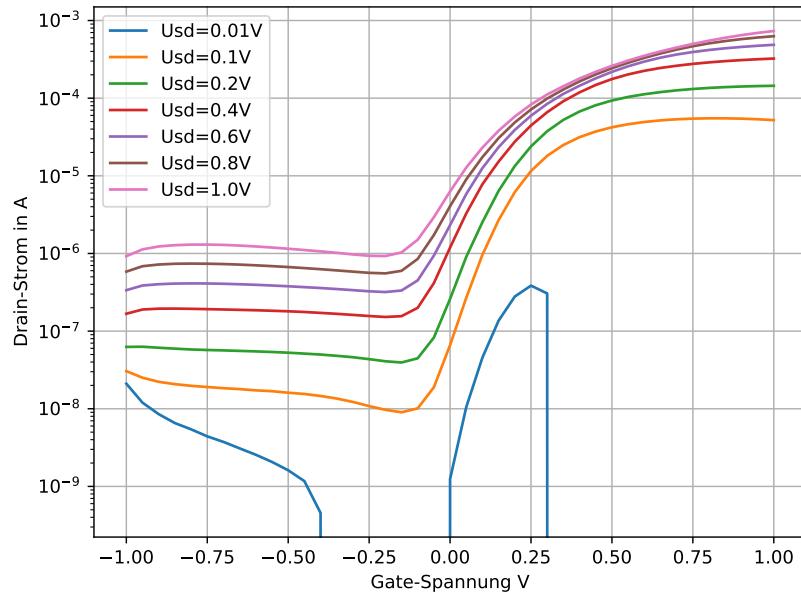


Abbildung 8.3: Transferkennlinien eines Top-Gate-EGFETs mit einer Leitungskanal-Breite von $600\text{ }\mu\text{m}$ und einer -Länge von $60\text{ }\mu\text{m}$. Der Drain-Strom bei der Gate-Spannung von $-0,5\text{ V}$ beträgt ab der Source-Drain-Spannung von $0,4\text{ V}$ über 100 nA , was auf einen unerwünschten Gate-Drain-Strompfad hindeutet.

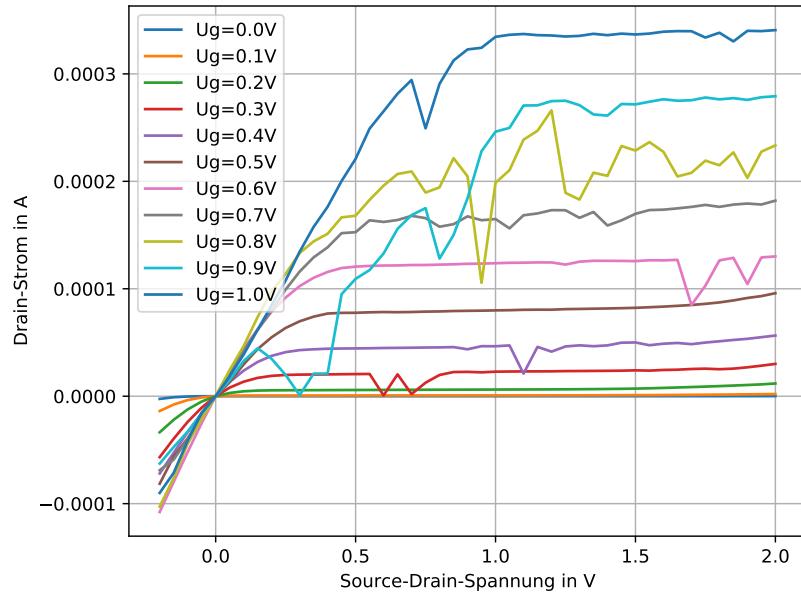


Abbildung 8.4: Outputkennlinien eines Top-Gate-EGFETs mit einer Leitungskanal-Breite von $200\text{ }\mu\text{m}$ und einer -Länge von $100\text{ }\mu\text{m}$. Während die Outputkurven grundsätzlich die erwartete Form ausweisen, sind einige Einbrüche im Strom zu sehen, was auf Kontaktprobleme hindeutet.

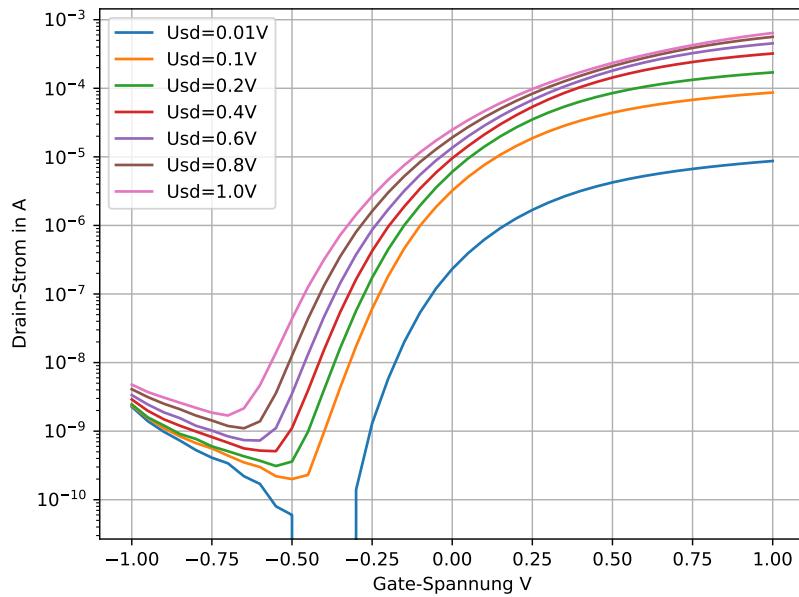


Abbildung 8.5: Transferkennlinien eines Top-Gate-EGFETs mit einer Leitungskanal-Breite von $200\text{ }\mu\text{m}$ und einer -Länge von $40\text{ }\mu\text{m}$. Dies ist ein Beispiel für eine verwertbare Transferkennlinie, die Daten dieses Transistors wurden weiter verarbeitet. Der Abfall für die Source-Drain-Spannung von $0,01\text{ V}$ zwischen der Gate-Spannung von $-0,5\text{ V}$ bis $-0,25\text{ V}$ ist auf die logarithmische Darstellung und die Messungenauigkeit bei Stromstärken im pA-Bereich zurückzuführen.

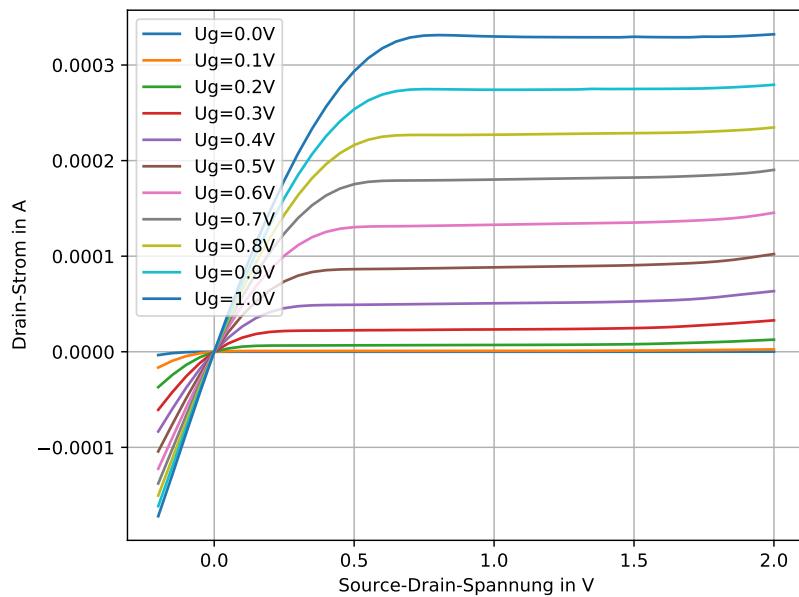


Abbildung 8.6: Outputkennlinien eines Top-Gate-EGFETs mit einer Leitungskanal-Breite von $200\text{ }\mu\text{m}$ und einer -Länge von $100\text{ }\mu\text{m}$. Dies ist ein Beispiel für eine verwertbare Outputkennlinie, die Daten dieses Transistors wurden weiter verarbeitet.

8.3 Gekoppelte Halbleiter-Elektrolyt-Simulation

Um die das Verhalten eines EGFET und die Ladungsträgerverteilung im Halbleiter simulieren zu können, wurde im Rahmen dieser Arbeit eine gekoppelte Halbleiter-Elektrolyt-Simulation versucht. Dies sollte z.B. den Einfluss der Source-Drain-Spannung auf das elektrische Potential im Halbleiter beschreiben, sodass Elektrodeneffekte durch die Source-Drain-Spannung quantifizierbar würden. Auch die lokale Kapazität der Doppelschicht am Halbleiter wäre damit ermittelbar. Auch zeitabhängige Simulationen wäre möglich und könnten zeigen, wie sich die Doppelschicht zeitlich auf- und abbaut und wie Optimierungen der Schaltgeschwindigkeit möglich wären.

Dazu müssen die Halbleitergleichungen im Halbleiter und die Nernst-Planck-Poisson-Gleichungen im Elektrolyt gekoppelt gelöst werden. Beide beschreiben dabei ein Drift-Diffusions-Modell, d.h. Ladungsträger (einmal Elektronen/Löcher, einmal Kationen und Anionen) sowie das elektrische Potential werden modelliert. Die unterschiedlichen Bezeichnungen sind historisch aus den unterschiedlichen Fachrichtungen entstanden (Physik und Chemie), beschreiben aber die selben physikalischen Effekte.

COMSOL wurde für dieses Projekt in der Version 5.6 verwendet und bietet bereits ein Beispielprojekt eines ISFET (Ion Sensitive FET, ID 45341)[151]. Die genaue Funktionsweise ist dort in einem beigefügten Dokument beschrieben. Im Modell werden die Halbleitergleichungen und die Nernst-Planck-Poisson-Gleichungen in einer 2D-Simulation gekoppelt. Dort wird ein Glukosesensor modelliert. Technisch werden zunächst Elektrolyt und Halbleiter getrennt voneinander simuliert. Die Ergebnisse werden als Anfangsbedingung der gekoppelten Simulation verwendet. Dies ist nötig, da das Modell sonst nicht konvergiert würde. Das ISFET-Modell weist noch einige Unterschiede zum gewünschten EGFET-Modell auf, die Randbedingungen des ISFET beschreiben eine Kopplung des Elektrolyt mit einem großen Elektrolyt-Reservoir und nicht mit einer weiteren Elektrode.

Um diese Einschränkung zu beseitigen, wurde ein weiteres Beispielprojekt herbeigezogen. Das COMSOL-Modell *Diffuse Double Layer* (ID 21981)[174] beschreibt die Ausbildung einer Doppelschicht an einer Elektrode-Elektrolyt-Grenzschicht in 1D nach dem Stern-Modell (siehe Abschnitt 2.3). Dort wird in 1D eine Elektrode im Kontakt mit einem Elektrolyt modelliert. Der Elektrolyt ist auf der anderen Seite über die Randbedingung mit einem Reservoir gekoppelt, in dem die Ionenkonzentrationen ihre Bulk-Werte haben. Die Stern-Schicht wird die Randbedingung modelliert, indem eine feste Dicke der Schicht angenommen wird und die Oberflächenladungsdichte statt des Potentials als Randbedingung gesetzt wird. Für eine genauere Beschreibung des Modells wird auf die Dokumentation zum *Diffuse Double Layer* verwiesen [174].

In einem ersten Schritt wurde das 1D-Modell um eine weitere, geerdete Elektrode erweitert. Dazu wurde die Randbedingung ersetzt, die im alten Modell an den Bulk-Elektrolyt repräsentiert. Die Randbedingung der zusätzlichen Elektrode gleicht der der anderen Elektrode, nur die Spannung ist auf 0 V gesetzt. Durch die Modifikation des Modells ist der Elektrolyt ein geschlossenes System geworden. Dies erschwert das Lösen des Modells, da der nichtlineare Löser auch bei stark gedämpften Simulationsschritten zu schwingen beginnt. Dies wurde umgangen, indem über eine globale Randbedingung das Integral über die Kationen und Anionen konstant gehalten wird. Physikalisch

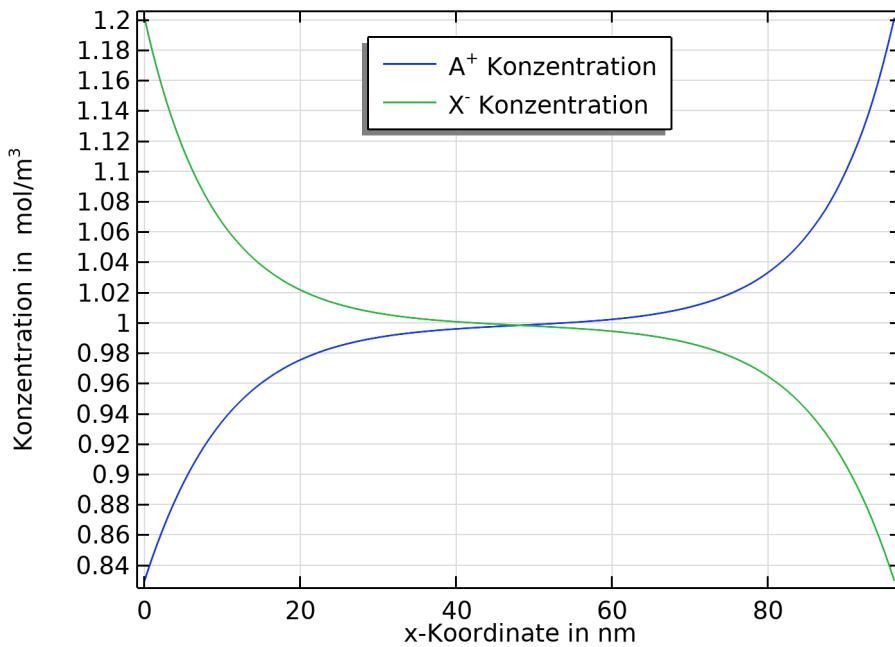


Abbildung 8.7: Ionenkonzentration aus einer 1D-Drift-Diffusion-Simulation eines Elektrolyts mit zwei Elektroden. An die linke Elektrode sind 10 mV angelegt.

muss wegen des Aufbaus des Modells die Ladung erhalten sein. Mit dieser Änderung konvergiert das Modell innerhalb weniger Iterationsschritte.

Die Abb. 8.7 zeigt die Ionenkonzentrationen entlang der Ortskoordinate. Sämtliche Simulationsparameter sind aus dem *Diffuse Double Layer*-Modell übernommen. Es zeigt sich, dass die Ladungsakkumulation an der linken Elektrode zu einer entgegengesetzten Ladungsakkumulation an der geerdeten Elektrode rechts führt. Dies ist das erwartete Verhalten. Auch das elektrische Potential in Abb. 8.8 über der Ortskoordinate für die gleichen Simulationsparameter zeigt dieses Verhalten. Die roten Punkte repräsentieren die jeweilige Spannung der Elektrode, die durchgezogene Linie das Potential im Elektrolyt. Die durchgezogenen Linien berühren die Punkte nicht, da an der implizit modellierten Stern-Schicht ebenfalls Spannung abfällt. Das 1D-Modell des Elektrolyt beschreibt zusammengefasst die Elektrolyt-Seite der Doppelschicht demnach korrekt.

In einem nächsten Schritt sollte das 2D-ISFET-Modell mit einer expliziten Gate-Elektrode wie im 1D-*Diffuse Double Layer*-Modell modifiziert werden. Damit wäre es möglich, den Elektrolyt als geschlossenes System zu modellieren und so den Ladungserhalt im Elektrolyt zu gewährleisten, was Bestandteil des Schwellspannungs-Modell (basierend auf den Grenzschichtkapazitäten) ist. Zunächst wurde im Elektrolyt-Teil der Simulation die Anzahl der Ionen-Spezies auf zwei reduziert (Kationen und Anionen). Das gesamte Modell wurde um die nicht mehr benötigten Definitionen entschlackt. Dann wurden wie im 1D-Modell Variablen erstellt, die die Oberflächenladungsdichte an der Elektrolyt-Gateelektrode- und Elektrolyt-Halbleiter-Grenzschicht definiert. Die *Global Constraints* zur Verbesserung der Konvergenz und Ionenerhaltung im

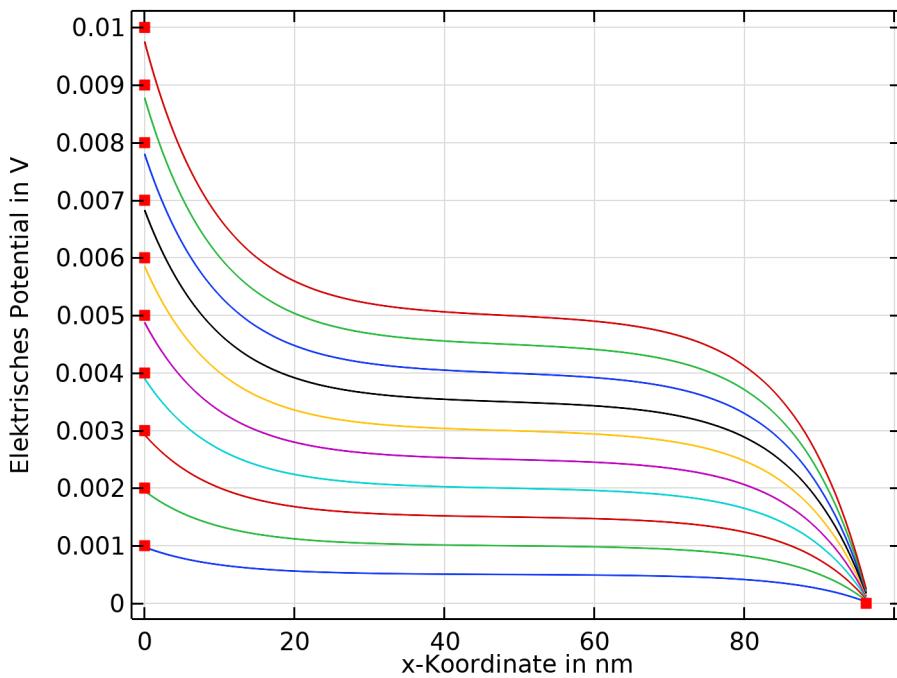


Abbildung 8.8: Elektrisches Potential aus 10 1D-Drift-Diffusion-Simulationen eines Elektrolyts mit zwei Elektroden (durchgezogene Linien). An die linke Elektrode ist eine Spannung von 1 mV bis 10 mV angelegt (rote Punkte).

geschlossenen Elektrolyt wurden ebenfalls wieder eingefügt.

Leider konvergiert bereits die erste Vorstudie des Elektrolyt allein nicht. Trotz umfangreicher Modifikationen des Netzes, der Einstellungen des nichtlinearen Lösers, den numerischen Einstellungen des linearen Lösers, Änderungen und langsames Hochfahren der Simulationsparameter konnten die Situation nicht verbessern. Auch sämtliche Support-Level der Simulationssoftware COMSOL konnten weder Fehler finden noch weitere Verbesserungen erzielen.

Auf eine genauere Beschreibung des originalen ISFET- und des modifizierten EGFET-Modells wird hier verzichtet. Das komplexe Modell und die aufwändige Kopplung über *Boundary ODEs* wird in der Dokumentation des ISFET-Modells genauer beschrieben[151].

8.4 Korrelation der Elektrolyt-Fläche mit der Schwellspannung

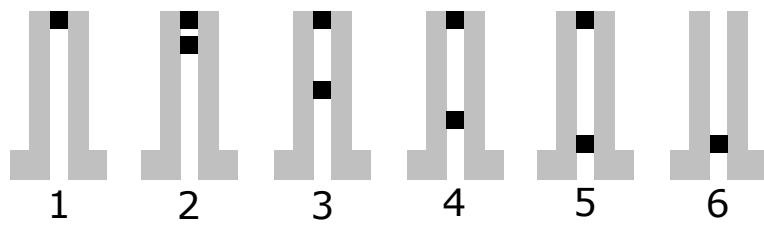
Für eine ursprünglich andere Fragestellung (Relevanz des ohmschen Widerstands der Elektroden) wurden in einem Experiment EGFETs hergestellt, in denen nur ein schmaler Bereich zwischen den Source-Drain-Elektroden mit Halbleitermaterial gefüllt ist. Die Position des Halbleitermaterials wird variiert und mehrere Positionen auch kombiniert. Da sich hieraus auch Hinweise und Erkenntnisse zur Schwellspannung ergeben könnten, wird in diesem Abschnitt erst kurz das experimentelle Setup erklärt, die Ergebnisse dargestellt und im Zusammenhang mit dem Grenzschichtkapazitäts-Modell diskutiert.

Experimenteller Aufbau

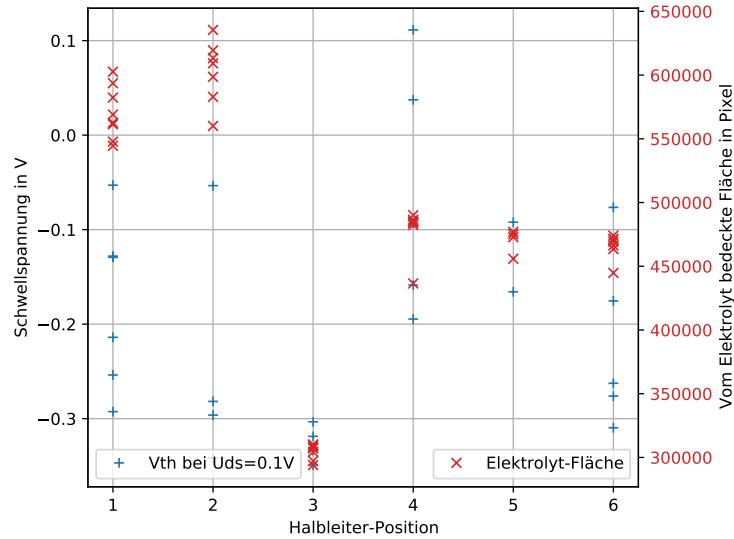
Im Experiment wurden je acht EGFET für sechs verschiedene Halbleiter-Positionen zwischen den Source-Drain-Elektroden in einem Top-Gate-EGFET mit $800\text{ }\mu\text{m}$ langen Source-Drain-Elektroden und einem Elektrodenabstand (Leitungskanallänge L) von $40\text{ }\mu\text{m}$ hergestellt. Die Positionen sind in Abb. 8.9a schematisch (nicht maßstabsgetreu) abgebildet. Defekte Transistoren sowie Transistoren ohne auswertbares Lichtmikroskop-Bild (insgesamt 25 von 48) wurden aussortiert. Die Abb. 8.9b zeigt die Schwellspannung (extrahiert aus den Transfer-Kennlinien für eine Source-Drain-Spannung von $0,1\text{ V}$) für die übrigen 23 Transistoren abhängig von der Position des Halbleitermaterials (siehe Abb. 8.9a) als blaue „+“. Es fällt auf, dass die Schwellspannung für die Kombination 3 niedriger und für die Kombination 4 etwas höher ist als für die restlichen Halbleiter-Positions-Kombinationen. Aus Abb. 8.9a ist aber kein physikalischer Grund ersichtlich, weshalb gerade bei diesen Transistoren die Schwellspannung höher bzw. niedriger sein soll. Eine genauere Analyse der Halbleiter-Flächen zusätzlich zu den Halbleiter-Positionen ergab keine weiteren Erkenntnisse.

Aus den optischen Mikroskopaufnahmen (siehe Abb. 8.10) lässt sich die vom Elektrolyt bedeckte Fläche ermitteln. Dazu wurden im Bildbearbeitungsprogramm GIMP[175] mit der magnetischen Schere die Ränder des Elektrolyten markiert und die eingeschlossene Fläche mit der Histogramm-Funktion in Pixel gemessen. Alle Aufnahmen wurden mit derselben Vergrößerung aufgenommen, die Flächen sind deshalb untereinander vergleichbar und mit der Schwellspannung korrelierbar. Ergänzt man den Plot der Schwellspannung um die vom Elektrolyt bedeckte Fläche, ist ebenfalls bei Kombination 3 eine Abweichung zu sehen (Abb. 8.9b, rote „x“).

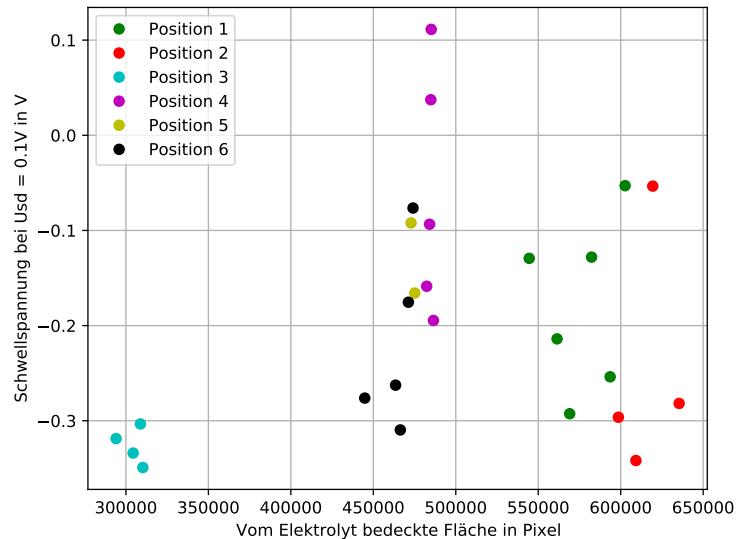
Um die mögliche Korrelation zu untersuchen, ist in Abb. 8.9c die Schwellspannung über der vom Elektrolyt benetzten Fläche für jeden einzelnen EGFET dargestellt, die zusammengehörenden Halbleiter-Positionen sind farblich codiert. Die Schwellspannung von Position 3 ist im Diagramm von den anderen Datenpunkten separiert. Position 1 und 6 unterscheiden sich nicht signifikant von den anderen Positionen, obwohl dort nur ein statt zwei Halbleiterbereiche gedruckt wurden und die Halbleiterfläche deshalb kleiner ist. Der Korrelationskoeffizient nach Pearson aller Daten beträgt 0,27, die aus Abb. 8.9b vermutete Korrelation ist objektiv also nicht vorhanden. Die Aussagekraft



(a) Schematische Darstellung der Halbleitermaterial-Verteilung in den EGFET (nicht maßstabsgetreu).



(b) Schwellspannung (blau) sowie die vom Elektrolyt bedeckte Fläche (rot) über der Halbleiterposition (siehe (a)).



(c) Die Schwellspannung aufgetragen über der vom Elektrolyt bedeckten Fläche für die einzelnen EGFET. Die Farbe definiert die Halbleiterposition (siehe (a)). Der Korrelationskoeffizient nach Pearson beträgt 0,27.

Abbildung 8.9: a) Schematischer Aufbau der untersuchten EGFETs mit den untersuchten Halbleiterpositionen. b) Schwellspannung der EGFET über den Halbleiterpositionen. c) Korrelationsplot der Schwellspannung und der in der Draufsicht vom Elektrolyt bedeckten Fläche.

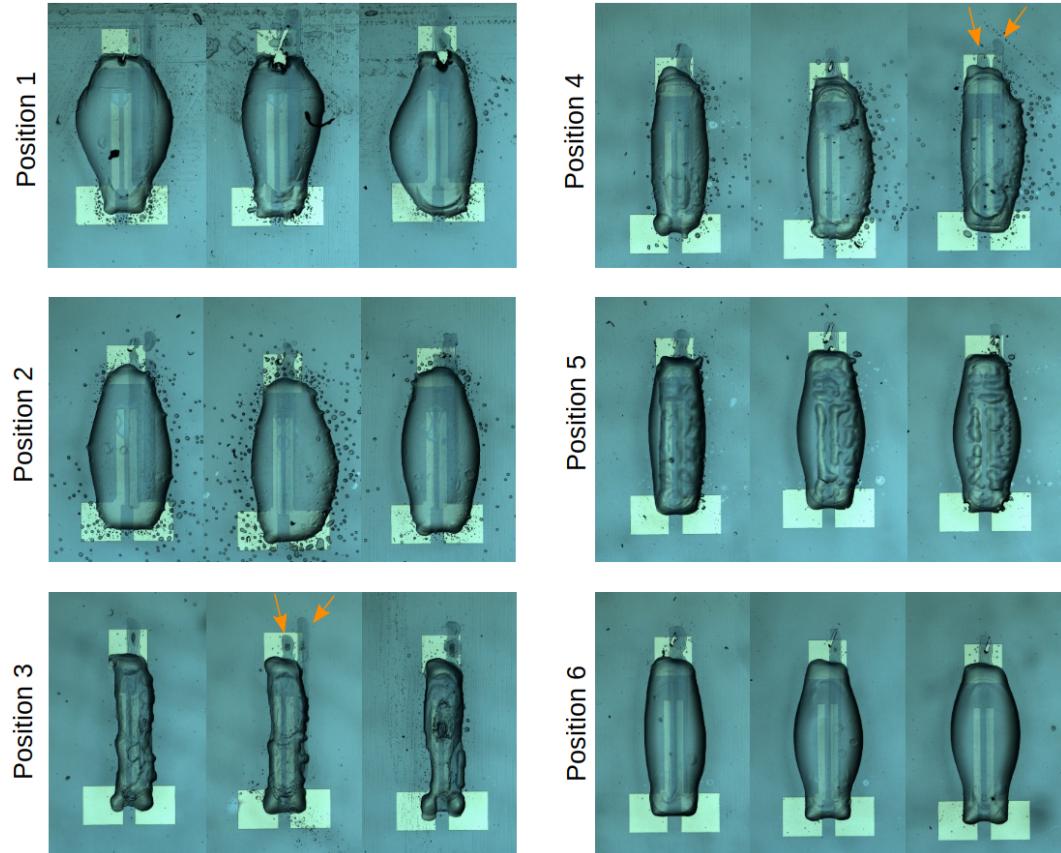


Abbildung 8.10: Optische Aufnahmen der fertig gedruckten EGFET (Leitungskanalänge 40 µm, Leitungskanalbreite 800 µm). Jeweils drei Transistoren sind für jede Halbleiter-Position (siehe Abb. 8.9a) dargestellt. Es ist eine systematische Abweichung der vom Elektrolyt bedeckten Fläche an Position 3 erkennbar. Sowohl ein kleineres Druckvolumen als auch veränderte Benetzungseigenschaften der Oberfläche könnten eine Rolle spielen. Zusätzlich mussten bei einigen Transistoren mehrere Top-Gates gedruckt werden (z.B. Pos. 3 mitte, Pos. 4 rechts, orangene Pfeile), da die exakte Positionierung des Druckkopfes wegen der begrenzten Präzision des Druckers nicht immer sofort gelingt. EGFET und Mikroskopaufnahmen von Surya Abhishek.

ist gering, da die Streuung der experimentellen Daten hoch und die Datenmenge gering ist.

Diskussion im Rahmen des Grenzschichtkapazitäts-Modell

Eine Korrelation könnte im Grenzflächenkapazitäts-Schwellspannungs-Modell plausibel sein, da nach dem Modell die Schwellspannung mit der vom Elektrolyt bedeckten Fläche und deshalb mit der Grenzschichtkapazität Substrat/Elektrolyt (C_{Sub} in Gl. 5.22) skaliert.

Die vom Elektrolyt bedeckte Fläche bestimmt vor allem die Grenzschichtkapazität mit dem Substrat, da auch die Source-Drain-Elektroden vollständig bedeckt waren. Nach Formel 5.22 steigt die Schwellspannung U_{th} mit der Elektrolyt-Substrat-Grenzschichtkapazität U_{Sub} , da mehr Ladungsträger im Elektrolyt am Substrat anlaagern und eine größere Gatespannung nötig ist, um den Halbleiter zu schalten.

Im vorigen Unterkapitel 5.3.2 wurden bereits die Verhältnisse der Grenzschichtkapazitäten zueinander diskutiert. Auch hier ist relevant, dass die Grenzschicht von Elektrolyt zum jeweils isolierendem Substrat und der Umgebung im Vergleich zu den Elektroden und dem Halbleiter eine niedrige (möglicherweise vernachlässigbare) Kapazität aufweist. Es ist daher nicht abwegig, dass die Schwellspannung im Experiment keine Abhängigkeit von der Elektrolyt-Größe zeigt.

Der Grund für die unterschiedlich breiten Elektrolyt-Flächen ist unbekannt. Es kommen zum einen andere Druckvolumina in Frage, zum anderen könnten andere Oberflächeneigenschaften eine Rolle spielen. Gerade bei Position 3 scheint der Elektrolyt stark an das Elektrodenmaterial zu binden und das Substrat nur schlecht zu benetzen (Abb. 8.10). Falls das auf eine Veränderung der Substratoberfläche zurückzuführen ist, könnte auch der Halbleiter durch die Kontaktspannung des Halbleiter-Substrat-Kontakts mit einer Vorspannung versehen sein. Es ist möglich, dass eine unbekannte Prozessvariation die Benetzungeigenschaften und parallel die Kontaktspannungen/Oberflächenenergien verändert hat.

Weitere Variationen betreffen die Top-Gates der EGFET. Da die Präzision und Reproduzierbarkeit der Positionierung begrenzt ist, ist das Top-Gate in manchen EGFET nicht über dem Halbleiter positioniert. Ist die Abweichung zu groß (z.B. wenn die Kontaktfläche zum Gate-Elektroden-Pad fehlt), wird deshalb ein weiteres Top-Gate gedruckt. In Abb. 8.10 ist das z.B. bei Position 4 rechts oder auch Position 3 Mitte sichtbar. Dies ist eine weitere Quelle für Schwankungen der Ergebnisse.

Zusammengefasst konnte die anfängliche Hypothese, dass die Größe des Elektrolyt-Tropfens auf dem Transistor direkt mit der Schwellspannung korreliert, nicht bestätigt werden. Die Ergebnisse streuen stark und die geringe Anzahl an Transistoren erlaubt es nicht durch Mittelung die Streuung zu eliminieren. Die Einstellung der elektronischen Materialeigenschaften und die technischen und mechanischen Druckeigenschaften der beteiligten Materialien sind weiterhin eine Herausforderung. Systematische Untersuchungen an Teststrukturen (z.B. Elektrolyt-Transistoren mit Abmessungen im unteren mm-Bereich, Halbleiter lithographisch eingefügt, Elektrolyt und Top-Gate gedruckt) könnten leichter Antworten auf die offenen Fragen liefern. Die Teststrukturen wären zwar keine sinnvollen Transistoren (die erwarteten Schaltgeschwindigkeiten wären zu

niedrig), allerdings würde die technisch begrenzte Druckpräzision bei den größeren geometrischen Abmessungen eine kleinere Rolle spielen.

8.5 Parameter-Stabilität der Kohlenstoffnanoröhrchen-Simulationen

8.5.1 Wahl des Zeitschritts

In allen artifiziell diskretisierten Simulationsmethoden muss die Feinheit der Diskretisierung (Gitterpunkte, Netzknoten, Zeitschritt o.ä.) sinnvoll gewählt werden, um zum einen die notwendige Rechenzeit realistisch zu halten gleichzeitig eine ausreichende Genauigkeit der Lösung zu erzielen. Die Diskretisierung ist fein genug, wenn das Ergebnis Ob die gewählte Diskretisierung fein genug ist, zeigt ein Test, ob das Ergebnis sensitiv auf Abweichungen der Feinheit der Diskretisierung ist. Weichen die Ergebnisse für ähnlich feine Diskretisierungen nicht signifikant ab, ist die Simulation fein genug und die Ergebnisse (im Rahmen des gewählten Modells, seiner Parameter und Vereinfachungen) belastbar.

Die CNT-Simulationen wurden überprüft, indem der Zeitschritt Δt von $10^{-4} \cdot \tau$ bis $10^{-7} \cdot \tau$ variiert wurde und in der gleichen Weise wie in Abb. 6.1 die Steigungen der zwei Regimes berechnet wurde (Abb. 8.11). Die anderen Simulationsparameter entsprechen denen aus Tabelle 6.1. Die Fits des linearen Regimes wurden von der gemittelten Laserleistung von $10^{-4} \mu\text{W}$ bis $10^{-2} \mu\text{W}$, die Fits des sublinearen Regime von $10^{-1} \mu\text{W}$ bis $10^2 \mu\text{W}$ durchgeführt. Dabei ergeben sich die Steigungen α in Tabelle 8.1. Die Unsicherheit in Tabelle 8.1 bezieht sich nur auf die Fit-Intervalle. Die höheren Fit-Unsicherheiten bei den beiden kleinen Zeitschritten ist auf die geringe Zahl der simulierten Ladungsträger zurückzuführen. Die größte Rechendauer für einen Simulationspunkt betrug bereits mehr als eine Woche, deshalb wurden nicht mehr Simulationsschritte durchgeführt.

Die Werte im linearen Regime stimmen gut mit dem erwarteten Wert von 1 überein. Der Wert von α_{sublin} ist im Fit-Bereich hinreichend stabil, die Abweichung beträgt maximal 1,4%. Vor allem beim größten Zeitschritt weicht das Verhalten des Photostroms allerdings bei mittleren Laserleistungen ab ca. $10^2 \mu\text{W}$ vom Potenzgesetz ab und steigt stärker (siehe Abb. 8.11). Dieses Verhalten ist bei den anderen untersuchten Zeitschritten nur noch sehr schwach und erst zu Leistungen von knapp $10^4 \mu\text{W}$ sichtbar. Der grobe Zeitschritt führt wohl dazu, dass in einem Zeitschritt die Kollisionsanalyse nicht mehr korrekt durchgeführt wird, da bei hoher Teilchendichte auf dem CNT ein Teilchen im Zeitschritt mit mehr als einem anderen Teilchen kollidiert (siehe Abschnitt 6.1).

Neben dem Wert α , der für die Unterscheidung der Transportregimes auf dem CNT wichtig ist, kann auch die absolute Stromstärke betrachtet werden. Die absolute

Tabelle 8.1: Ergebnisse der Fits des Potenzgesetzes $I \propto P^\alpha$ der Zeitschrittstudie aus Abb. 8.11. Die angegebene Unsicherheit bezieht sich auf das Intervall des Fits.

Δt	$10^{-4}\tau$	$10^{-5}\tau$	$10^{-6}\tau$	$10^{-7}\tau$
α_{lin}	$0,991 \pm 0,003$	$0,995 \pm 0,013$	$0,967 \pm 0,029$	$0,980 \pm 0,089$
α_{sublin}	$0,638 \pm 0,005$	$0,629 \pm 0,003$	$0,638 \pm 0,003$	$0,63 \pm 0,02$

Tabelle 8.2: Ergebnisse des Fits des Potenzgesetzes $I \propto P^\alpha$ der Studie zum Verhältnis L/E der Eintrittswahrscheinlichkeiten für Löcher und Elektronen aus dem CNT in die Elektroden. Die angegebene Unsicherheit bezieht sich auf das Intervall des Fits.

L/E	70/30	90/10	99/1	99,9/0,1
α_{lin}	$1,012 \pm 0,004$	$0,975 \pm 0,018$	$0,990 \pm 0,009$	$0,980 \pm 0,010$
α_{sublin}	$0,550 \pm 0,002$	$0,560 \pm 0,009$	$0,575 \pm 0,008$	$0,577 \pm 0,008$

Stromstärke in Abb. 8.11 sinkt mit kleineren Zeitschritten, wobei die Abweichungen mit kleineren Zeitschritten größer werden. Dies widerspricht zunächst dem oben genannten Test der Diskretisierung. Der Grund dafür könnte sein, dass mit kleinerem Zeitschritt zwar die Ungenauigkeit der Diskretisierung sinkt, dafür aber die Fehlerquellen durch die Gleitkomma-Berechnungen (z.B. bei Berechnungen wie $1 - e^{\frac{\Delta t}{\tau}}$) steigen.

Als Kompromiss aus diesen gegenläufigen Effekten sowie der Rechenkomplexität wurde in dieser Arbeit für die Simulationen im Kapitel 6 ein Zeitschritt von $\Delta t = 10^{-5}\tau$ gewählt. Bei der dortigen Auswertung wird der Verlauf und die Stromstärken untereinander verglichen.

8.5.2 Wahl der Akzeptanzwahrscheinlichkeit für die Ladungsträger in die Elektroden

Die Autoren der Veröffentlichung, auf der die CNT-Simulationen basieren[170], beschreiben nicht, mit welcher Wahrscheinlichkeit Ladungsträger in die Elektroden übergehen können. Diese Vorstudie soll untersuchen, welchen Einfluss die Wahl dieser Wahrscheinlichkeit auf die Simulationsergebnisse hat. Dazu wurden Photostrom-Laserleistungs-Kurven für Eintrittswahrscheinlichkeiten der Löcher/Elektronen von 70/30, 90/10, 99/1 und 99,9/0,1 berechnet. Da der Schottky-Kontakt aus einem CNT und Palladium Löcher bevorzugt leitet [172], wurde die Eintrittswahrscheinlichkeit für Löcher größer als die der Elektronen gewählt. Die Simulationsparameter entsprechen denen aus Tab. 6.1, nur die Länge L des CNT beträgt $1\text{ }\mu\text{m}$ statt $0,8\text{ }\mu\text{m}$ und der Zeitschritt Δt beträgt $10^{-4}\tau$.

Die Ergebnisse der Simulationen sind in Abb. 8.12 dargestellt. Der Photostrom steigt mit einem größeren Verhältnis L/E der Loch/Elektronen-Austrittswahrscheinlichkeit. Das jeweilige qualitative Verhalten ist identisch. Um dies quantitativ zu untersuchen, wurden wie in Abb. 6.1 Fits (im gleichen Intervall wie im vorigen Abschnitt) auf den Exponenten von $I = P^\alpha$ durchgeführt, die Ergebnisse sind in Tabelle 8.2 aufgelistet. Im linearen Bereich stimmen die Ergebnisse der Fits gut mit dem erwarteten Wert von 1 überein. Im sublinearen Bereich steigt der Exponent minimal an. Der Unterschied der beiden Extremwerte spielt für die Betrachtung in dieser Arbeit aber keine Rolle, die Abweichung beträgt nur 3,4%. Die Abweichung des sublinearen Wertes von dem aus Kapitel 6.2 hängt mit der Länge des CNTs von $1\text{ }\mu\text{m}$ statt $0,8\text{ }\mu\text{m}$ zusammen. In Kap. 6.3 wird gezeigt, dass die Länge des CNT einen Einfluss auf den Stromfluss hat. Die simulierten Werte weichen bei sehr hoher Lasereistung vom Potenz-Fit ab und steigen stärker an. Dies ist auf die numerische Ungenauigkeit durch den großen

Zeitschritt zurückzuführen (siehe Abschnitt 8.5.1).

Das Verhältnis aus Loch- und Elektron-Austrittswahrscheinlichkeit beeinflusst demnach zwar den absoluten Wert des Photostroms, das qualitative Potenzverhalten wird allerdings nicht signifikant beeinflusst. Deshalb ist es valide, dass das in den weiteren Simulationen genutzte Verhältnis von 99/1 gewählt wurde, ohne dass dieser Wert durch eine Messung oder andere Quellen festgelegt werden kann. Die Ergebnisse und deren Diskussion in Kapitel 6 werden von der Wahl dieses Parameters nicht beeinflusst, da dort der Wert α sowie das qualitative Verhalten des Stromflusses und nicht die absolute Stromstärke untersucht wird.

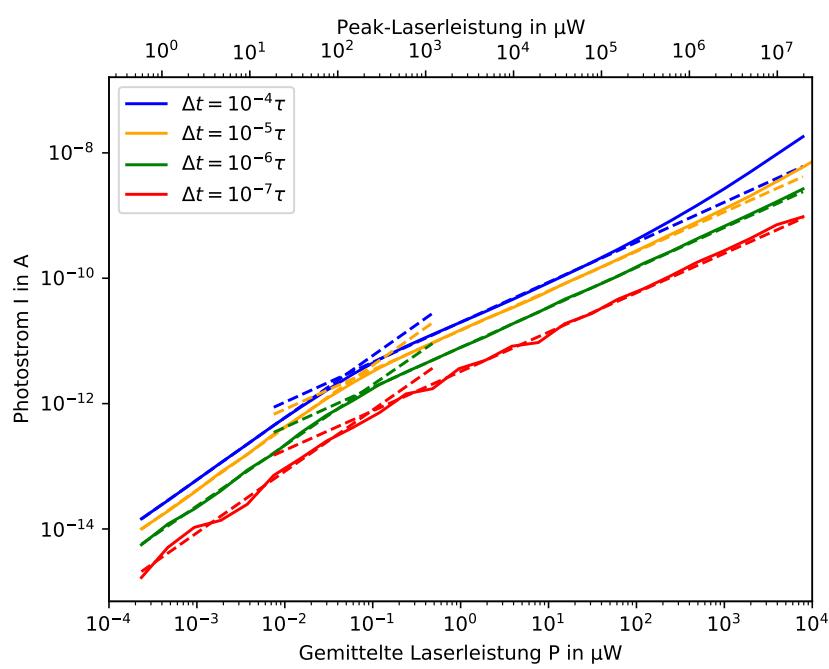


Abbildung 8.11: Simulierter Photostrom auf einem CNT abhängig von der Laserleistung für vier Zeitschritte. An die zwei Transportregimes, die in Abschnitt 6.2 beschrieben sind, sind die gestrichelt dargestellten Fits durchgeführt worden. Die Ergebnisse sind in Tabelle 8.1 zusammengefasst.

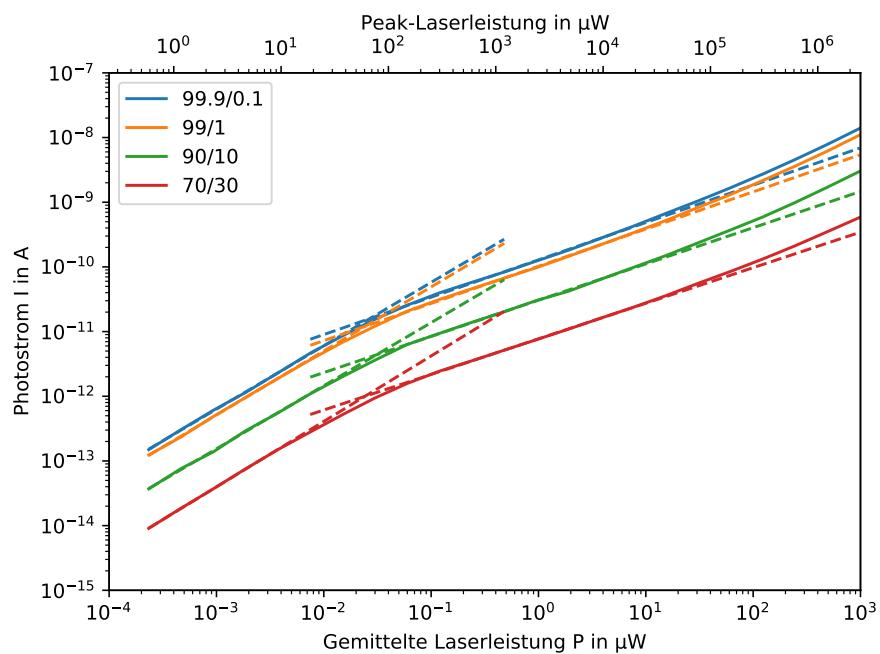


Abbildung 8.12: Simulierter Photostrom auf einem CNT abhängig von der Laserleistung für vier Loch/Elektronen-Austrittswahrscheinlichkeiten in die Elektroden. An die zwei Transportregimes, die in Abschnitt 6.2 beschrieben sind, sind die dargestellten gestrichelten Fits durchgeführt worden. Der absolute Photostrom steigt mit dem Verhältnis aus Elektron- und Loch-Austrittswahrscheinlichkeit, das qualitative Verhalten ist aber für alle Parameter gleich. Bei hohen Laserleistungen weicht der simulierte Photostrom von dem Potenzgesetz ab, was auf den zu geringen Zeitschritt in dieser Berechnung zurückzuführen ist (siehe Abschnitt 8.5.1)

Literatur

- [1] T. T. Baby[†], M. Rommel[†], F. von Seggern, P. Friederich, C. Reitz, S. Dehm, C. Kübel, W. Wenzel, H. Hahn und S. Dasgupta. „Sub-50 nm Channel Vertical Field-Effect Transistors using Conventional Ink-Jet Printing“. In: *Advanced Materials* 29.4 (2017), S. 1603858. doi: 10.1002/adma.201603858.
- [2] F. Rasheed, M. Rommel, G. C. Marques, W. Wenzel, M. B. Tahoori und J. Aghassi-Hagmann. „Channel Geometry Scaling Effect in Printed Inorganic Electrolyte-Gated Transistors“. In: *IEEE Transactions on Electron Devices* 68.4 (2021), S. 1866–1871. doi: 10.1109/TED.2021.3058929.
- [3] S. Kumar, Y. Pramudya, K. Müller, A. Chandresh, S. Dehm, S. Heidrich, A. Fediai, D. Parmar, D. Perera, M. Rommel, L. Heinke, W. Wenzel, C. Wöll und R. Krupke. „Sensing Molecules with Metal–Organic Framework Functionalized Graphene Transistors“. In: *Advanced Materials* 33.43 (2021), S. 2103316. doi: 10.1002/adma.202103316.
- [4] M. Rommel, P. Friederich und W. Wenzel. „Simulation of morphology and electric behavior of a printed vertical field effect transistor“. Poster DPG/EPS-Frühjahrtsgung. 15. März 2018.
- [5] M. Rommel, R. Krupke und W. Wenzel. „Simulation of light-induced exciton diffusion and quenching on SWCNTs“. Poster DPG-Frühjahrtsgung (online). 22. März 2021.
- [6] K. Zuse. „Outbreak of the war and (first) call-up — Structural engineer in aircraft construction — The Z2 and Z3 — Second call-up — Zuse Ingenieurbüro und Apparatebau, Berlin — The first process computer“. In: *The Computer — My Life*. Hrsg. von H. Wössner. Berlin, Heidelberg: Springer Berlin Heidelberg, 1993, S. 55–73. ISBN: 978-3-662-02931-2. doi: 10.1007/978-3-662-02931-2_4.
- [7] P. E. Ceruzzi. „The Early Computers of Konrad Zuse, 1935 to 1945“. In: *Annals of the History of Computing* 3.3 (1981), S. 241–262. doi: 10.1109/MAHC.1981.10034.
- [8] M. Campbell-Kelly, W. F. Aspray, J. R. Yost, H. Tinn und G. C. Díaz. *Computer: A history of the information machine*. Taylor & Francis, 2023. doi: 10.4324/9781003263272.
- [9] G. Moore. „Moore’s law“. In: *Electronics Magazine* 38.8 (1965), S. 114.

- [10] G. E. Moore. „Progress in digital integrated electronics [Technical literature, Copyright 1975 IEEE. Reprinted, with permission. Technical Digest. International Electron Devices Meeting, IEEE, 1975, pp. 11-13.]“ In: *IEEE Solid-State Circuits Society Newsletter* 11.3 (2006), S. 36–37. DOI: 10.1109/NSC.2006.4804410.
- [11] R. Ratnesh, A. Goel, G. Kaushik, H. Garg, Chandan, M. Singh und B. Prasad. „Advancement and challenges in MOSFET scaling“. In: *Materials Science in Semiconductor Processing* 134 (2021), S. 106002. ISSN: 1369-8001. DOI: 10.1016/j.mssp.2021.106002.
- [12] T. T. Baby u. a. „Printing Technologies for Integration of Electronic Devices and Sensors“. In: *Functional Nanostructures and Sensors for CBRN Defence and Environmental Safety and Security*. Hrsg. von A. Sidorenko und H. Hahn. Dordrecht: Springer Netherlands, 2020, S. 1–34. ISBN: 978-94-024-1909-2.
- [13] Y. Khan, A. Thielens, S. Muin, J. Ting, C. Baumbauer und A. C. Arias. „A New Frontier of Printed Electronics: Flexible Hybrid Electronics“. In: *Advanced Materials* 32.15 (2020), S. 1905279. DOI: 10.1002/adma.201905279.
- [14] R. Brooke, K. Wijeratne, K. Hübscher, D. Belaineh und P. Andersson Ersman. „Combining Vapor Phase Polymerization and Screen Printing for Printed Electronics on Flexible Substrates“. In: *Advanced Materials Technologies* 7.7 (2022), S. 2101665. DOI: 10.1002/admt.202101665.
- [15] M. Jo, S. Kim, G. Cho, T.-M. Lee, J. Lee und C. Lee. „Achieving specified geometric quality in a fully printed flexible functional layer using process parameters in roll-to-roll printed electronics“. In: *Flexible and Printed Electronics* 7.1 (2022), S. 014007.
- [16] T. A. M., H. Moon, G. Cho und J. Lee. „Fully roll-to-roll gravure printed electronics: challenges and the way to integrating logic gates“. In: *Japanese Journal of Applied Physics* 61.SE (Apr. 2022), SE0802. DOI: 10.35848/1347-4065/ac575e.
- [17] W. Wu. „Inorganic nanomaterials for printed electronics: a review“. In: *Nanoscale* 9 (22 2017), S. 7342–7372. DOI: 10.1039/C7NR01604B.
- [18] K. R. G. Lim, M. Shekhirev, B. C. Wyatt, B. Anasori, Y. Gogotsi und Z. W. Seh. „Fundamentals of MXene synthesis“. In: *Nature Synthesis* 1.8 (Aug. 2022), S. 601–614. ISSN: 2731-0582. DOI: 10.1038/s44160-022-00104-6.
- [19] Y. Shao, L. Wei, X. Wu, C. Jiang, Y. Yao, B. Peng, H. Chen, J. Huangfu, Y. Ying, C. J. Zhang und J. Ping. „Room-temperature high-precision printing of flexible wireless electronics based on MXene inks“. In: *Nature Communications* 13.1 (Juni 2022), S. 3223. ISSN: 2041-1723. DOI: 10.1038/s41467-022-30648-2.
- [20] *Creative Commons Namensnennung 4.0 International*. 2. Aug. 2023. URL: <https://creativecommons.org/licenses/by/4.0/deed.de>.

- [21] G. Tong, Z. Jia und J. Chang. „Flexible Hybrid Electronics: Review and Challenges“. In: *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2018, S. 1–5. DOI: [10.1109/ISCAS.2018.8351806](https://doi.org/10.1109/ISCAS.2018.8351806).
- [22] C. Leighton. „Electrolyte-based ionic control of functional oxides“. In: *Nature Materials* 18.1 (Jan. 2019), S. 13–18. ISSN: 1476-4660. DOI: [10.1038/s41563-018-0246-7](https://doi.org/10.1038/s41563-018-0246-7).
- [23] S. K. Garlapati, M. Divya, B. Breitung, R. Kruk, H. Hahn und S. Dasgupta. „Printed Electronics Based on Inorganic Semiconductors: From Processes and Materials to Devices“. In: *Advanced Materials* 30.40 (2018), S. 1707600. DOI: [10.1002/adma.201707600](https://doi.org/10.1002/adma.201707600).
- [24] C. Dai, Y. Liu und D. Wei. „Two-Dimensional Field-Effect Transistor Sensors: The Road toward Commercialization“. In: *Chemical Reviews* 122.11 (2022). PMID: 35412802, S. 10319–10392. DOI: [10.1021/acs.chemrev.1c00924](https://doi.org/10.1021/acs.chemrev.1c00924).
- [25] I. Fakih, O. Durnan, F. Mahvash, I. Napal, A. Centeno, A. Zurutuza, V. Yargeau und T. Szkopek. „Selective ion sensing with high resolution large area graphene field effect transistor arrays“. In: *Nature Communications* 11.1 (Juni 2020), S. 3226. ISSN: 2041-1723. DOI: [10.1038/s41467-020-16979-y](https://doi.org/10.1038/s41467-020-16979-y).
- [26] X.-Y. Zeng, Y.-Q. Tang, X.-Y. Cai, J.-X. Tang und Y.-Q. Li. „Solution-processed OLEDs for printing displays“. In: *Mater. Chem. Front.* 7 (7 2023), S. 1166–1196. DOI: [10.1039/D2QM01241C](https://doi.org/10.1039/D2QM01241C).
- [27] M. Välimäki, P. Apilo, R. Po, E. Jansson, A. Bernardi, M. Ylikunnari, M. Vilkman, G. Corso, J. Puustinen, J. Tuominen und J. Hast. „R2R-printed inverted OPV modules – towards arbitrary patterned designs“. In: *Nanoscale* 7 (21 2015), S. 9570–9580. DOI: [10.1039/C5NR00204D](https://doi.org/10.1039/C5NR00204D).
- [28] P. G. V. Sampaio, M. O. A. González, P. de Oliveira Ferreira, P. da Cunha Jácrome Vidal, J. P. P. Pereira, H. R. Ferreira und P. C. Oprime. „Overview of printing and coating techniques in the production of organic photovoltaic cells“. In: *International Journal of Energy Research* 44.13 (2020), S. 9912–9931. DOI: [10.1002/er.5664](https://doi.org/10.1002/er.5664).
- [29] A. Salehi, X. Fu, D.-H. Shin und F. So. „Recent Advances in OLED Optical Design“. In: *Advanced Functional Materials* 29.15 (2019), S. 1808803. DOI: [10.1002/adfm.201808803](https://doi.org/10.1002/adfm.201808803).
- [30] M. Välimäki, P. Apilo, R. Po, E. Jansson, A. Bernardi, M. Ylikunnari, M. Vilkman, G. Corso, J. Puustinen, J. Tuominen und J. Hast. „R2R-printed inverted OPV modules – towards arbitrary patterned designs“. In: *Nanoscale* 7 (21 2015), S. 9570–9580. DOI: [10.1039/C5NR00204D](https://doi.org/10.1039/C5NR00204D).
- [31] Y. Hu, J. Wang, C. Yan und P. Cheng. „The multifaceted potential applications of organic photovoltaics“. In: *Nature Reviews Materials* 7.11 (Nov. 2022), S. 836–838. ISSN: 2058-8437. DOI: [10.1038/s41578-022-00497-y](https://doi.org/10.1038/s41578-022-00497-y).

- [32] D. Gaspar, J. Martins, P. Bahubalindruni, L. Pereira, E. Fortunato und R. Martins. „Planar Dual-Gate Paper/Oxide Field Effect Transistors as Universal Logic Gates“. In: *Advanced Electronic Materials* 4.12 (2018), S. 1800423. DOI: 10.1002/aelm.201800423.
- [33] J. Leppäniemi, O.-H. Huttunen, H. Majumdar und A. Alastalo. „Flexography-Printed In₂O₃ Semiconductor Layers for High-Mobility Thin-Film Transistors on Flexible Plastic Substrate“. In: *Advanced Materials* 27.44 (2015), S. 7168–7175. DOI: 10.1002/adma.201502569.
- [34] S. Li, A. Kosek, M. N. Jahangir, R. Malhotra und C.-H. Chang. „Inkjet Printing of Perovskites for Breaking Performance–Temperature Tradeoffs in Fabric-Based Thermistors“. In: *Advanced Functional Materials* 31.1 (2021), S. 2006273. DOI: 10.1002/adfm.202006273.
- [35] S. Gupta, W. T. Navaraj, L. Lorenzelli und R. Dahiya. „Ultra-thin chips for high-performance flexible electronics“. In: *npj Flexible Electronics* 2.1 (März 2018), S. 8. ISSN: 2397-4621. DOI: 10.1038/s41528-018-0021-5.
- [36] S. A. Singaraju, T. T. Baby, F. Neuper, R. Kruk, J. A. Hagmann, H. Hahn und B. Breitung. „Development of Fully Printed Electrolyte-Gated Oxide Transistors Using Graphene Passive Structures“. In: *ACS Applied Electronic Materials* 1.8 (2019), S. 1538–1544. DOI: 10.1021/acsaelm.9b00313.
- [37] S. M. Sze und K. K. Ng. *Physics of semiconductor devices*. 3. ed. Hoboken, NJ: Wiley-Interscience, 2007. ISBN: 9780471143239. URL: <http://swbplus.bsz-bw.de/bsz255547145cov.jpg%20;%20http://www.gbv.de/dms/ilmenau/toc/522454992.PDF>.
- [38] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, A. Terán Barrios, J. J. Liou und C.-S. Ho. „Revisiting MOSFET threshold voltage extraction methods“. In: *Microelectronics Reliability* 53.1 (2013). Reliability of Micro-Interconnects in 3D IC Packages, S. 90–104. ISSN: 0026-2714. DOI: 10.1016/j.microrel.2012.09.015.
- [39] L. Herlogsson, Y.-Y. Noh, N. Zhao, X. Crispin, H. Sirringhaus und M. Berggren. „Downscaling of Organic Field-Effect Transistors with a Polyelectrolyte Gate Insulator“. In: *Advanced Materials* 20.24 (2008), S. 4708–4713. DOI: 10.1002/adma.200801756.
- [40] P. H. Rieger. *Electrochemistry*. 2. ed. New York [u.a.]: Chapman & Hall, 1994. ISBN: 0-412-04391-2; 978-94-010-4298-7. URL: <http://www.gbv.de/dms/ilmenau/toc/126981183.PDF>.
- [41] H. Helmholtz. „Studien über electrische Grenzschichten“. In: *Annalen der Physik* 243.7 (1879), S. 337–382. DOI: 10.1002/andp.18792430702.
- [42] O. Stern. „ZUR THEORIE DER ELEKTROLYTISCHEN DOPPELSCHICHT“. In: *Zeitschrift für Elektrochemie und angewandte physikalische Chemie* 30.21-22 (1924), S. 508–516. DOI: 10.1002/bbpc.192400182.

- [43] I. C. Bourg und G. Sposito. „Molecular dynamics simulations of the electrical double layer on smectite surfaces contacting concentrated mixed electrolyte (NaCl–CaCl₂) solutions“. In: *Journal of Colloid and Interface Science* 360.2 (2011), S. 701–715. ISSN: 0021-9797. DOI: 10.1016/j.jcis.2011.04.063.
- [44] S.-J. Shin, D. H. Kim, G. Bae, S. Ringe, H. Choi, H.-K. Lim, C. H. Choi und H. Kim. „On the importance of the electric double layer structure in aqueous electrocatalysis“. In: *Nature Communications* 13.1 (Jan. 2022), S. 174. DOI: 10.1038/s41467-021-27909-x.
- [45] D. C. Grahame. „The Electrical Double Layer and the Theory of Electrocapillarity.“ In: *Chemical Reviews* 41.3 (1947). PMID: 18895519, S. 441–501. DOI: 10.1021/cr60130a002.
- [46] R. van Hal, J. Eijkel und P. Bergveld. „A general model to describe the electrostatic potential at electrolyte oxide interfaces“. In: *Advances in Colloid and Interface Science* 69.1 (1996), S. 31–62. ISSN: 0001-8686. DOI: 10.1016/S0001-8686(96)00307-7.
- [47] *The Surface State Job*. 2. Juni 2023. URL: <https://computerhistory.org/blog/the-surface-state-job/>.
- [48] F. Torricelli u.a. „Electrolyte-gated transistors for enhanced performance bioelectronics“. In: *Nature Reviews Methods Primers* 1.1 (Okt. 2021), S. 66. ISSN: 2662-8449. DOI: 10.1038/s43586-021-00065-8.
- [49] F. Butth, D. Kumar, M. Stutzmann und J. A. Garrido. „Electrolyte-gated organic field-effect transistors for sensing applications“. In: *Applied Physics Letters* 98.15 (2011), S. 153302. DOI: 10.1063/1.3581882.
- [50] R. Porrazzo, S. Bellani, A. Luzio, C. Bertarelli, G. Lanzani, M. Caironi und M. R. Antognazza. „Field-effect and capacitive properties of water-gated transistors based on polythiophene derivatives“. In: *APL Materials* 3.1 (2015), S. 014905. DOI: 10.1063/1.4900888.
- [51] S. K. Garlapati, N. Mishra, S. Dehm, R. Hahn, R. Kruk, H. Hahn und S. Dasgupta. „Electrolyte-Gated, High Mobility Inorganic Oxide Transistors from Printed Metal Halides“. In: *ACS Applied Materials & Interfaces* 5.22 (2013). PMID: 24224773, S. 11498–11502. DOI: 10.1021/am403131j.
- [52] O. Song, D. Rhee, J. Kim, Y. Jeon, V. Mazánek, A. Söll, Y. A. Kwon, J. H. Cho, Y.-H. Kim, Z. Sofer und J. Kang. „All inkjet-printed electronics based on electrochemically exfoliated two-dimensional metal, semiconductor, and dielectric“. In: *npj 2D Materials and Applications* 6.1 (Sep. 2022), S. 64. ISSN: 2397-7132. DOI: 10.1038/s41699-022-00337-1.
- [53] T. Cramer, A. Kyndiah, M. Murgia, F. Leonardi, S. Casalini und F. Biscarini. „Double layer capacitance measured by organic field effect transistor operated in water“. In: *Applied Physics Letters* 100.14 (2012), S. 143302. DOI: 10.1063/1.3699218.

- [54] G. Maduraiveeran, M. Sasidharan und W. Jin. „Earth-abundant transition metal and metal oxide nanomaterials: Synthesis and electrochemical applications“. In: *Progress in Materials Science* 106 (2019), S. 100574. ISSN: 0079-6425. DOI: [10.1016/j.pmatsci.2019.100574](https://doi.org/10.1016/j.pmatsci.2019.100574).
- [55] Z. Zhang, J. Liu, J. Gu, L. Su und L. Cheng. „An overview of metal oxide materials as electrocatalysts and supports for polymer electrolyte fuel cells“. In: *Energy Environ. Sci.* 7 (8 2014), S. 2535–2558. DOI: [10.1039/C3EE43886D](https://doi.org/10.1039/C3EE43886D).
- [56] J. Robertson und B. Falabretti. „Electronic Structure of Transparent Conducting Oxides“. In: *Handbook of Transparent Conductors*. Hrsg. von D. S. Ginley. Boston, MA: Springer US, 2011, S. 27–50. ISBN: 978-1-4419-1638-9. DOI: [10.1007/978-1-4419-1638-9_2](https://doi.org/10.1007/978-1-4419-1638-9_2).
- [57] K. Nomura, T. Kamiya und H. Hosono. „Ambipolar Oxide Thin-Film Transistor“. In: *Advanced Materials* 23.30 (2011), S. 3431–3434. DOI: [10.1002/adma.201101410](https://doi.org/10.1002/adma.201101410).
- [58] S. K. Garlapati, T. T. Baby, S. Dehm, M. Hammad, V. S. K. Chakravadhanula, R. Kruk, H. Hahn und S. Dasgupta. „Ink-Jet Printed CMOS Electronics from Oxide Semiconductors“. In: *Small* 11.29 (2015), S. 3591–3596. DOI: [10.1002/smll.201403288](https://doi.org/10.1002/smll.201403288).
- [59] S. Lany. „Semiconducting transition metal oxides“. In: *Journal of Physics: Condensed Matter* 27.28 (2015), S. 283203. DOI: [10.1088/0953-8984/27/28/283203](https://doi.org/10.1088/0953-8984/27/28/283203).
- [60] O. Bierwagen und J. S. Speck. „High electron mobility In₂O₃(001) and (111) thin films with nondegenerate electron concentration“. In: *Applied Physics Letters* 97.7 (Aug. 2010). 072103. ISSN: 0003-6951. DOI: [10.1063/1.3480416](https://doi.org/10.1063/1.3480416).
- [61] O. Bierwagen. „Indium oxide—a transparent, wide-band gap semiconductor for (opto)electronic applications“. In: *Semiconductor Science and Technology* 30.2 (Jan. 2015), S. 024001. DOI: [10.1088/0268-1242/30/2/024001](https://doi.org/10.1088/0268-1242/30/2/024001).
- [62] J. De Wit. „Electrical properties of In₂O₃“. In: *Journal of Solid State Chemistry* 8.2 (1973), S. 142–149. ISSN: 0022-4596. DOI: [10.1016/0022-4596\(73\)90007-8](https://doi.org/10.1016/0022-4596(73)90007-8).
- [63] V. Scherer, C. Janowitz, A. Krapf, H. Dwelk, D. Braun und R. Manzke. „Transport and angular resolved photoemission measurements of the electronic properties of In₂O₃ bulk single crystals“. In: *Applied Physics Letters* 100.21 (Mai 2012). 212108. ISSN: 0003-6951. DOI: [10.1063/1.4719665](https://doi.org/10.1063/1.4719665).
- [64] G. Rupprecht. „Untersuchungen der elektrischen und lichtelektrischen Leitfähigkeit dünner Indiumoxydschichten“. In: *Zeitschrift für Physik* 139.5 (Okt. 1954), S. 504–517. ISSN: 0044-3328. DOI: [10.1007/BF01374559](https://doi.org/10.1007/BF01374559).
- [65] N. Mori, S. Ooki, N. Masubuchi, A. Tanaka, M. Kogoma und T. Ito. „Effects of postannealing in ozone environment on opto-electrical properties of Sn-doped In₂O₃ thin films“. In: *Thin Solid Films* 411.1 (2002), S. 6–11. ISSN: 0040-6090. DOI: [10.1016/S0040-6090\(02\)00164-5](https://doi.org/10.1016/S0040-6090(02)00164-5).

- [66] V. Brinzari, B. Cho, M. Kamei und G. Korotcenkov. „Photoemission surface characterization of (001) In₂O₃ thin film through the interactions with oxygen, water and carbon monoxide: Comparison with (111) orientation“. In: *Applied Surface Science* 324 (2015), S. 123–133. ISSN: 0169-4332. DOI: 10.1016/j.apusc.2014.10.072.
- [67] P. Ágoston, K. Albe, R. M. Nieminen und M. J. Puska. „Intrinsic n-Type Behavior in Transparent Conducting Oxides: A Comparative Hybrid-Functional Study of In₂O₃, SnO₂, and ZnO“. In: *Phys. Rev. Lett.* 103 (24 Dez. 2009), S. 245501. DOI: 10.1103/PhysRevLett.103.245501.
- [68] L.-M. Tang, L.-L. Wang, D. Wang, J.-Z. Liu und K.-Q. Chen. „Donor-donor binding in In₂O₃: Engineering shallow donor levels“. In: *Journal of Applied Physics* 107.8 (Apr. 2010). 083704. ISSN: 0021-8979. DOI: 10.1063/1.3374644.
- [69] S. Limpijumnong, P. Reunchan, A. Janotti und C. G. Van de Walle. „Hydrogen doping in indium oxide: An ab initio study“. In: *Phys. Rev. B* 80 (19 Nov. 2009), S. 193202. DOI: 10.1103/PhysRevB.80.193202.
- [70] T. Koida, H. Fujiwara und M. Kondo. „Hydrogen-doped In₂O₃ as High-mobility Transparent Conductive Oxide“. In: *Japanese Journal of Applied Physics* 46.7L (Juli 2007), S. L685. DOI: 10.1143/JJAP.46.L685.
- [71] T. Koida, M. Kondo, K. Tsutsumi, A. Sakaguchi, M. Suzuki und H. Fujiwara. „Hydrogen-doped In₂O₃ transparent conducting oxide films prepared by solid-phase crystallization method“. In: *Journal of Applied Physics* 107.3 (Feb. 2010). 033514. ISSN: 0021-8979. DOI: 10.1063/1.3284960.
- [72] H.-J. Kim und J.-H. Lee. „Highly sensitive and selective gas sensors using p-type oxide semiconductors: Overview“. In: *Sensors and Actuators B: Chemical* 192 (2014), S. 607–627. ISSN: 0925-4005. DOI: 10.1016/j.snb.2013.11.005.
- [73] A. Dey. „Semiconductor metal oxide gas sensors: A review“. In: *Materials Science and Engineering: B* 229 (2018), S. 206–217. ISSN: 0921-5107. DOI: 10.1016/j.mseb.2017.12.036.
- [74] R. Ramanauskas, A. Iljinė, L. Marcinauskas, M. Milieška, Ž. Kavaliauskas, G. Gecevičius und V. Čapas. „Deposition and Application of Indium-Tin-Oxide Films for Defrosting Windscreens“. In: *Coatings* 12.5 (2022). ISSN: 2079-6412. DOI: 10.3390/coatings12050670.
- [75] J. Du, X.-l. Chen, C.-c. Liu, J. Ni, G.-f. Hou, Y. Zhao und X.-d. Zhang. „Highly transparent and conductive indium tin oxide thin films for solar cells grown by reactive thermal evaporation at low temperature“. In: *Applied Physics A* 117.2 (Nov. 2014), S. 815–822. ISSN: 1432-0630. DOI: 10.1007/s00339-014-8436-x.
- [76] A. Walsh, J. L. F. Da Silva, S.-H. Wei, C. Körber, A. Klein, L. F. J. Piper, A. DeMasi, K. E. Smith, G. Panaccione, P. Torelli, D. J. Payne, A. Bourlange und R. G. Egddell. „Nature of the Band Gap of In₂O₃ Revealed by First-Principles Calculations and X-Ray Spectroscopy“. In: *Phys. Rev. Lett.* 100 (16 Apr. 2008), S. 167402. DOI: 10.1103/PhysRevLett.100.167402.

- [77] O. Madelung, Hrsg. *Semiconductors - basic data*. 2., rev. ed. Literaturangaben. - Früher mehrbd. begrenztes Werk u.d.T.: Semiconductors; Pp. : DM 88.00. Berlin: Springer, 1996. ISBN: 3-540-60883-4. URL: <http://www.gbv.de/dms/ilmenau/toc/198173652.PDF%20;%20http://swbplus.bsz-bw.de/bsz053055462cov.htm>.
- [78] K. Ellmer. „Resistivity of polycrystalline zinc oxide films: current status and physical limit“. In: *Journal of Physics D: Applied Physics* 34.21 (2001), S. 3097. URL: <http://stacks.iop.org/0022-3727/34/i=21/a=301>.
- [79] A. Klein, C. Körber, A. Wachau, F. Säuberlich, Y. Gassenbauer, S. P. Harvey, D. E. Proffit und T. O. Mason. „Transparent Conducting Oxides for Photovoltaics: Manipulation of Fermi Level, Work Function and Energy Band Alignment“. In: *Materials* 3.11 (2010), S. 4892–4914. ISSN: 1996-1944. DOI: [10.3390/ma3114892](https://doi.org/10.3390/ma3114892).
- [80] T. Nagata. „15 - Indium oxide: In_2O_3 “. In: *Single Crystals of Electronic Materials*. Hrsg. von R. Fornari. Woodhead Publishing Series in Electronic and Optical Materials. Woodhead Publishing, 2019, S. 523–546. ISBN: 978-0-08-102096-8. DOI: [10.1016/B978-0-08-102096-8.00015-X](https://doi.org/10.1016/B978-0-08-102096-8.00015-X).
- [81] A. Oprea, E. Moreton, N. Bârsan, W. J. Becker, J. Wöllensteiner und U. Weimar. „Conduction model of SnO_2 thin films based on conductance and Hall effect measurements“. In: *Journal of Applied Physics* 100.3, 033716 (2006), S. 033716-1–033716-10. DOI: [10.1063/1.2229802](https://doi.org/10.1063/1.2229802).
- [82] D. F. Crabtree, R. N. S. M. Mehdi und D. A. Wright. „Electron mobility and infra-red absorption in reduced tin oxide crystals“. In: *Journal of Physics D: Applied Physics* 2.11 (1969), S. 1503. URL: <http://stacks.iop.org/0022-3727/2/i=11/a=303>.
- [83] H. Chen, Y. S. Rim, C. Jiang und Y. Yang. „Low-Impurity High-Performance Solution-Processed Metal Oxide Semiconductors via a Facile Redox Reaction“. In: *Chemistry of Materials* 27.13 (2015), S. 4713–4718. DOI: [10.1021/acs.chemmater.5b01347](https://doi.org/10.1021/acs.chemmater.5b01347).
- [84] N. Preissler, O. Bierwagen, A. T. Ramu und J. S. Speck. „Electrical transport, electrothermal transport, and effective electron mass in single-crystalline In_2O_3 films“. In: *Phys. Rev. B* 88 (8 Aug. 2013), S. 085305. DOI: [10.1103/PhysRevB.88.085305](https://doi.org/10.1103/PhysRevB.88.085305).
- [85] H. Ohta, M. Orita, M. Hirano, H. Tanji, H. Kawazoe und H. Hosono. „Highly electrically conductive indium–tin–oxide thin films epitaxially grown on yttria-stabilized zirconia (100) by pulsed-laser deposition“. In: *Applied Physics Letters* 76.19 (Mai 2000), S. 2740–2742. ISSN: 0003-6951. DOI: [10.1063/1.126461](https://doi.org/10.1063/1.126461).
- [86] P. D. C. King, T. D. Veal, D. J. Payne, A. Bourlange, R. G. Egddell und C. F. McConville. „Surface Electron Accumulation and the Charge Neutrality Level in In_2O_3 “. In: *Phys. Rev. Lett.* 101 (11 Sep. 2008), S. 116808. DOI: [10.1103/PhysRevLett.101.116808](https://doi.org/10.1103/PhysRevLett.101.116808).

- [87] O. Bierwagen, T. Nagata, M. E. White, M.-Y. Tsai und J. S. Speck. „Electron transport in semiconducting SnO₂: Intentional bulk donors and acceptors, the interface, and the surface“. In: *Journal of Materials Research* 27.17 (2012), S. 2232–2236. DOI: [10.1557/jmr.2012.172](https://doi.org/10.1557/jmr.2012.172).
- [88] R. Wang, T. Schultz, A. Papadogianni, E. Longhi, C. Gatsios, F. Zu, T. Zhai, S. Barlow, S. R. Marder, O. Bierwagen, P. Amsalem und N. Koch. „Tuning the Surface Electron Accumulation Layer of In₂O₃ by Adsorption of Molecular Electron Donors and Acceptors“. In: *Small* n/a.n/a (), S. 2300730. DOI: [10.1002/smll.202300730](https://doi.org/10.1002/smll.202300730).
- [89] S. Reich, C. Thomsen und J. Maultzsch. *Carbon nanotubes: basic concepts and physical properties*. John Wiley & Sons, 2004. ISBN: 978-3-527-40386-8.
- [90] Z. H. Khan, Hrsg. *Emerging Trends in Nanotechnology*. 1st ed. 2021. Springer eBook Collection. Singapore: Springer Singapore, 2021. ISBN: 978-981-15-9904-0. DOI: [10.1007/978-981-15-9904-0](https://doi.org/10.1007/978-981-15-9904-0).
- [91] A. K. Geim. „Graphene: Status and Prospects“. In: *Science* 324.5934 (2009), S. 1530–1534. DOI: [10.1126/science.1158877](https://doi.org/10.1126/science.1158877).
- [92] A. Mateo-Alonso, D. M. Guldi, F. Paolucci und M. Prato. „Fullerenes: Multitask Components in Molecular Machinery“. In: *Angewandte Chemie International Edition* 46.43 (2007), S. 8120–8126. DOI: [10.1002/anie.200702725](https://doi.org/10.1002/anie.200702725).
- [93] M.-F. Yu, O. Lourie, M. J. Dyer, K. Moloni, T. F. Kelly und R. S. Ruoff. „Strength and Breaking Mechanism of Multiwalled Carbon Nanotubes Under Tensile Load“. In: *Science* 287.5453 (2000), S. 637–640. DOI: [10.1126/science.287.5453.637](https://doi.org/10.1126/science.287.5453.637).
- [94] R. Zhang, Y. Zhang, Q. Zhang, H. Xie, W. Qian und F. Wei. „Growth of Half-Meter Long Carbon Nanotubes Based on Schulz–Flory Distribution“. In: *ACS Nano* 7.7 (2013). PMID: 23806050, S. 6156–6161. DOI: [10.1021/nn401995z](https://doi.org/10.1021/nn401995z).
- [95] E. A. Laird, F. Kuemmeth, G. A. Steele, K. Grove-Rasmussen, J. Nygård, K. Flensberg und L. P. Kouwenhoven. „Quantum transport in carbon nanotubes“. In: *Rev. Mod. Phys.* 87 (3 Juli 2015), S. 703–764. DOI: [10.1103/RevModPhys.87.703](https://doi.org/10.1103/RevModPhys.87.703).
- [96] R. Saito, M. Fujita, G. Dresselhaus und M. S. Dresselhaus. „Electronic structure of chiral graphene tubules“. In: *Applied Physics Letters* 60.18 (1992), S. 2204–2206. DOI: [10.1063/1.107080](https://doi.org/10.1063/1.107080).
- [97] N. Hamada, S.-i. Sawada und A. Oshiyama. „New one-dimensional conductors: Graphitic microtubules“. In: *Phys. Rev. Lett.* 68 (10 März 1992), S. 1579–1581. DOI: [10.1103/PhysRevLett.68.1579](https://doi.org/10.1103/PhysRevLett.68.1579).
- [98] X. He, H. Htoon, S. K. Doorn, W. H. P. Pernice, F. Pyatkov, R. Krupke, A. Jeantet, Y. Chassagneux und C. Voisin. „Carbon nanotubes as emerging quantum-light sources“. In: *Nature Materials* 17.8 (Aug. 2018), S. 663–670. ISSN: 1476-4660. DOI: [10.1038/s41563-018-0109-2](https://doi.org/10.1038/s41563-018-0109-2).

-
- [99] P. B. Selvasundaram. „Near Infrared Photocurrent Spectroscopy on Carbon Nanotube Devices“. Diss. Darmstadt: Technische Universität, Okt. 2020. doi: 10.25534/tuprints-00015395.
 - [100] W. Kinzel und G. Reents. *Physik per Computer : Programmierung physikalischer Probleme mit Mathematica und C*. Diskette im Format 3,5". Heidelberg: Spektrum Akad. Verl., 1996. ISBN: 3-8274-0020-1. URL: <http://www.gbv.de/dms/ilmenau/toc/211917699.PDF>.
 - [101] N. Metropolis, A. W. Rosenbluth, M. N. Rosenbluth, A. H. Teller und E. Teller. „Equation of State Calculations by Fast Computing Machines“. In: *The Journal of Chemical Physics* 21.6 (1953), S. 1087–1092. doi: 10.1063/1.1699114.
 - [102] R. J. Glauber. „Time-Dependent Statistics of the Ising Model“. In: *Journal of Mathematical Physics* 4.2 (Dez. 1963), S. 294–307. ISSN: 0022-2488. doi: 10.1063/1.1703954.
 - [103] S. Kirkpatrick, C. D. Gelatt und M. P. Vecchi. „Optimization by Simulated Annealing“. In: *Science* 220.4598 (1983), S. 671–680. doi: 10.1126/science.220.4598.671.
 - [104] *Multimedia Textbook*. 17. Okt. 2022. URL: <http://www.urel.feec.vutbr.cz/~raida/multimedia/index.php?nav=8-1-B&lang=en>.
 - [105] *Useful relations*. 17. Okt. 2022. URL: http://www.tf.uni-kiel.de/matwiss/amat/semi_en/kap_2/backbone/r2_3_4.html.
 - [106] J. Barnes und R. Lomax. „Finite-element methods in semiconductor device simulation“. In: *IEEE Transactions on Electron Devices* 24.8 (Aug. 1977), S. 1082–1089. ISSN: 1557-9646. doi: 10.1109/T-ED.1977.18880.
 - [107] J. J. H. Miller, W. H. A. Schilders und S. Wang. „Application of finite element methods to the simulation of semiconductor devices“. In: *Reports on Progress in Physics* 62.3 (1999), S. 277. doi: 10.1088/0034-4885/62/3/001.
 - [108] *nextnano++*. 2. Juni 2023. URL: <https://www.nextnano.com/nextnanoplus/>.
 - [109] *Semiconductor Module User's Guide*. COMSOL AB. URL: <https://doc.comsol.com/5.2/doc/com.comsol.help.semicond/SemiconductorModuleUs.pdf>.
 - [110] U. Lindefelt. „Current-density relations for nonisothermal modeling of degenerate heterostructure devices“. In: *Journal of Applied Physics* 75.2 (Jan. 1994), S. 958–966. ISSN: 0021-8979. doi: 10.1063/1.356451.
 - [111] A. Marshak und C. Van Vliet. „Electrical current and carrier density in degenerate materials with nonuniform band structure“. In: *Proceedings of the IEEE* 72.2 (1984), S. 148–164. doi: 10.1109/PROC.1984.12836.
 - [112] U. Ravaioli. „Ece539 -advanced Theory of Semiconductors and Semiconductor Devices Review of Conventional Semiconductor Device Models Based on Partial Differential Equations“. In: 2012.

- [113] X. He und L.-S. Luo. „Theory of the lattice Boltzmann method: From the Boltzmann equation to the lattice Boltzmann equation“. In: *Phys. Rev. E* 56 (6 Dez. 1997), S. 6811–6817. DOI: 10.1103/PhysRevE.56.6811.
- [114] R. J. LeVeque. *Finite volume methods for hyperbolic problems*. Repr. Cambridge texts in applied mathematics. Cambridge: Cambridge Univ. Press, 2007. ISBN: 0-521-81087-6; 0-521-00924-3; 978-0-521-81087-6; 978-0-521-00924-9. URL: <http://www.gbv.de/dms/ilmenau/toc/592002713.PDF>.
- [115] N. Fallah, C. Bailey, M. Cross und G. Taylor. „Comparison of finite element and finite volume methods application in geometrically nonlinear stress analysis“. In: *Applied Mathematical Modelling* 24.7 (2000), S. 439–455. ISSN: 0307-904X. DOI: 10.1016/S0307-904X(99)00047-5.
- [116] P. Steinke. *Finite-Elemente-Methode : Rechnergestützte Einführung*. Berlin, Heidelberg, 2015. URL: <https://swbplus.bsz-bw.de/bsz427133521cov.jpg%20;%20https://zbmath.org/?q=an:1320.74002https://doi.org/10.1007/978-3-642-53937-4>.
- [117] K. Knothe. *Finite Elemente : Eine Einführung für Ingenieure*. Hrsg. von H. Wessels. Berlin, Heidelberg, 2017. URL: <https://doi.org/10.1007/978-3-662-49352-6>.
- [118] T. Moench, P. Friederich, F. Holzmueller, B. Rutkowski, J. Benduhn, T. Strunk, C. Koerner, K. Vandewal, A. Czyska-Filemonowicz, W. Wenzel und K. Leo. „Influence of Meso and Nanoscale Structure on the Properties of Highly Efficient Small Molecule Solar Cells“. In: *Advanced Energy Materials* 6.4 (2016), S. 1501280. DOI: 10.1002/aenm.201501280.
- [119] F. Müller, H. Christiansen und W. Janke. „Phase-Separation Kinetics in the Two-Dimensional Long-Range Ising Model“. In: *Phys. Rev. Lett.* 129 (24 Dez. 2022), S. 240601. DOI: 10.1103/PhysRevLett.129.240601.
- [120] G. Gottstein. *Materialwissenschaft und Werkstofftechnik : Physikalische Grundlagen*. Berlin, Heidelberg, 2014. URL: <https://swbplus.bsz-bw.de/bsz398195781cov.jpghttps://doi.org/10.1007/978-3-642-36603-1>.
- [121] C. R. Harris u. a. „Array programming with NumPy“. In: *Nature* 585.7825 (Sep. 2020), S. 357–362. DOI: 10.1038/s41586-020-2649-2.
- [122] COMSOL - Software für Multiphysik-Simulation. 12. Okt. 2022. URL: <https://www.comsol.de/>.
- [123] M. Rommel. „Simulation der Morphologie und elektrischen Eigenschaften gedruckter Elektronik“. Masterarbeit. Karlsruher Institut für Technologie, 19. Nov. 2015.
- [124] Introduction to COMSOL Multiphysics. COMSOL AB. URL: <https://cdn.comsol.com/doc/5.2/IntroductionToCOMSOLMultiphysics.pdf>.

- [125] *COMSOL Multiphysics Reference Manual*. COMSOL AB. URL: https://doc.comsol.com/5.2/doc/com.comsol.help.comsol/COMSOL_ReferenceManual.pdf.
- [126] *Introduction to Semiconductor Module*. COMSOL AB. URL: <https://doc.comsol.com/5.2/doc/com.comsol.help.semicond/IntroductionToSemicon.pdf>.
- [127] L. Petti, N. Münzenrieder, C. Vogt, H. Faber, L. Büthe, G. Cantarella, F. Bottacchi, T. D. Anthopoulos und G. Tröster. „Metal oxide semiconductor thin-film transistors for flexible electronics“. In: *Applied Physics Reviews* 3.2 (2016), S. 021303. DOI: 10.1063/1.4953034.
- [128] A. K. Singh, A. Janotti, M. Scheffler und C. G. Van de Walle. „Sources of Electrical Conductivity in SnO₂“. In: *Phys. Rev. Lett.* 101 (5 Juli 2008), S. 055502. DOI: 10.1103/PhysRevLett.101.055502.
- [129] D. E. Eastman. „Photoelectric Work Functions of Transition, Rare-Earth, and Noble Metals“. In: *Phys. Rev. B* 2 (1 Juli 1970), S. 1–2. DOI: 10.1103/PhysRevB.2.1.
- [130] R. G. Wilson. „Vacuum Thermionic Work Functions of Polycrystalline Be, Ti, Cr, Fe, Ni, Cu, Pt, and Type 304 Stainless Steel“. In: *Journal of Applied Physics* 37.6 (1966), S. 2261–2267. DOI: 10.1063/1.1708797.
- [131] R. R. Dogonadze, E. Kalman und A. A. Kornyshev. *The chemical physics of solvation Pt B*. Netherlands: Elsevier, 1986. ISBN: 0-444-42674-4. URL: http://inis.iaea.org/search/search.aspx?orig_q=RN:18053670.
- [132] P. G. Dzhavakhidze, A. A. Kornyshev, A. Liebsch und M. Urbakh. „Theory of second-harmonic generation at the metal-electrolyte interface“. In: *Phys. Rev. B* 45 (16 Apr. 1992), S. 9339–9346. DOI: 10.1103/PhysRevB.45.9339.
- [133] H. Elhouichet, A. Moadhen, M. Oueslati, S. Romdhane, J. A. Roger und H. Bouchriha. „Structural, optical and electrical properties of porous silicon impregnated with SnO₂:Sb“. In: *physica status solidi (c)* 2.9 (2005), S. 3349–3353. ISSN: 1610-1642. DOI: 10.1002/pssc.200461165.
- [134] F. Hernández-Ramírez, A. Tarancón, O. Casals, J. Rodríguez, A. Romano-Rodríguez, J. R. Morante, S. Barth, S. Mathur, T. Y. Choi, D. Poulikakos, V. Callegari und P. M. Nellen. „Fabrication and electrical characterization of circuits based on individual tin oxide nanowires“. In: *Nanotechnology* 17.22 (2006), S. 5577. URL: <http://stacks.iop.org/0957-4484/17/i=22/a=009>.
- [135] Y. Cheng, R. Yang, J.-P. Zheng, Z. L. Wang und P. Xiong. „Characterizing individual SnO₂ nanobelt field-effect transistors and their intrinsic responses to hydrogen and ambient gases“. In: *Materials Chemistry and Physics* 137.1 (2012), S. 372–380. ISSN: 0254-0584. DOI: 10.1016/j.matchemphys.2012.09.037.

- [136] K. J. Button, C. G. Fonstad und W. Dreybrodt. „Determination of the Electron Masses in Stannic Oxide by Submillimeter Cyclotron Resonance“. In: *Phys. Rev. B* 4 (12 Dez. 1971), S. 4539–4542. DOI: 10.1103/PhysRevB.4.4539.
- [137] D. O. Scanlon und G. W. Watson. „On the possibility of p-type SnO₂“. In: *J. Mater. Chem.* 22 (48 2012), S. 25236–25245. DOI: 10.1039/C2JM34352E.
- [138] C. E. Simion, F. Schipani, A. Papadogianni, A. Stanouli, M. Budde, A. Oprea, U. Weimar, O. Bierwagen und N. Barsan. „Conductance Model for Single-Crystalline/Compact Metal Oxide Gas-Sensing Layers in the Nondegenerate Limit: Example of Epitaxial SnO₂(101)“. In: *ACS Sensors* 4.9 (2019). PMID: 31414598, S. 2420–2428. DOI: 10.1021/acssensors.9b01018.
- [139] *ProductInformation Simethyl sulfoxide / Sigma-Aldrich*. 6. Mai 2022. URL: <https://www.sigmaaldrich.com/deepweb/assets/sigmaaldrich/product/documents/712/921/d8418pis.pdf>.
- [140] I. Borukhov, D. Andelman und H. Orland. „Steric Effects in Electrolytes: A Modified Poisson-Boltzmann Equation“. In: *Phys. Rev. Lett.* 79 (3 Juli 1997), S. 435–438. DOI: 10.1103/PhysRevLett.79.435.
- [141] D. E. Shaw u. a. „Anton 2: Raising the Bar for Performance and Programmability in a Special-Purpose Molecular Dynamics Supercomputer“. In: *SC ’14: Proceedings of the International Conference for High Performance Computing, Networking, Storage and Analysis*. 2014, S. 41–53. DOI: 10.1109/SC.2014.9.
- [142] A. Ortiz-Conde, F. Garcia Sanchez, A. Cerdeira, M. Estrada, D. Flandre und J. Liou. „A procedure to extract mobility degradation, series resistance and threshold voltage of SOI MOSFETs in the saturation region“. In: *2001 6th International Conference on Solid-State and Integrated Circuit Technology. Proceedings (Cat. No.01EX443)*. Bd. 2. 2001, 887–890 vol.2. DOI: 10.1109/ICSICT.2001.982037.
- [143] X. Feng, C. Punckt, G. C. Marques, M. Hefenbrock, M. B. Tahoori und J. Aghassi-Hagmann. „Impact of Intrinsic Capacitances on the Dynamic Performance of Printed Electrolyte-Gated Inorganic Field Effect Transistors“. In: *IEEE Transactions on Electron Devices* 66.8 (2019), S. 3365–3370. DOI: 10.1109/TED.2019.2919933.
- [144] K. Kurishima, T. Nabatame, N. Mitoma, T. Kizu, S. Aikawa, K. Tsukagoshi, A. Ohi, T. Chikyow und A. Ogura. „Effect of carbon doping on threshold voltage and mobility of In-Si-O thin-film transistors“. In: *Journal of Vacuum Science & Technology B* 36.6 (2018), S. 061206. DOI: 10.1116/1.5039665.
- [145] F. Neuper, A. Chandresh, S. A. Singaraju, J. Aghassi-Hagmann, H. Hahn und B. Breitung. „Tailoring Threshold Voltages of Printed Electrolyte-Gated Field-Effect Transistors by Chromium Doping of Indium Oxide Channels“. In: *ACS Omega* 4.24 (2019). PMID: 31858043, S. 20579–20585. DOI: 10.1021/acsomega.9b02513.

- [146] G. C. Marques, A. Birla, A. Arnal, S. Dehm, E. Ramon, M. B. Tahoori und J. Aghassi-Hagmann. „Printed Logic Gates Based on Enhancement- and Depletion-Mode Electrolyte-Gated Transistors“. In: *IEEE Transactions on Electron Devices* 67.8 (Aug. 2020), S. 3146–3151. ISSN: 1557-9646. DOI: 10.1109/TED.2020.3002208.
- [147] S. K. Mondal, N. Devabharathi und S. Dasgupta. „Effect of semiconductor surface homogeneity and interface quality on electrical performance of inkjet-printed oxide field-effect transistors“. In: *Nanotechnology* 30.43 (Aug. 2019), S. 435201. DOI: 10.1088/1361-6528/ab2a84.
- [148] R. Joseph Daniel und K. Bhat. „Threshold voltage model for accumulation mode polycrystalline SOI MOSFETs and comparisons with experimental results“. In: *Microelectronic Engineering* 103 (2013), S. 79–85. ISSN: 0167-9317. DOI: 10.1016/j.mee.2012.10.003.
- [149] W. Demtröder. *Elektrostatik*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2017. ISBN: 978-3-662-55790-7. DOI: 10.1007/978-3-662-55790-7_1.
- [150] V. Kaphle, P. R. Paudel, D. Dahal, R. K. Radha Krishnan und B. Lüssem. „Finding the equilibrium of organic electrochemical transistors“. In: *Nature Communications* 11.1 (Mai 2020), S. 2515. ISSN: 2041-1723. DOI: 10.1038/s41467-020-16252-2.
- [151] *Simulation of an Ion-Sensitive Field-Effect Transistor (ISFET)*. März 2021. URL: <https://www.comsol.de/model/simulation-of-an-ion-sensitive-field-effect-transistor-isfet-45341>.
- [152] G. C. Marques, S. K. Garlapati, D. Chatterjee, S. Dehm, S. Dasgupta, J. Aghassi und M. B. Tahoori. „Electrolyte-Gated FETs Based on Oxide Semiconductors: Fabrication and Modeling“. In: *IEEE Transactions on Electron Devices* 64.1 (2017), S. 279–285. DOI: 10.1109/TED.2016.2621777.
- [153] X. Liu, M. Kanehara, C. Liu und T. Minari. „Ultra-high-resolution printing of flexible organic thin-film transistors“. In: *Journal of Information Display* 18.2 (2017), S. 93–99. DOI: 10.1080/15980316.2017.1298538.
- [154] S. Lee, Y. Song, H. Park, A. Zaslavsky und D. Paine. „Channel scaling and field-effect mobility extraction in amorphous InZnO thin film transistors“. In: *Solid-State Electronics* 135 (2017), S. 94–99. ISSN: 0038-1101. DOI: 10.1016/j.sse.2017.06.033.
- [155] J. Leppäniemi, K. Eiroma, H. S. Majumdar und A. Alastalo. „In₂O₃ Thin-Film Transistors via Inkjet Printing for Depletion-Load nMOS Inverters“. In: *IEEE Electron Device Letters* 37.4 (2016), S. 445–448. DOI: 10.1109/LED.2016.2529183.
- [156] J. Raja, K. Jang, C. P. T. Nguyen, N. Balaji, S. Chatterjee und J. Yi. „Drain-Induced Barrier Lowering and Parasitic Resistance Induced Instabilities in Short-Channel InSnZnO TFTs“. In: *IEEE Electron Device Letters* 35.7 (Juli 2014), S. 756–758. ISSN: 1558-0563. DOI: 10.1109/LED.2014.2318754.

- [157] FUJIFILM. *Dimatix Materials Printer DMP-2831*. 19. Apr. 2013. URL: <https://tmi.utexas.edu/images/pdfs/fujifilm-cartridge-information.pdf> (besucht am 01.03.2022).
- [158] Y. Kato. *FUJIFILM Group's Inkjet Printhead and Technology*. Paper. FUJIFILM RESEARCH & DEVELOPMENT, 7. Nov. 2013. URL: https://asset.fujifilm.com/www/jp/files/2019-12/9b0bf0e5a89d9b69c1f9d79c5628ff_rd059_007_en.pdf (besucht am 01.03.2022).
- [159] FUJIFILM. *Dimatix® Materials Cartridge - Samba® Cartridge*. 14. Apr. 2021. URL: <https://asset.fujifilm.com/www/us/files/2021-04/ae8a1e167ce8c273fcdd31ecffd9ec80/PDS00142.pdf> (besucht am 01.03.2022).
- [160] H. Vogel. *Gerthsen Physik*. 18. Aufl. 1995. ISBN: 3-540-59278-4. DOI: 10.1007/978-3-662-07466-4.
- [161] A. P. Amalathas und M. M. Alkaisi. „Effects of film thickness and sputtering power on properties of ITO thin films deposited by RF magnetron sputtering without oxygen“. In: *Journal of Materials Science: Materials in Electronics* 27.10 (Okt. 2016), S. 11064–11071. ISSN: 1573-482X. DOI: 10.1007/s10854-016-5223-9.
- [162] Y.-J. Lin, C.-L. Tsai, Y.-C. Su und D.-S. Liu. „Carrier transport mechanism of poly(3,4-ethylenedioxythiophene) doped with poly(4-styrenesulfonate) films by incorporating ZnO nanoparticles“. In: *Applied Physics Letters* 100.25 (2012), S. 253302. DOI: 10.1063/1.4730391.
- [163] S. K. Garlapati. „Low Temperature Processing of Printed Oxide Transistors“. Dissertation. TU Darmstadt, 2017. URL: <http://d-nb.info/1126115932/34>.
- [164] S. Lu, J. Zheng, J. A. Cardenas, N. X. Williams, Y.-C. Lin und A. D. Franklin. „Uniform and Stable Aerosol Jet Printing of Carbon Nanotube Thin-Film Transistors by Ink Temperature Control“. In: *ACS Applied Materials & Interfaces* 12.38 (2020). PMID: 32897054, S. 43083–43089. DOI: 10.1021/acsami.0c12046.
- [165] C. Cao, J. B. Andrews und A. D. Franklin. „Completely Printed, Flexible, Stable, and Hysteresis-Free Carbon Nanotube Thin-Film Transistors via Aerosol Jet Printing“. In: *Advanced Electronic Materials* 3.5 (2017), S. 1700057. DOI: 10.1002/aelm.201700057.
- [166] A. Bachtold, P. Hadley, T. Nakanishi und C. Dekker. „Logic Circuits with Carbon Nanotube Transistors“. In: *Science* 294.5545 (2001), S. 1317–1320. DOI: 10.1126/science.1065824.
- [167] P. Vuttipittayamongkol, F. Wu, H. Chen, X. Cao, B. Liu und C. Zhou. „Threshold voltage tuning and printed complementary transistors and inverters based on thin films of carbon nanotubes and indium zinc oxide“. In: *Nano Research* 8.4 (Apr. 2015), S. 1159–1168. ISSN: 1998-0000. DOI: 10.1007/s12274-014-0596-7.

- [168] M. D. Bishop, G. Hills, T. Srimani, C. Lau, D. Murphy, S. Fuller, J. Humes, A. Ratkovich, M. Nelson und M. M. Shulaker. „Fabrication of carbon nanotube field-effect transistors in commercial silicon manufacturing facilities“. In: *Nature Electronics* 3.8 (Aug. 2020), S. 492–501. ISSN: 2520-1131. DOI: 10.1038/s41928-020-0419-7.
- [169] I. Hossain, A. Alam, S. Dehm, F. Hennrich, U. Lemmer und R. Krupke. „Near-infrared photocurrent spectroscopy of polymer-wrapped SWCNTs“. KIT Poster. 2016.
- [170] A. Ishii, M. Yoshida und Y. K. Kato. „Exciton diffusion, end quenching, and exciton-exciton annihilation in individual air-suspended carbon nanotubes“. In: *Phys. Rev. B* 91 (12 März 2015), S. 125427. DOI: 10.1103/PhysRevB.91.125427.
- [171] J. K. Streit, S. M. Bachilo, S. Ghosh, C.-W. Lin und R. B. Weisman. „Directly Measured Optical Absorption Cross Sections for Structure-Selected Single-Walled Carbon Nanotubes“. In: *Nano Letters* 14.3 (2014). PMID: 24502235, S. 1530–1536. DOI: 10.1021/nl404791y.
- [172] P. Tarakeshwar, J. J. Palacios und D. M. Kim. „Interface Study of Metal Electrode and Semiconducting Carbon Nanotubes: Effects of Electrode Atomic Species“. In: *IEEE Transactions on Nanotechnology* 7.2 (2008), S. 124–127. DOI: 10.1109/TNANO.2007.907852.
- [173] *Automate Your Modeling Tasks with the COMSOL API for use with Java®*. 29. Dez. 2022. URL: <https://www.comsol.com/blogs/automate-modeling-tasks-comsol-api-use-java/>.
- [174] *Diffuse Double Layer*. März 2021. URL: <https://www.comsol.de/model/diffuse-double-layer-21981>.
- [175] *GNU Image Manipulation Program*. Jan. 2022. URL: <https://www.gimp.org/>.