



Entwicklung eines 5 GHz Digitalisierungssystem basierend auf dem MTCA.4 Standard

M. Balzer, M. Kleifges, A. Menshikov, D. Tcherniakhovski

Institute for Data Processing and Electronics (IPE)



KIT – University of the State of Baden-Wuerttemberg and
National Laboratory of the Helmholtz Association


www.kit.edu

Agenda

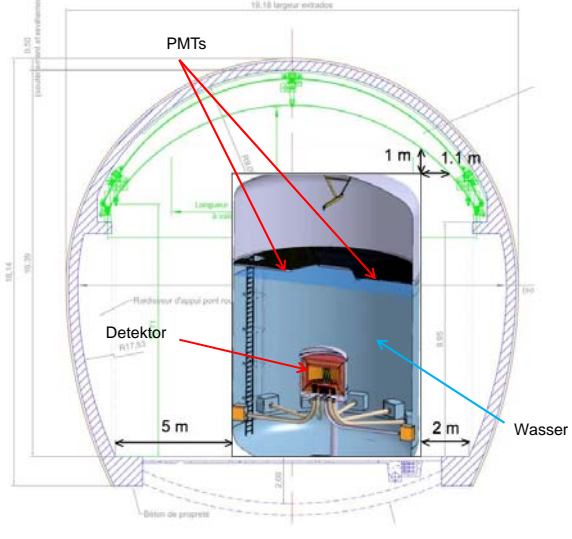


- Anwendung
- FADC und Switch Capacitor Arrays
- DRS4 IC
- MTCA.4 RTM-DRS4
- MTCA.4 AMC Module

Dark Mater Experiment EURECA




- Laboratoire Souterrain de Modane (LSM)

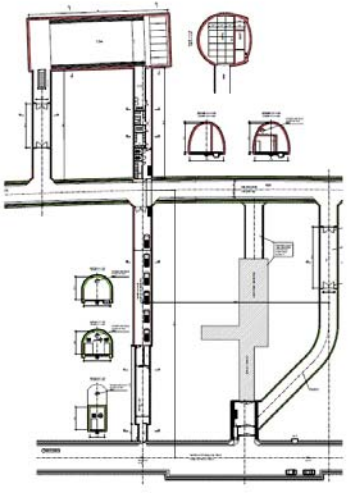


3 SEI Tagung 11.-13. März 2013 Matthias Balzer Institute for Data Processing and Electronics (IPE)

Laboratoire Souterrain de Modane (LSM)



- Tunnel zwischen Frankreich und Italien



4 SEI Tagung 11.-13. März 2013 Matthias Balzer Institute for Data Processing and Electronics (IPE)

Dark Mater Experiment EURECA

- Laboratoire Souterrain de Modane (LSM)
- Nachweise von WIMP Teilchen
- Kryogener Germanium Detektor 150 kg (später 1000 kg)
- Problem Kosmische μon Strahlung
- Detektion von μon (bis zu 96 PMT)
- Hohe zeitliche Auflösung der PMT Signale

5
SEI Tagung 11.-13. März 2013 Matthias Balzer
Institute for Data Processing and Electronics (IPE)

Flash ADC im GHz Bereich

- Texas Instrument

■ ADC10D1000	10bit	2 Ch	2,0 GSa/s	1,4 W/Ch
■ ADC12D1800	12bit	2 Ch	3,6 GSa/s	2,4 W/Ch
■ ADC12D500RF	12bit	2 Ch	1,0 GSa/s	1,0 W/Ch

- e2v

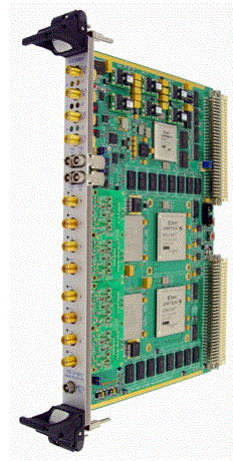
■ EV10AQ190 oder	10bit	4 Ch	1,25 GSa/s	1,4 W/Ch
	10bit	1 Ch	5,0 GSa/s	5,6 W/Ch
■ EV12AS200	12bit	1 Ch	2,3 GSa/s	3,2 W/Ch

6
SEI Tagung 11.-13. März 2013 Matthias Balzer
Institute for Data Processing and Electronics (IPE)

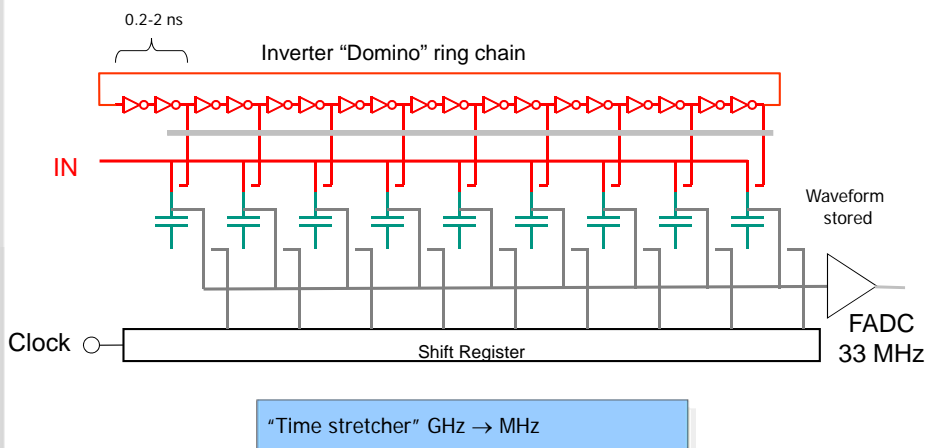
Flash ADC Karten



- SIS3305 VME 2 x 5 GSa/s Struck
- FMC126 1 x 5 GSa/s 4DSP



Switched Capacitor Array



Source: PSI, Stefan Ritt, presentation „Very Fast Waveform Recorders.“

Switched Capacitor Array ICs

- **PSEC-4** Digitizing ASIC (H.Frisch, Univ. Chicago)
 - 2,5 – 15 GSa/s
 - 6 Channels mit 256 Samples (100 – 17 ns)

- **Labrador4** (G.Varner, Univ. of Hawaii)
 - 4 GSa/s
 - 1 Channel mit 4094 Samples

- **Target4** (G.Varner, Univ. of Hawaii)
 - 0,5 - 1,5 GSa/s
 - 16 Channel mit 16384 Samples

- **DRS4** (R. Dinapoli, PSI)
 - 0,7 – 5,0 GSa/s
 - 8 Channels mit 1024 Samples

DRS4 Chip

FUNCTIONAL BLOCK DIAGRAM

- 8+1 Ch x 1024 Kap.
oder 4 Ch x 2048
oder 1 Ch x 8192

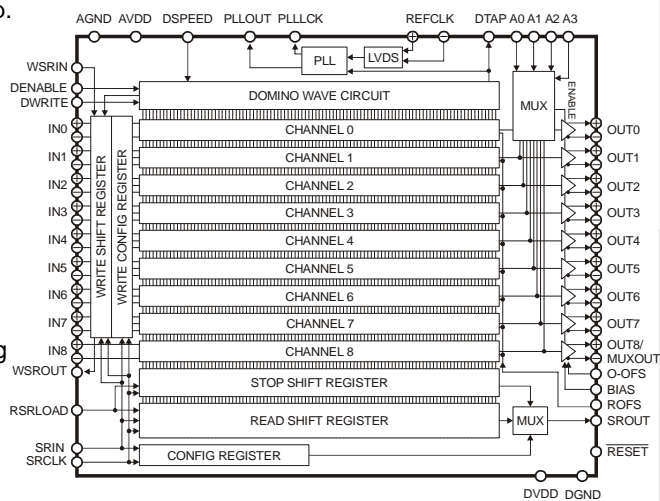
- Abtastrate
0.7 bis 5.0 GSPS

- On-Chip PLL

- Auslese mit 33 MHz

- Amplitudenauflösung
11,5 Bit

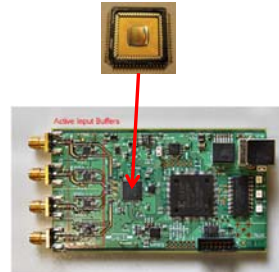
- 17,5 mW/Ch



DRS4 Evaluation Board



- 4 Channels
- 14 bit ADC
- Bis zu 5 GSa/s
- 750 MHz analoge Bandbreite
- 500 Events/s (USB Auslese)



- Fixed Pattern Noise Korrektur

11

SEI Tagung 11.-13. März 2013 Matthias Balzer

Institute for Data Processing and Electronics (IPE)

Eigenschaften RTM-DRS4



- MTCA.4 Rear Transition Module Standard
- RTM Connector Konform zu Zone3 Empfehlungen (D1.1)

- 16 analoge Eingangskanäle
- Einstellbarer Schwellwert-Trigger für jeden Eingangskanal
- 1 externer Trigger

- 2 Capacitor Arrays pro Analogkanal
- Analoge Bandbreite DC - 750 MHz
- Sampling-Rate bis zu 5 GSa/s
- 100ns Totzeit

- FPGA Spartan-6 LX45T-LX100T
 - Flexible Verbindung zum AMC
 - Steuerung und Verarbeitung


12

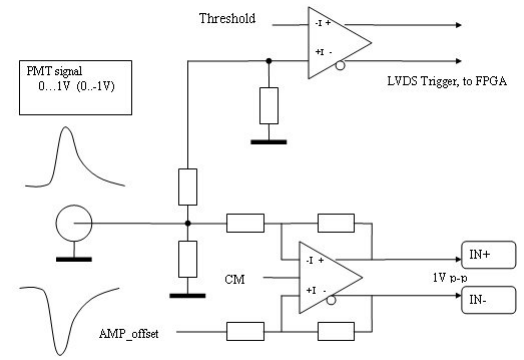
SEI Tagung 11.-13. März 2013 Matthias Balzer

Institute for Data Processing and Electronics (IPE)

Analoge Eingänge

- Verstärkerbandbreite
DC - 750 MHz
- Einstellbarer Signalbereich
- Comparator Delay < 1 ns
- Einstellbare Schwelle
- Versorgung $\pm 2,5$ V




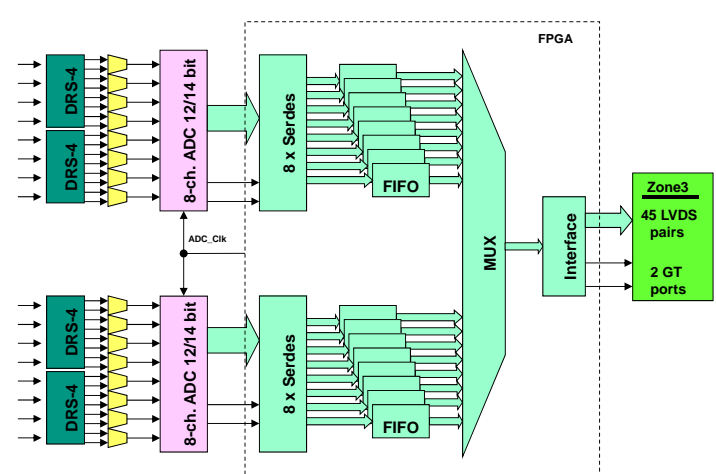


13
SEI Tagung 11.-13. März 2013 Matthias Balzer
Institute for Data Processing and Electronics (IPE)

RTM-DRS4

Datenfluss





14
SEI Tagung 11.-13. März 2013 Matthias Balzer
Institute for Data Processing and Electronics (IPE)

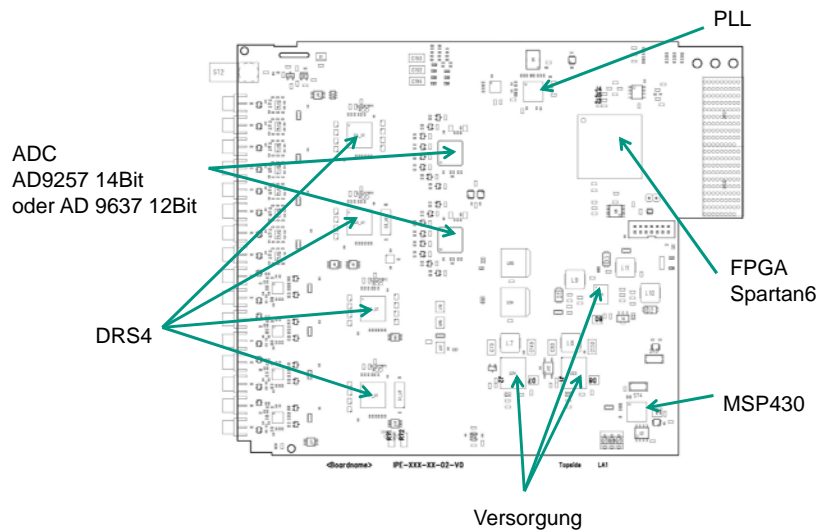
FPGA Funktion




- Steuerung von 4 DRS4 ICs
- Aufnahme der Daten von 16 ADC Kanälen (jeder max. 360Mb/s)
- "On line fixed pattern noise" Korrektur
- Schnittstelle zum AMC Modul: Seriel oder Parallel
- Dynamische Schwellenwerteinstellung pro Kanal
- Trigger Logik

RTM-DRS4

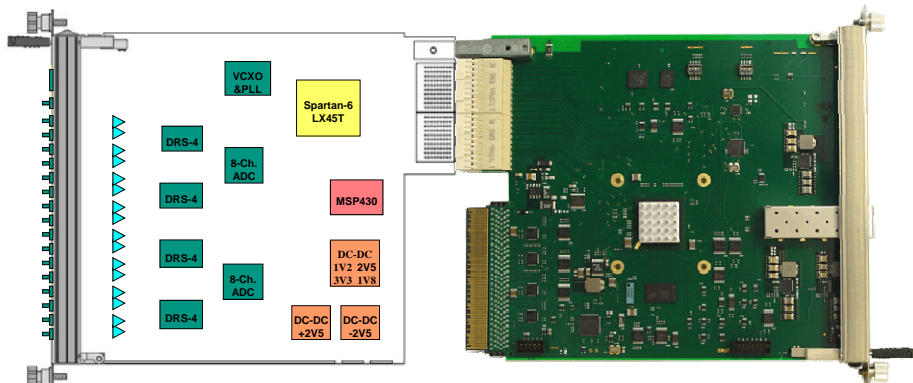
Platzierung der Bauteile



MTCA.4 Einheit mit TAMC651




KIT
Karlsruhe Institute of Technology



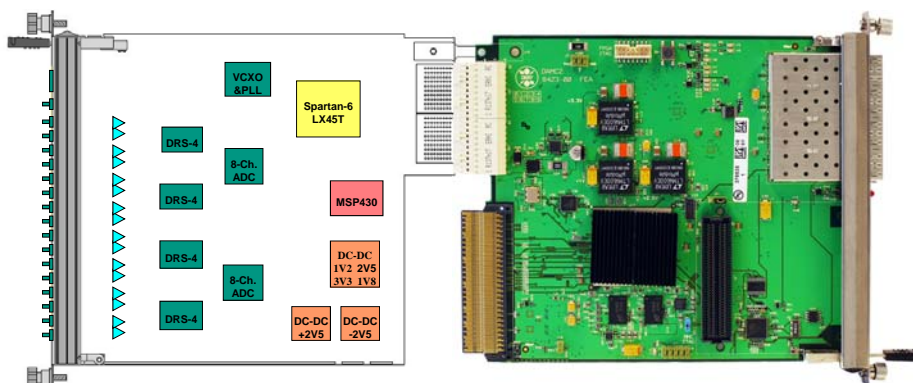
- Xilinx Spartan 6 LX45T
- PCIe x1
- 1 SFP

17 SEI Tagung 11.-13. März 2013 Matthias Balzer Institute for Data Processing and Electronics (IPE)

MTCA.4 Einheit mit DAMC2



KIT
Karlsruhe Institute of Technology



- Xilinx Virtex 5 VLX50T
- PCIe x4
- 4 SFPs
- FMC Connector

18 SEI Tagung 11.-13. März 2013 Matthias Balzer Institute for Data Processing and Electronics (IPE)

Zusammenfassung



- 16 analoge Eingänge mit Bandbreite von DC-750 MHz
- Programmierbare Abtastrate 700MHz – 5GHz
- Low Power Abtastung für niedrige Ereignisraten

- Spartan-6 LX45T-LX100T
- RTM Zone3 Schnittstelle: 2 GTP und 45 LVDS

- Skalierbares System

- Erster Prototyp April 2013

RTM-DRS4



- Danke für Ihre Aufmerksamkeit

- Fragen?

