

KERNFORSCHUNGSZENTRUM

KARLSRUHE

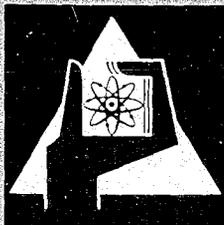
Dezember 1968

KFK 897

Institut für Experimentelle Kernphysik

DATA-LOG, ein Gerät für die Steuerung der
logischen Funktionen im System DATA

H. Brückmann, P. Fluck, H. Matthäy, L. Schänzler



GESELLSCHAFT FÜR KERNFORSCHUNG M. B. H.

KARLSRUHE

KERNFORSCHUNGSZENTRUM KARLSRUHE

Dezember 1968

KFK 897

Institut für Experimentelle Kernphysik

DATA-LOG ein Gerät für die Steuerung der logischen
Funktionen im System DATA

H. Brückmann, P. Fluck, H. Matthäy, L. Schänzler

Gesellschaft für Kernforschung m.b.H. Karlsruhe

A b s t r a c t

DATA-LOG is the central unit of the data acquisition system DATA. This system accepts simultaneously up to five independent analogous signals. These signals might be derived from a single event in nuclear reaction studies. The five independent parameters may for instance represent information on energy loss, time of flight or dE/dx for a single coincidence event. Five ADC's integrated into DATA digitalize the information with an accuracy of 12 bit/parameter. The whole digital information (up to 48 bit) is transferred to a CDC 3100 computer. The unit DATA-LOG is responsible for the control of the data flow between experiment and computer and directs a selectable part of the information to a separate memory or multi-channel analyzer for monitor purposes. DATA-LOG generates and accepts all logical signals being necessary for the common-operation of the five ADC's, the memory, and the computer. The theory of operation and the electronic design of DATA-LOG is discussed in detail. The DATA system was designed for nuclear reaction studies at 'Institut für Experimentelle Kernphysik, Karlsruhe' and is operating at the Karlsruhe Isochronous Cyclotron. The application is not restricted to these topics the system might be generally used for very different experiments.

Einleitung

Von der Gruppe Kernreaktionen des IEKP wurde unter der Bezeichnung "DATA" ein mehrparametrisches, flexibles schnelles Meßwert-Erfassungssystem entwickelt und gebaut.

Das System erfaßt in der jetzt vorliegenden Form gleichzeitig bis zu fünf unabhängige Analogsignale (V,W,X,Y(Z)), die z.B. Meßgrößen einer einzelnen Kernreaktion sein können, und digitalisiert sie mit einem maximalen Konversionsbereich von 12 bit/Signal. Die digitale Information wird wahlweise in einem oder in zwei 24 bit-Worten auf den angeschlossenen Rechner CDC 3100 übertragen. Außerdem werden zur simultanen Überwachung insgesamt 12 bit aus zwei beliebig wählbaren ADC's V,W,X,Y,(Z) auf eine 4K-Memory- und Displayeinheit (Intertechnique BM 96) übertragen und in Form eines zweidimensionalen Kontrollspektrums dargestellt. Das Format dieser Darstellung ist beliebig wählbar.

Eine stark schematisierte Darstellung des gesamten Systems und seiner Funktionen zeigt Abb. 1. Die darin besonders hervorgehobene Einheit DATALOG dient als zentrale Steuereinheit des gesamten Systems "DATA". Diese Steuereinheit soll im folgenden ausführlicher beschrieben werden^{x)}.

Um die Anforderungen, die an eine solche Steuereinheit gestellt werden zu erfüllen, muß der DATALOG folgende logischen Signale und Datensignale aufnehmen:

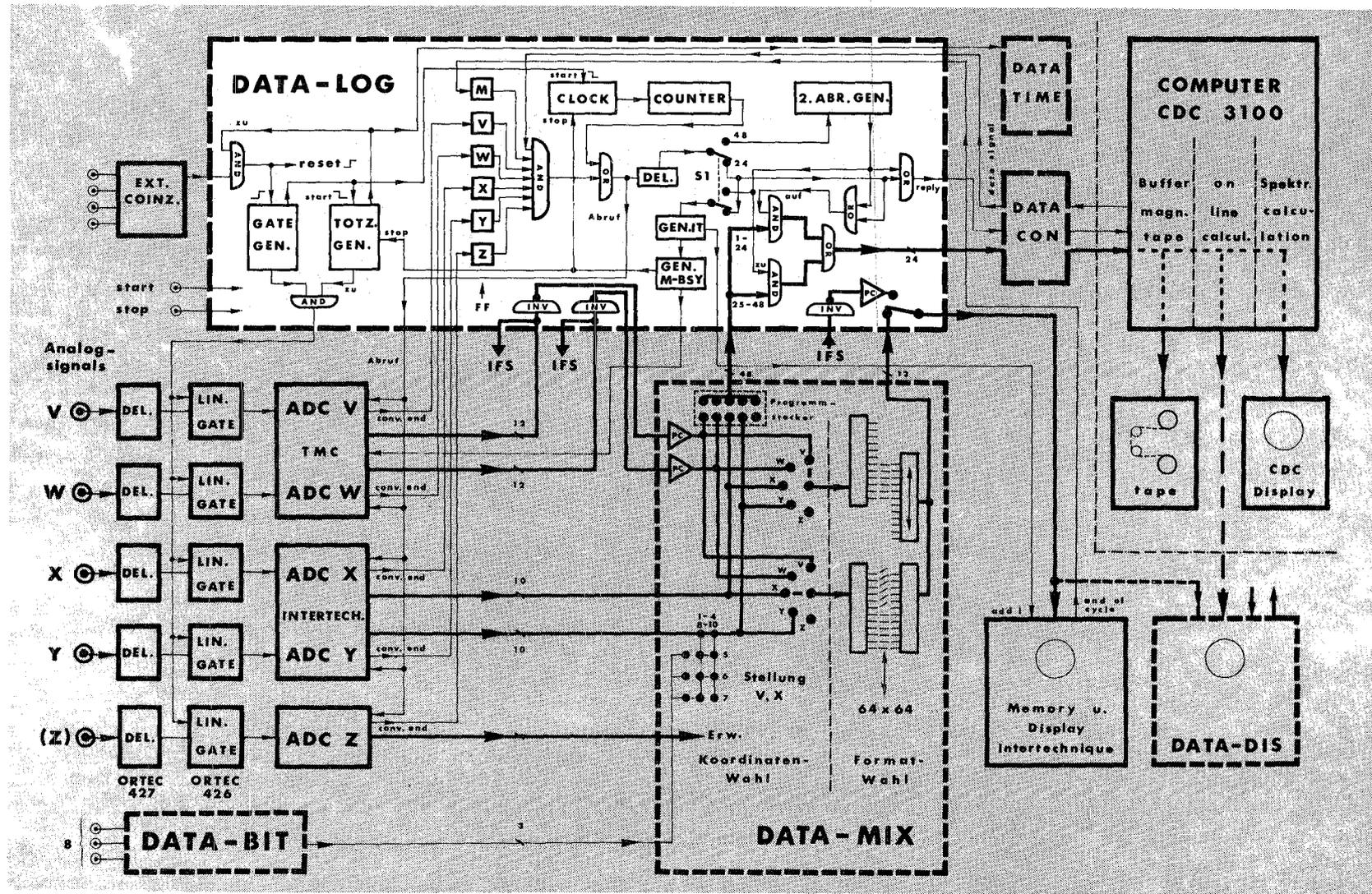
- 1) Externes "START"- und "STOPPSIGNAL" für das gesamte System.
- 2) Ein externes "KOINZIDENZSIGNALE". Dieses Signal leitet jeden einzelnen Funktionszyklus der Steuereinheit ein.
- 3) Die "KONVERSIONSEND-SIGNALE" der angeschlossenen ADC's: V,W,X,Y und (Z).
- 4) Ein "END OF CYCLE SIGNAL" vom 4K-Memory (BM 96)
- 5) Das "DATASIGNAL" des Rechners (CDC 3100).
Die beiden letztgenannten Signale zeigen an, wann die Speichereinheiten zur Datenübernahme bereit sind.
- 6) Maximal 48 Datenbit, die zum Memory und zum Rechner übertragen werden sollen.

Außerdem muß der DATALOG folgende Signale abgeben:

- 1) Ein Signal "LINEAR GATES", das die den ADC's vorgeschalteten linearen

^{x)} Eine Beschreibung des gesamten Systems "DATA" mit Anwendungsbeispielen erscheint als KFK-Bericht. Detaillierte Beschreibungen der anderen Funktionseinheiten werden in weiteren KFK- und Arbeitsberichten enthalten sein.

Fig. 1 Stark vereinfachtes Schaltbild des Datenerfassungssystems 'DATA'



15.11.68 GB

Messwernerfassungssystem 'DATA'

EKP - Gruppe Kernreaktionen

Gates öffnet.

- 2) Ein Signal "ABRUF", das den Abruf der Konversionsergebnisse aus den Ausgangsadressregistern der ADC's bewirkt.
- 3) Ein Signal "REPLY", das die Übernahme der Daten in den Rechner bewirkt.
- 4) Ein Signal "ADD ONE" für die Übernahme der Daten in das 4K-Memory (BM 96).
- 5) Ein Signal "MEMORY BUSY" zur ADC-Steuerung (abgekürzt:M-BSY).
- 6) Ein "TOTZEITSIGNAL", dessen Länge der Gesamttotzeit des Systems in jedem Verarbeitungszyklus entspricht.
- 7) Interne Steuersignale für die Übertragung von zwei 24 bit-Worten.
- 8) Maximal 48 Datenbit, die zum Memory und zum Rechner übertragen werden.

Aufbau des DATALOG

Beim elektronischen Aufbau des DATALOG wurden Modules aus der sogenannten R-Serie und W-Serie der Firma DEC^{x)} verwendet. Sie lassen eine maximale Betriebsfrequenz von 2 MHz zu. Die Karten sind mit diskreten Bauelementen bestückt. Ein Verzeichnis der verwendeten Modules, ihrer Schaltsymbole und logischen Funktionen enthält der Anhang A am Textende.

Nur einige spezielle Bauelemente und Baugruppen, wie z.B. Relaiskarten, Pegelkonverter und die Gates zur Steuerung des 24/48 bit-Betriebs, wurden unter weitgehender Verwendung von integrierten Bausteinen selbst entwickelt. Sie wurden in gedruckter Schaltungstechnik auf Leermodules aufgebaut, so daß sie elektronisch und mechanisch mit der R-Serie bzw. der W-Serie kompatibel sind.

Die Frontplatte der Einheit mit den Bedienungselementen zeigt Abb. 2. Um die Bedienung zu erleichtern, trägt die Frontplatte ein Blockschaltbild, in das die Buchsen für die Ein- und Ausgangssteuersignale, einige Testpunkte und die Schalter ihren Funktionen entsprechend eingefügt sind.

Zur Stromversorgung des DATALOG werden von uns als "Minipack's" entwickelte Netzgeräte eingesetzt^{xx)}. Neben der Baugruppe, die die logischen Funktionen des DATALOG steuert (Abb. 3 und Abb. 4), enthält der DATALOG zwei weitere Baugruppen, deren Funktionen in Abb. 1 ebenfalls schematisch dargestellt sind^{xxx)}.

x) DIGITAL EQUIPMENT CORPORATION

xx) Ausführliche Beschreibung erscheint als KFK-Bericht

xxx) Die in den Abb. 3 - 4 und den zugehörigen Beschreibungen benutzte Nummerierung der Modules (A1 - A30 und B1 - B30) entspricht ihren Positionsnummern im DATALOG.

Es handelt sich dabei um die Pegelinversion und Rangierung der Datenbit von den TMC-ADC's und die Anschlußmöglichkeiten für den Input Format Selector ("IFS"). Die Notwendigkeit zum Einbau der Inverter ergab sich aus der negativen Logik der Einheiten TMC 242 A(ADC's)/244 A(IFS).

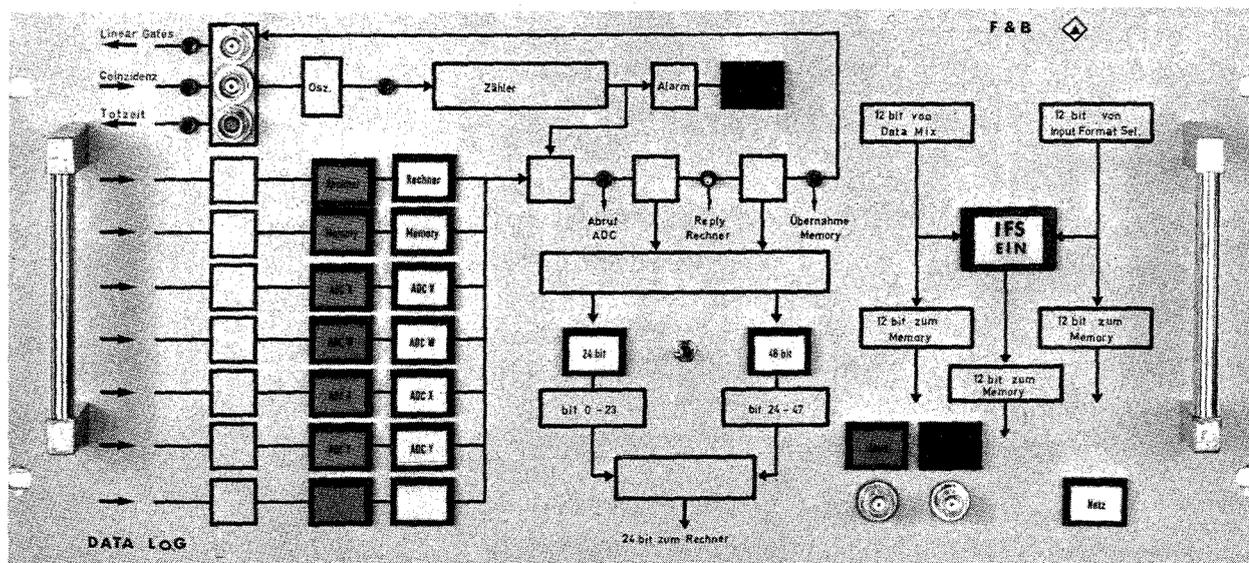


Abb. 2 Frontansicht des Einschubes DATALOG

FUNKTIONEN DES DATALOG

Die Steuereinheit DATALOG des mehrdimensionalen Datenanalysationssystems hat folgende Funktionen:

- 1.) Sie läßt Signale nur dann auf die Eingänge der angeschlossenen ADC's (Intertechnique CA 25, TMC 242 A) gelangen, wenn eine unabhängige Koinzidenzanforderung erfüllt ist und ein Signal auf den Eingang "KOINZIDENZ" des DATALOG angeliefert wird. Die Vorderflanke dieses Signals bewirkt, daß in jedem Falle zu Beginn eines Funktionszyklus alle Funktionselemente der Einheit in einen definierten Anfangszustand gebracht werden. Darüberhinaus bewirkt sie, daß die vor den ADC-Eingängen liegenden linearen Gates (ORTEC 426) für eine einstellbare Zeit (normal 1.4 μ sec) geöffnet werden. Anschließend werden die Gates gesperrt und können erst dann wieder geöffnet werden, wenn der Übertrag dieser Konversionsergebnisse auf die Speichereinheiten erfolgt ist (12 bit auf das Memory BM 96 und 24 bzw. 48 bit auf den Rechner CDC 3100). Das nächste Signal, das nach einem Übertrag auf den Eingang "KOINZIDENZ" des DATALOG gelangt, öffnet die linearen Gates wieder und leitet einen neuen Funktionszyklus der Steuereinheit ein.

2.) Im normalen Betriebszustand wird der Abruf der Konversionsergebnisse aus den ADC's erst dann eingeleitet, wenn folgende Bedingungen erfüllt sind:

a) Alle durch Tastendruck anwählbaren ADC's (1 bis maximal 5) müssen die Konversion beendet haben und dies durch Anlieferung eines "KONVERSIONSEND SIGNALS".

(Signal: SORTIE AUTORISATION beim INTERTECHNIQUE CA 25, CONVERSION COMPLETE beim TMC 242 A) der Steuereinheit gemeldet haben.

b) Der Rechner muß seine Bereitschaft zur Datenübernahme durch ein Pegelsignal (DATASIGNAL bei der CDC 3100) am entsprechenden Eingang des DATALOG melden.

c) Vom Memory BM 96 muß die Einheit nach Abschluß des letzten vorhergegangenen "ADD ONE Zyklus" ein "END OF CYCLE-SIGNAL" erhalten haben. (FIN DE PROGRAMME beim BM 96) Damit ist die Bereitschaft für den nächsten "ADD ONE Zyklus" gegeben.

3.) Jede dieser einzelnen Bedingungen kann durch Schalterstellung simuliert werden.

4.) Es kann sein, daß ein Abruf der Konversionsergebnisse nach 2.) nicht zustande kommt, und zwar aus einem der folgenden Gründe:

a) Aufgrund einer Störung in einer der beteiligten Einheiten wird eine der unter 2.) geforderten Bedingungen nicht erfüllt.

b) Auf den Eingang eines ADC's gelangt ein Signal, welches den Konversionsvorgang nicht auslöst. Dies ist dann der Fall, wenn das betreffende Signal nicht in die an diesem ADC vorgewählte Fensterbreite fällt.

In jedem der unter a) und b) aufgeführten Fälle wird trotzdem von der Steuereinheit ein Abrufsignal erzeugt. Dieses Signal tritt dann ca. 300 µsec nach dem "KOINZIDENZ SIGNAL" auf. Die Zeitspanne von 300 µsec entspricht der längsten Konversionszeit, die überhaupt in einem der ADC's vorkommen kann. (Intertechnique CA 25) Das Auftreten eines solchen "unvollkommenen Abrufs" wird angezeigt. Tritt eine solche Störung dauernd auf, wird ebenfalls angezeigt, welche der beteiligten Einheiten gestört ist.

5.) In jedem Falle wird außer dem Abrufsignal für die ADC's ein "REPLY-SIGNAL" für den Rechner und ein Signal "ADD ONE" für das Memory BM 96 generiert, ferner ein "MEMORY BUSY SIGNAL", das zur Steuerung der TMC-ADC's notwendig ist.

- 6.) Auf den Rechner können wahlweise 24 bit in einem oder 48 bit in zwei CDC-Worten übertragen werden. Im 48 bit-Betrieb werden die Abrufsignale für die ADC's und das Signal "REPLY" für den Rechner zweimal erzeugt, das "ADD ONE-SIGNAL" für das Memory aber nur einmal.
- 7.) Der DATALOG generiert ein Signal, das die Totzeit des gesamten Systems anzeigt. Die Totzeit beginnt 1,4 µsec nachdem die Vorderflanke des "KOINZIDENZSIGNALS" auf den entsprechenden Eingang des DATALOG gelangt ist und dauert bis zum erfolgten Übertrag auf die Speichereinheiten.
- 8.) Der Übergang vom "START" in den "STOP"-Zustand und umgekehrt ist beim DATALOG fernsteuerbar.

FUNKTIONSWEISE DES DATALOG (siehe Abb. 3)

Anfangsbedingungen

Der definierte Anfangszustand des DATALOG kann sowohl durch Betätigen der Taste T 2 als auch durch ein Pegelsignal von -3 Volt nach 0 Volt am Eingang STOP (Eingang K von R 121 auf B 15) des DATALOG erreicht werden. Das Start-Stop-Flipflop R 200 auf A 14 befindet sich dann in Stop-Position. Dieses wird durch Aufleuchten der Lampe L 1 angezeigt. In Stop-Position übernimmt dieses Flipflop die logische Konditionierung folgender Einheiten:

- a) Speicherflipflops R 202 auf B 7 (für die KONVERSIONS-ENDSIGNALE der ADC's X und Y: die Signale SORTIE AUTORISATION vom Intertechnique CA 25 nach vorheriger Pegelkonversion durch W 511 auf B 16 bzw. auf A 30).
- b) Speicherflipflops R 202 auf B 8 (für die KONVERSIONS-ENDSIGNALE der ADC's V und W: CONVERSION COMPLETE vom TMC 242 A nach vorheriger Pegelkonversion durch W 511 auf B 3).
- c) Speicherflipflop R 202 auf B 6 (für das "END OF CYCLE SIGNAL" vom Memory: FIN DE PROGRAMME vom Intertechnique BM 96 nach vorheriger Pegelkonversion durch W 510 auf B 1).
- d) Pegel an den Gates R 111 auf B 12 und R 001 auf B 9, die mit den Ausgängen der Speicherflipflops auf B 6 bis B 8 und dem Ausgang E des Start-Stop-Flipflop's verbunden sind. (Diese Gates kontrollieren die Bedingungen für den Abruf der Konversionsergebnisse aus den ADC's).
- e) Totzeitflipflop R 202 auf A 2 (Dieses Flipflop generiert das TOTZEIT-SIGNAL).

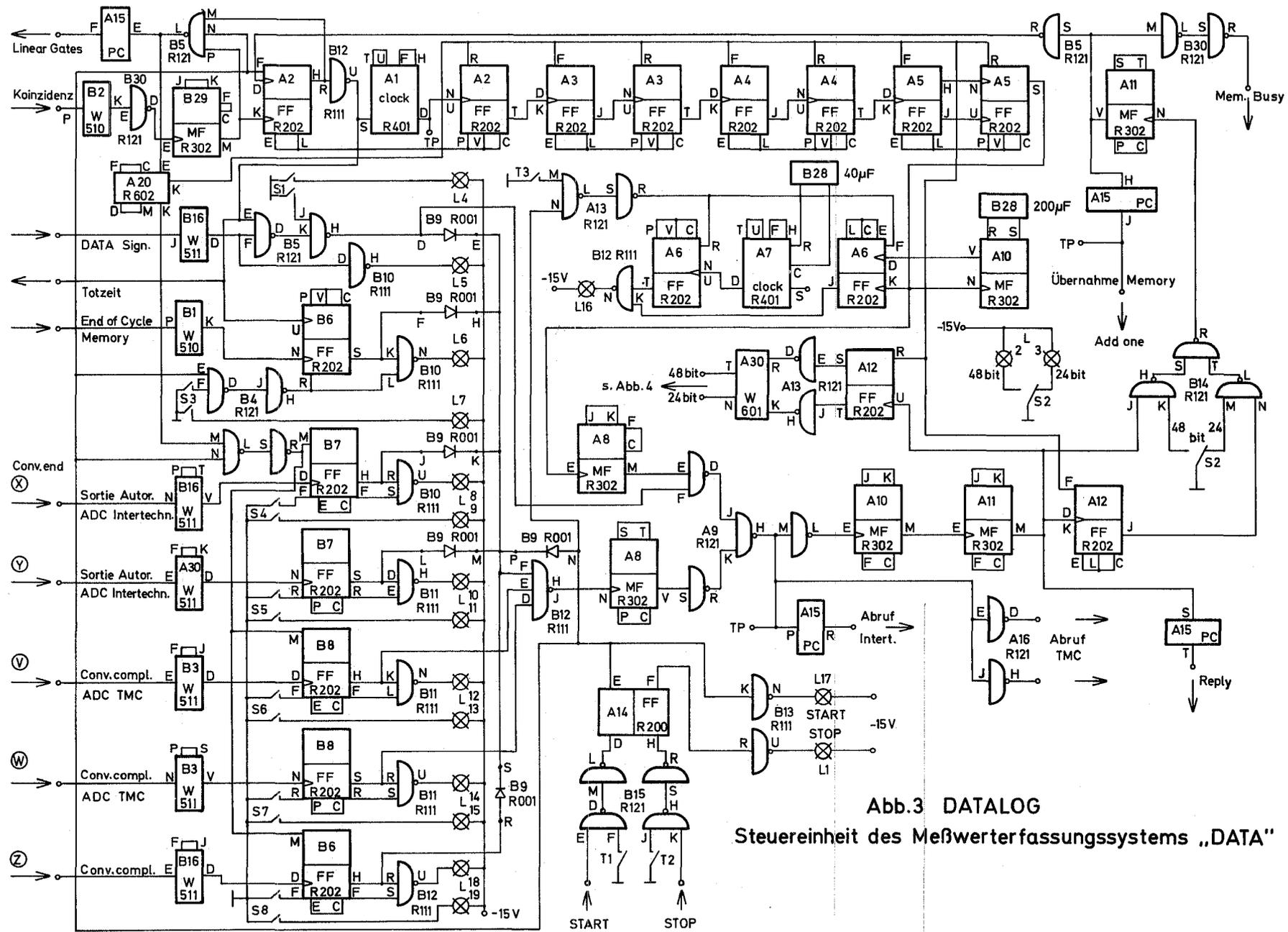


Abb.3 DATALOG
 Steuereinheit des Meßwertfassungssystems „DATA“

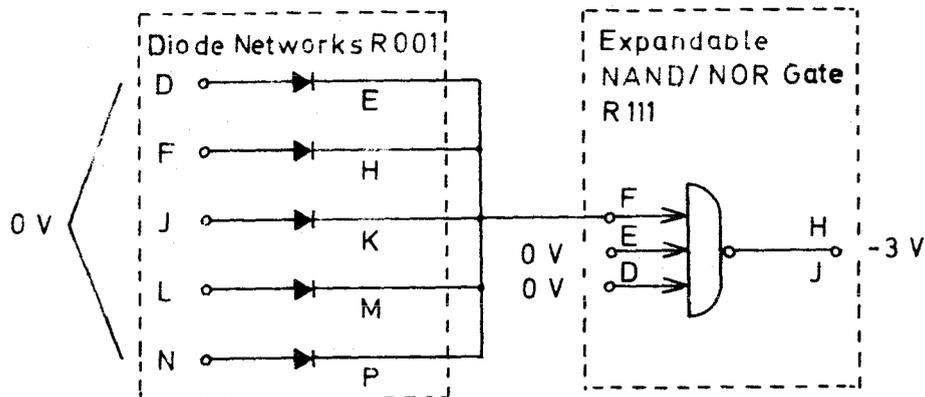
- f) Clock R 401 auf A 1, die als Abrufgenerator für den Fall des "unvollständigen Abrufs" dient. Sie wird vom Totzeitflipflop "disabled".
- g) DC-Inhibit-Gate R 121 auf B 5 (Dieses Gate bildet zusammen mit dem Monoflop R 302 auf B 29 den Gategenerator, der die vor den ADC-Eingängen liegenden linearen Gates (ORTEC 426) öffnet, die im DC-Inhibit-Mode betrieben werden).
- h) Warnflipflops R 202 auf A 6.

Die logische Konditionierung der unter a) bis h) aufgeführten Funktionselemente geschieht auf folgende Weise:

a) und b) Dadurch, daß der Ausgang E des Start-Stop-Flipflops in Position Stop an Erde liegt, werden die Speicherflipflops R 202 auf B 7 bzw. B 8 nach doppelter Inversion durch die Gates R 121 auf B 4 so geschaltet, daß ihre Ausgänge H bzw. S ebenfalls an Erde liegen. Da 0 Volt an den Eingängen der nachgeschalteten Gates R 111 auf B 10 bzw. B 11 dominieren, sind die Lampen L 8, L 10, L 12, L 14 im Anfangszustand aus.

c) Das Speicherflipflop für das Memorysignal "END OF CYCLE" wird ebenfalls vom Start-Stop-Flipflop gesetzt und zwar so, daß nach doppelter Inversion durch die Gates R 121 auf B 4 am Ausgang S -3 Volt anliegen. Da die 0 Volt am Eingang L des Gates R 111 auf B 10 dominieren, liegt der Ausgang dieser Einheit auf -3 Volt. Die Anzeigenlampe L 6 ist aus.

d) Am Abrufgate R 111 auf B 9 liegen im Anfangszustand folgende Bedingungen vor:



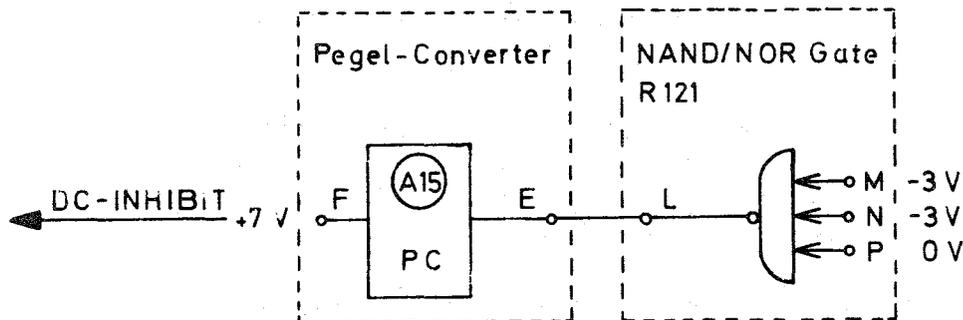
e) und f) Totzeitflipflop R 202 auf A 2: Der Ausgang H liegt auf -3 Volt. Die Clock R 401 auf A 1 wird über das Gate R 111 auf B 12 "disabled".

- g) DC-Inhibit-Gate R 121 auf B 5: Die 0 Volt am Eingang N des Gates R 121 auf B 5 dominieren. Damit liegt der Ausgang L auf -3 Volt. Die linearen Gates, die durch den Ausgang F des Pegelkonverters auf A 15 gesperrt werden, bleiben geschlossen bis der Ausgang L des Gates R 121 auf B 5 einen Pegelsprung von -3 Volt nach 0 Volt macht.
- h) Außerdem wird nach doppelter Inversion durch die Gates R 121 auf A 13 das Warnflipflop R 202 auf A 6 so gesetzt, daß die Anzeigelampe L 16 aus ist.

Startfunktion

Durch Betätigung des Schalters T 1 oder durch ein Flankensignal von -3 Volt nach 0 Volt auf den Eingang START (Eingang E der R 121 auf B 15) wird das Start-Stop-Flipflop in die Startposition umgesetzt. Der Pegelsprung von 0 Volt nach -3 Volt am Ausgang E des Flipflops R 200 auf A 14 ändert nichts an der Position aller in Stopzustand gesetzten Speicherflipflops. Die Spannung von -3 Volt liegt aber nun am Eingang L des Gates R 111 auf B 10 an. L 6 geht an, da am Eingang K des Gates ebenfalls -3 Volt anliegen. Damit wird am Eingang F der Einheit R 001 auf B 9 das Memorysignal "END OF CYCLE" simuliert. Diese Funktion ist notwendig, da das letzte vorhergegangene Memorysignal im allgemeinen bereits vor Einschalten des DATALOG abgegeben wird.

Die Situation an den Ein- und Ausgängen des DC-Inhibit-Gates R 121 auf B 5 ist, solange kein "KOINZIDENZSIGNAL" vorhanden ist, folgende:

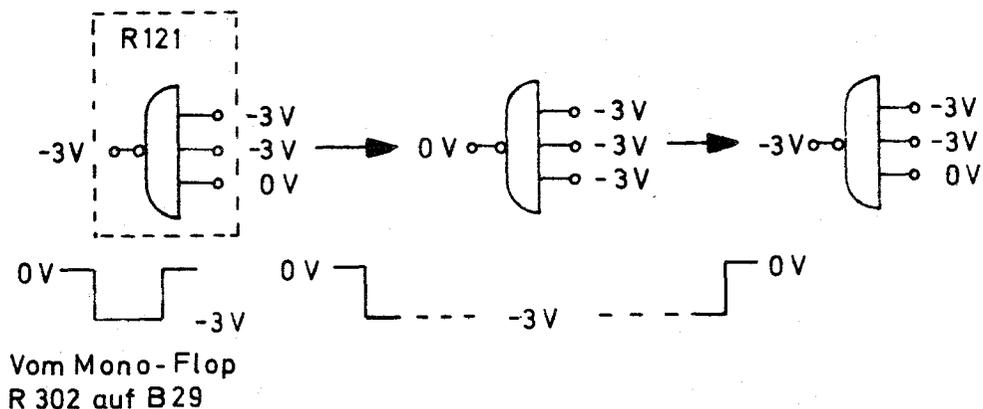


Funktion nach Eintreffen des "KOINZIDENZSIGNALS"

Der eigentliche Programmzyklus für die Steuereinheit wird durch das Eintreffen eines "KOINZIDENZSIGNALS" auf den Eingang P von W 510 auf B 2 eingeleitet.

- a) Durch die Vorderflanke dieses Signals werden das DC-Inhibit-Gate R 121 auf B 5 und damit die angeschlossenen linearen Gates geöffnet. Die Dauer der Öffnungszeit kann auf einem internen Potentiometer des Monoflops R 302 auf B 29 eingestellt werden. (Sie sollte 1,4 µsec betragen).

Durch die Rückflanke des Monoflopsignals werden die Gates geschlossen. Die Totzeit, während der der Totzeitausgang U von R 111 auf B 12 auf -3 Volt liegt, beginnt. Außerdem wird durch die Rückflanke des Monoflopsignals die Clock R 401 auf A 1 "enabled".



- b) Der Pegelsprung von -3 Volt nach 0 Volt am Ausgang des DC-Inhibit-Gates R 121 auf B 5 wird über die Einheit R 602 auf A 29 auf die Speicherflipflops für die Konversionsendsignale übertragen, womit die Flipflops zu Beginn eines jeden Zyklus zurückgesetzt werden. (Die erste Rücksetzung über das Start-Stop-Flipflop ist notwendig, um im Stopzustand die entsprechenden Anzeigelampen zu löschen).
- c) Ebenfalls über die Einheit R 602 wird die Zählerkette hinter Clock R 401 auf A 1 zurückgesetzt,
- d) desgleichen die beiden Flipflops R 202 auf A 12.

Damit leitet ein "KOINZIDENZSIGNAL" außerhalb der Totzeit folgende Funktionen ein:

Vorderflanke:

- a) Öffnen des DC-Inhibit-Gates und der angeschlossenen linearen Gates.
- b) Rücksetzung der Speicherflipflops für die "KONVERSIONSENDSSIGNALE".
- c) Rücksetzen der Zählerkette hinter dem Abrufgenerator.
- d) Rücksetzen der Flipflops R 202 auf A 12.

Rückflanke des Signals vom Monoflop R 302 auf B 29:

- a) Schließen des DC-Inhibit-Gates.
- b) Start des Abrufgenerators R 401 auf A 1.
- c) Erzeugung des TOTZEITSSIGNALS.

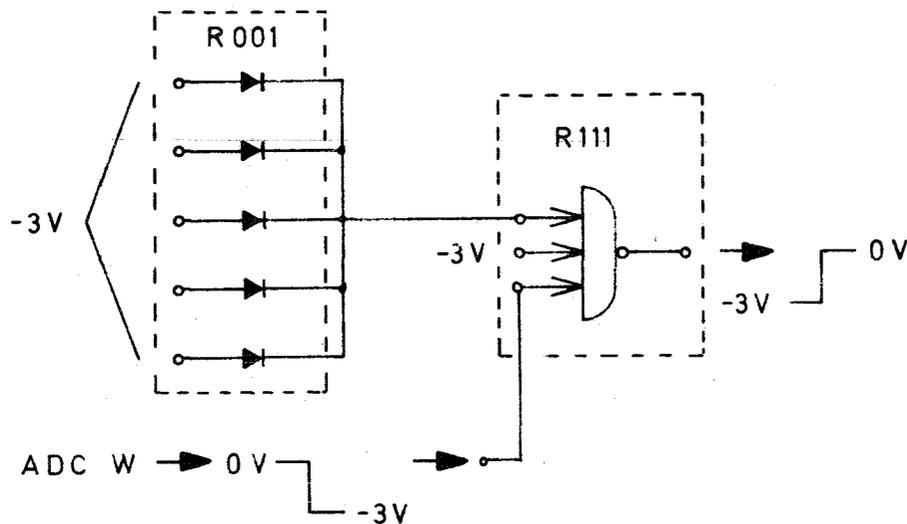
Lediglich das Speicherflipflop R 202 auf B 6 für das "END OF CYCLE-SIGNAL" des Memory wird nicht vom "KOINZIDENZ-SIGNAL" konditioniert, weil beide Signale zeitlich nicht korreliert sind.

Erzeugung des regulären Abrufs

Im normalen Betriebszustand wird ein Abruf generiert, wenn

- a) alle durch Tastendruck ausgewählten ADC's ihre Konversion abgeschlossen haben,
- b) das Memory das Ende des letzten "ADD ONE-Zyklus" durch ein Signal "END OF CYCLE" am Eingang P von W 510 auf B 1 gemeldet hat und
- c) das "DATA SIGNAL" des Computers anliegt (am Eingang E von W 511 auf B 16).

Dann besteht am Abrufgate R 111 auf B 12 und R 001 auf B 9 folgende Situation:



Erst wenn die letzte der vorgewählten logischen Bedingungen für den Abruf erfüllt ist, macht der Gateausgang einen Pegelsprung von -3 Volt nach 0 Volt, der die Abruf- und Steuersignale für die verschiedenen externen Einheiten generiert. Durch Betätigung der Schalter S 1 und S 4 bis S 7 können die logischen Bedingungen für die Erzeugung eines Abrufsignals, wie sie im Normalfall von den zuvor beschriebenen Signalen erzeugt werden, nach Wahl simuliert werden. Werden irgendwelche dieser Signale nicht verlangt, wird das durch Aufleuchten der entsprechenden Anzeigeleuchten L4, L 7, L 9, L 11, L 13, L 15 (grün) angezeigt. Die Anzeigeleuchten L 6, L 8, L 10 L 12, L 14 (gelb) sind dann aus, während sie sonst, nachdem sie vom "KOINZIDENZSIGNALE" gelöscht wurden, wieder aufleuchten, wenn ein Signal auf den Eingang des zugehörigen Speicherflipflops gelangt. Eine Ausnahme macht die Anzeige für das "DATA SIGNAL". Hier zeigt L 5 das Vorhandensein des "DATA SIGNALS" an, unabhängig davon, ob S 1 betätigt wurde oder nicht.

Bleibt eine der Anzeigeleuchten L 5, L 6, L 8 L 10, L 12 L 14 dauernd aus, wird damit eine Störung der externen Einheit angezeigt, die das zugehörige Speicherflipflop setzt.

Der Pegelsprung am Ausgang des Abrufgates R 121 auf B 12 triggert das Monoflop R 302 auf A 8. Dieses erzeugt das eigentliche "ABRUF SIGNAL" für die ADC's. Nach geeigneter Verzögerung durch ein weiteres Monoflop R 302 auf A 10 wird schließlich vom Monoflop R 302 auf A 11 das "REPLY SIGNAL" für den Rechner erzeugt.

Darüber hinaus werden von dem zweiten Monoflop R 302 auf A 11 die Steuerungssignale "ADD ONE" für das Memory BM 96 und das "M-BSY Signal" für die TMC-ADC's generiert, ebenso die Pegel, die die am Ausgang des DATALOG zur CDC 3100 liegenden Gates auf A 17 - B 20 (s. Abb. 4) für die Übertragung von jeweils 24 Datenbit steuern. Hier müssen zwei Funktionsweisen unterschieden werden, je nachdem 24 oder 48 Datenbit zum Rechner übertragen werden sollen.

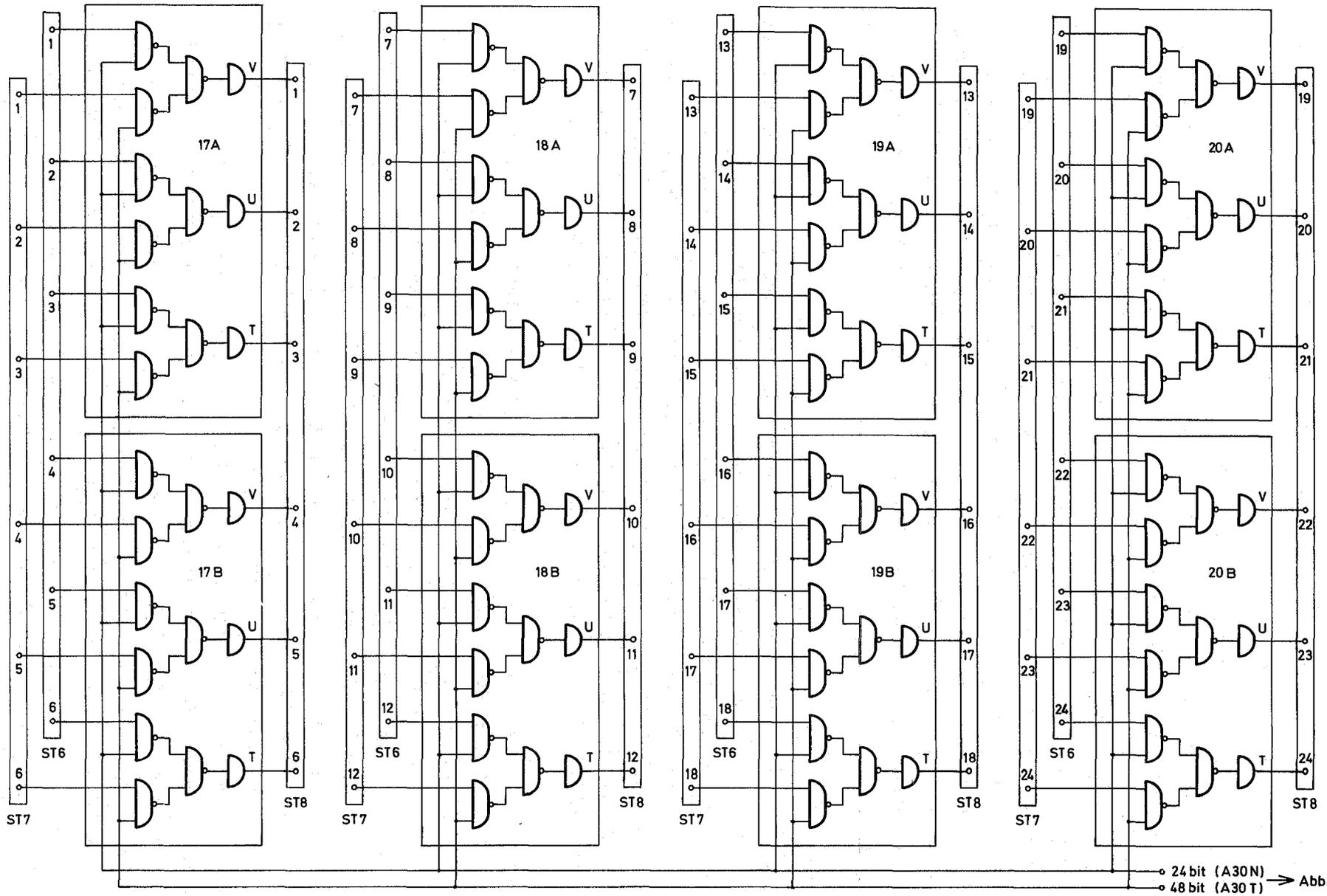
24-bit-Betrieb

Der Schalter S 2 steht in Position 24 bit. Dadurch wird der Eingang M von R 121 auf B 14 an Erde gelegt. Damit hat die Polarität des Ausgangs J des Flipflops R 202 auf A 12 keinen Einfluß mehr auf den Ausgang L von R 121 auf B 14. Die nach zweifacher Inversion auf den Eingang N des Monoflops R 302 auf A 11 gelangende Rückflanke des "REPLY-SIGNALS" triggert das nachfolgende Monoflop R 302 auf A 11 und erzeugt damit sowohl das "ADD ONE-SIGNAL" für das Memory als auch das "M-BSY-SIGNAL" für die TMC ADC's.

Der Ausgang N des Pegelkonverters W 601 auf A 30 liegt bereits seit dem Rücksetzen des vorgeschalteten Flipflops R 202 auf A 12 auf + 7 Volt. Dieser Pegel öffnet die aus integrierten Schaltkreisen aufgebauten Gates auf A 17 - B 20 für die ersten 24 Datenbit (siehe Abb. 4).

Erst die Rückflanke des "REPLY-SIGNALS" öffnet über das Flipflop R 202 auf A 12 die entsprechenden Gates für die zweiten 24 bit. Außerdem wird über ein Gate R 121 auf B 5 durch die Vorderflanke des Signals "ADD ONE" das Totzeitflipflop R 202 auf A 2 zurückgesetzt, so daß ein neues "KOINZIDENZ-SIGNAL" das DC-Inhibit-Gate öffnen kann.

Das "TOTZEITSIGNAL" verschwindet und über den Eingang E wird das Gate R 121 auf B 5 für das "DATA SIGNAL" geschlossen, das frühestens ca. 200 nsec nach Ende des "REPLY-SIGNALS" wieder anliegt. Andernfalls könnte die Rückkehr dieses Signals einen neuen Abruf über das Abrufgate generieren. Durch die Rücksetzung des Totzeitflipflops wird außerdem die Clock R 401 auf A 1 gestoppt und das Speicherflipflop R 202 auf B 6 für ein neues "END OF CYCLE-SIGNAL" des Memory aufnahmebereit gemacht.



ST6 bit 1 - 24 vom DATAMIX
 ST7 bit 25 - 48 vom DATAMIX
 ST8 zur Rechenmaschine

○ 24 bit (A30N)
 □ 48 bit (A30T) → Abb.3

Abb.4 Steuerung des 24 / 48 bit Betriebs

Gelangt nun wieder ein Signal auf den Eingang "KOINZIDENZ", beginnt der DATALOG einen neuen Funktionszyklus. Das Zeitdiagramm für den 24 bit-Betrieb zeigt Abb. 5.

48 bit-Betrieb

Im 48 bit-Betrieb legt der Schalter S 2 den Eingang K der Einheit R 121 auf B 14 an Erde. Deshalb wird die Einheit nur durch das Flipflop R 202 auf A 12 konditioniert, und zwar auf folgende Weise:

Bevor das erste "REPLY-SIGNAL" erzeugt wird, liegt der Ausgang J der Einheit an Erde. Durch die Rückflanke des "REPLY-SIGNALS" wird das Flipflop umgesetzt. Damit gelangt der Ausgang R des Gates R 121 auf B 14 von 0 Volt auf -3 Volt. Das nachgeschaltete Monoflop wird nicht getriggert und das Gate für das Datasignal nicht geschlossen. Die Umschaltung auf die zweiten 24 bit über R 202 auf A 12 wird wie im 24 bit-Betrieb durch die Rückflanke des "REPLY - SIGNALS" bewirkt. Frühestens 200 nsec nach Ende dieses Signals gelangt das "DATASIGNAL" erneut auf den Eingang E von W 511 auf B 16 und generiert damit einen neuen Abruf. Die Rückflanke des zweiten "REPLY-SIGNALS" setzt das Flipflop R 202 auf A 12 abermals um. Der Ausgang R des Gates R 121 auf B 14 macht einen Pegelsprung von -3 Volt nach 0 Volt und triggert das Monoflop R 302 auf A 11. So gelangen, obwohl die Konversionsergebnisse zweimal abgerufen werden, die ausgewählten 12 bit nur einmal in das Memory (BM 96) und die Übertragung zur CDC 3100 erfolgt in zwei 24 bit-Schritten. Ein dritter Abruf kann im 48 bit-Betrieb ebenso wenig erfolgen wie ein zweiter Abruf im 24 bit-Betrieb. Das Zeitdiagramm für den 48 bit-Betrieb zeigt Abb. 6

"Unvollständiger Abruf" über die Zählerkette

Kommt innerhalb der längsten möglichen Konversionszeit (300 μ sec) kein regulärer Abruf über das Abrufgate, R 111 auf B 12, das das Monoflop auf A 8 triggert, zustande, weil einer der ADC's kein KONVERSIONSEND SIGNAL gibt oder die Speichereinheiten nicht ihre Bereitschaft zur Datenübernahme gemeldet haben, erfolgt der Abruf über die Zählerkette, die aus den Flipflops R 202 auf A 1, A 2, A 3, A 4, A 5 besteht. Sie triggert das zweite Monoflop R 302 auf A 8. Der weitere logische Ablauf ist bei 24 bit-Betrieb der gleiche wie im Normalfall. Im 48 bit-Betrieb erfolgt der zweite Abruf nach weiteren 300 μ sec, ebenfalls über die Zählerkette, da die Wiederkehr des "DATASIGNALS" in diesem Falle wie beim ersten Übertrag kein "ABRUF SIGNAL" generieren kann.

Erst nach dem zweiten Abruf wird die Clock R 401 auf A 1 gestoppt. Das Auftreten von Abrufen über die Zählerkette wird durch Aufklackern der

Anzeigeleuchte L 6 angezeigt, das beginnt sobald das Flipflop R 202 auf A 6 umgesetzt wird, denn nur dann können Impulse vom Ausgang dieses Flipflops, das von der dauernd laufenden Clock R 402 auf A 7 getrieben wird, über das Gate R 111 auf B 12 gelangen. Das Rücksetzen des Warnflipflops besorgt das Monoflop R 302 auf A 10, das gleichzeitig mit dem Warnflipflop getriggert wird. Die Zeitdiagramme für den 24 bit-Betrieb bzw. 48 bit-Betrieb mit "unvollständigem Abruf" zeigen die Abb. 7 und 8.

Bedingungen bei Anhalten oder Ausfall des Rechners

Ein Abruf wird nur dann nicht erzeugt, wenn das "DATASIGNAL" als Abrufbedingung verlangt wird, aber infolge einer Störung des Rechners nicht wiederkehrt. Ein regulärer Abruf kann dann nach dem oben gesagten nicht zustande kommen.

Ein von der Zählerkette erzeugter "unvollständiger Abruf" kann nicht durch das Gate R 121 auf A 9 gelangen, da dieses Gate über den Eingang F bei Ausfall des "DATASIGNALS" gesperrt wird.

Dadurch wird sichergestellt, daß keine Konversionsergebnisse in das Memory BM 96 gelangen, wenn sie nicht simultan von der CDC weiterverarbeitet werden. Auf diese Weise kann das gesamte System durch die CDC 3100 vom Programm her gestartet und gestoppt werden.

Die Autoren danken den Herren Dipl.Ing. W. Müller und Dipl.Ing. W. Karbstein vom Zyklotron-Laboratorium für die Bereitstellung des ZYNDAP-Programmsystems für die CDC 3100 und für zahlreiche Anregungen und Diskussionen zu allen mit dem Einsatz des Computers zusammenhängenden Fragen.

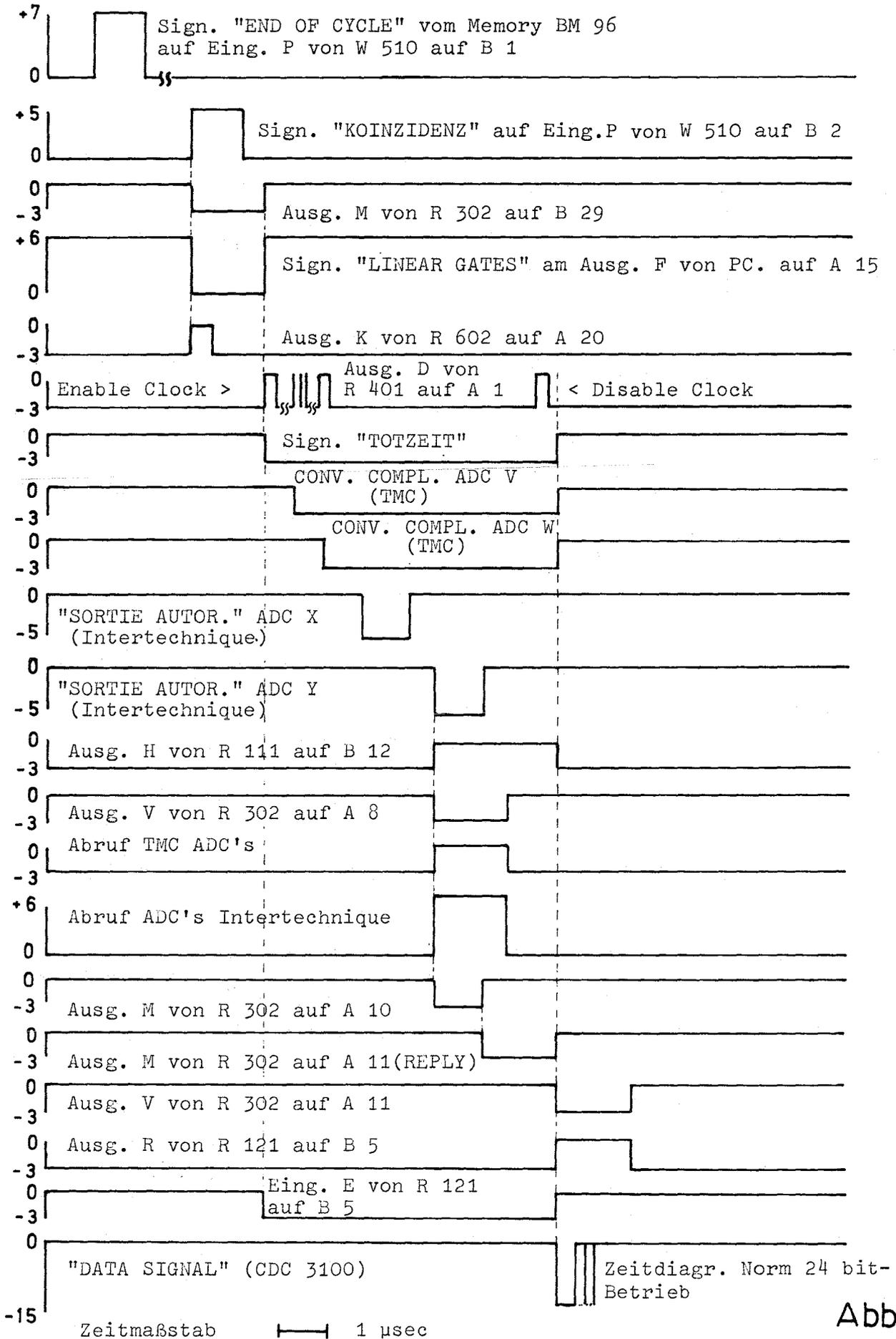


Abb.5

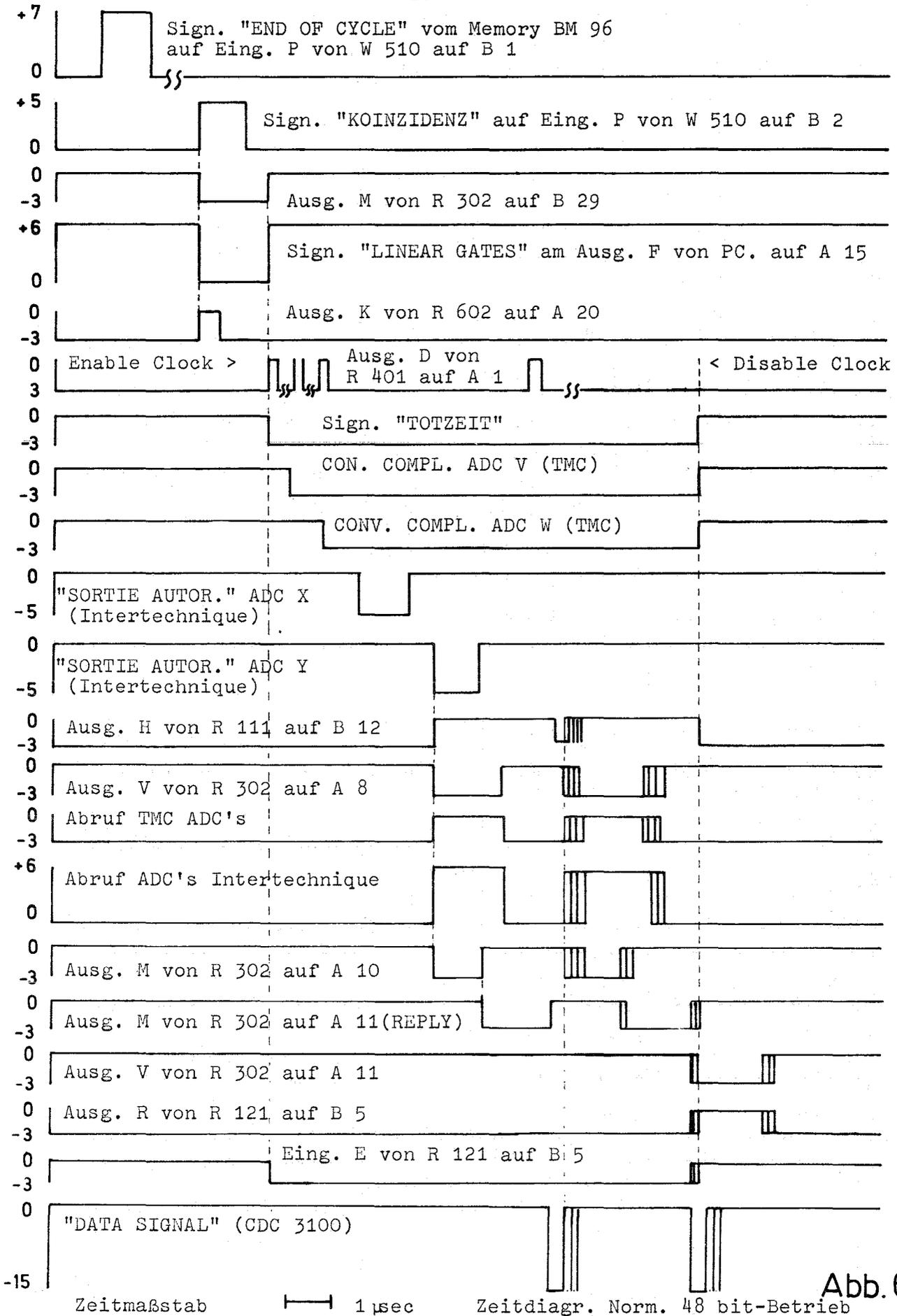
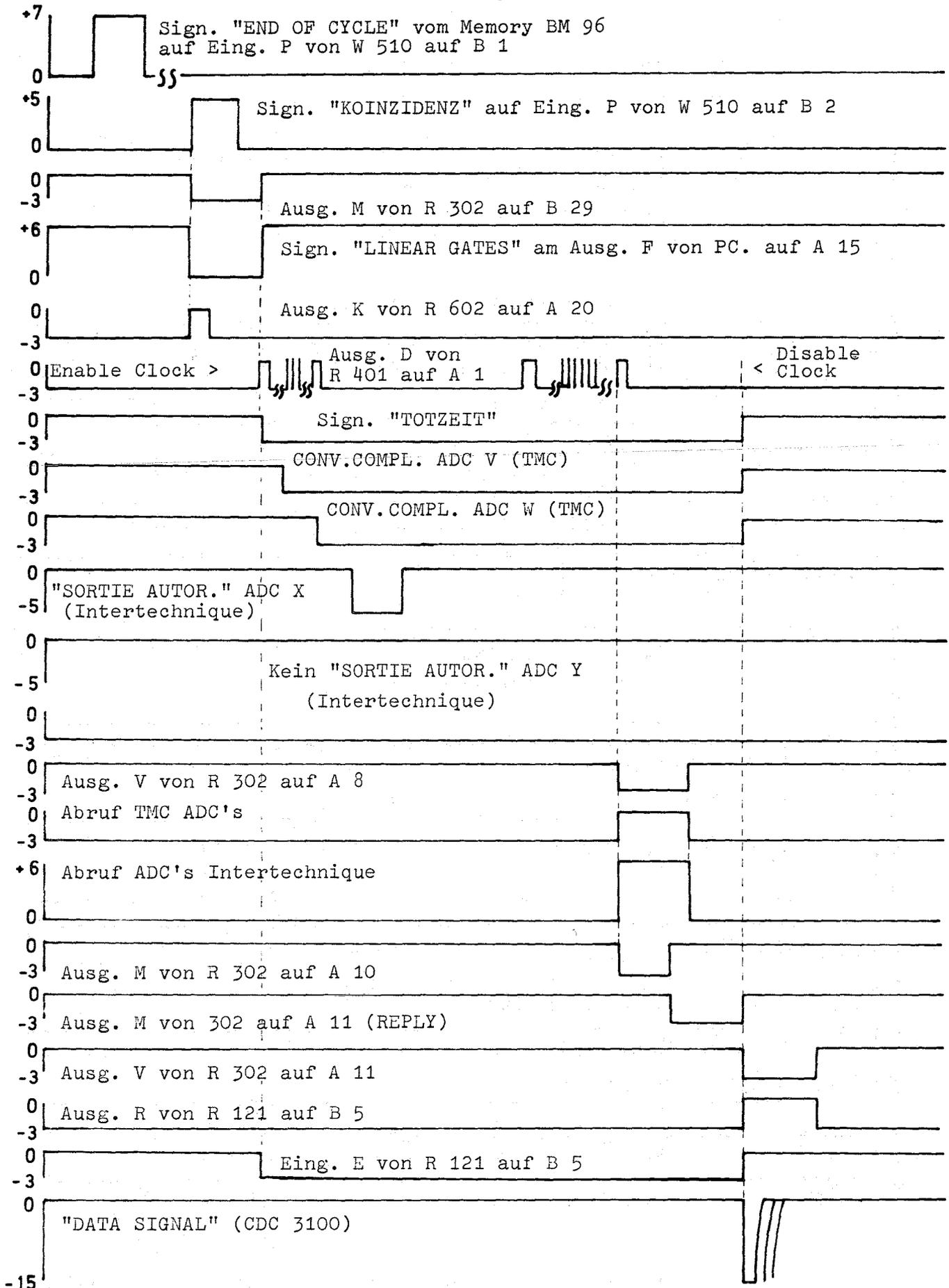


Abb. 6

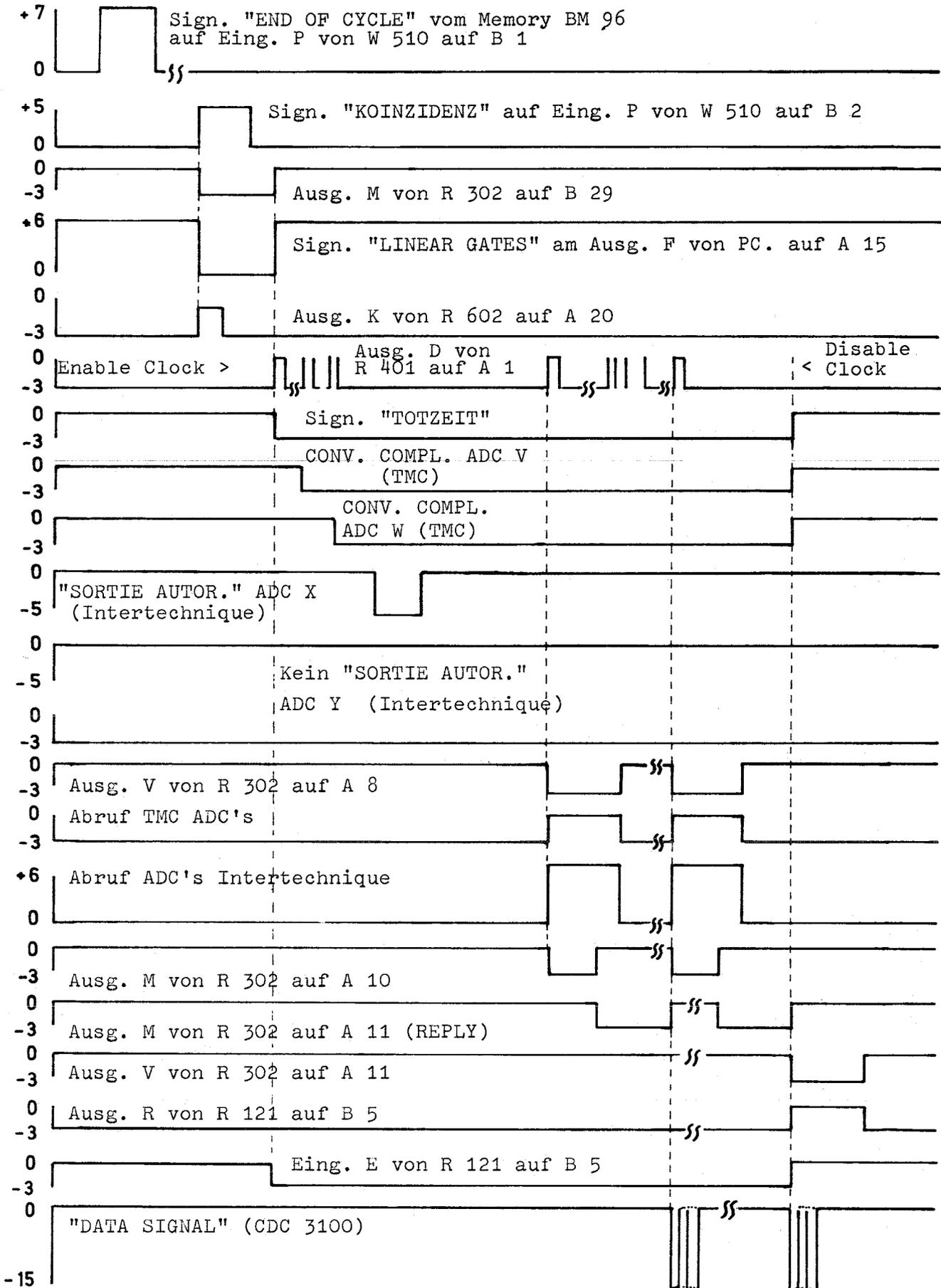


Zeitmaßstab

1 µsec

Zeitdiagr. 24 bit-Betrieb
Unvollständiger Abruf

Abb.7



Zeitmaßstab 1 μ sec

Zeitdiagr. 48 bit-Betrieb
Unvollständiger Abruf

Abb. 8
897

Anhang A

Verwendete Modules der R- und W-Serie

Logik

Logische 1 = -3 Volt

Logische 0 = 0 Volt

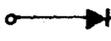
Versorgungsspannungen

+ 10 Volt (Pin A)

- 15 Volt (Pin B)

Erde (Pin C)

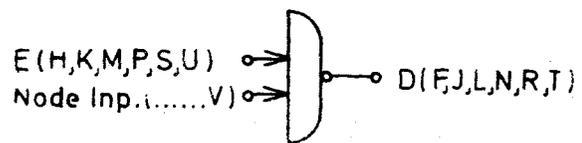
R 001 DIODE NETWORK

Verwendetes Schaltsymbol: D(F,J,L,N,R,T)  E(H,K,M,P,S,U)

Funktion: Dient zur logischen Erweiterung von Gates der R-Serie, die über einen entsprechenden Erweiterungseingang (Node-Input) verfügen (z.B. R 107, R 111).
7 auf einer Karte.

R 107 INVERTER

Verwendetes Schaltsymbol:



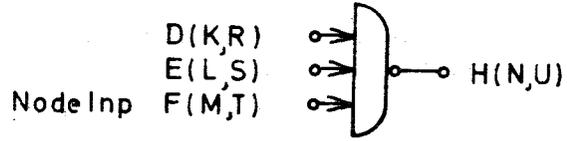
Funktion: Pegel-Inverter

Eingang	Ausgang
0 Volt	-3 Volt
-3 Volt	0 Volt

7 auf einer Karte, dazu einer mit Node-INPUT.

R 111 EXPANDABLE NAND/NOR GATE

Verwendetes Schaltsymbol:



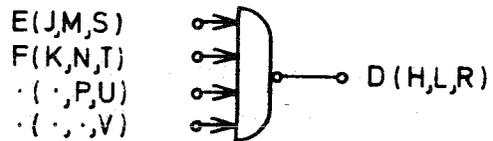
Funktion NAND-Gate für positive, NOR-Gate für negative Logik.

D	E	H
0	0	1
1	0	1
0	1	1
1	1	0

3 auf einer Karte.

R 121 NAND/NOR GATE

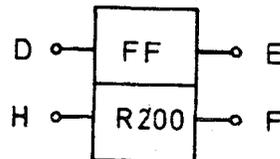
Verwendetes Schaltsymbol:



Funktion: NAND-Gate für positive, NOR-Gate für negative Logik. 4 auf einer Karte, davon 2 mit 2 Eingängen, 1 mit 3 Eingängen und 1 mit 4 Eingängen.

R 200 FLIP-FLOP

Verwendetes Schaltsymbol:



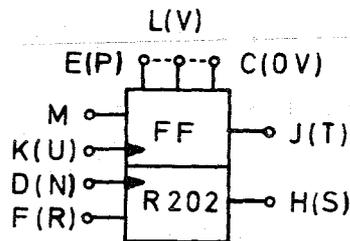
Funktion: Flip-flop mit Direct Set und Clear-Eingang
(H und D)

Eingang	Ausg. E	Ausg. F
-3V  auf D	1	0
-3V  auf H	0	1

1 auf einer Karte.

R 202 DUAL FLIP-FLOP

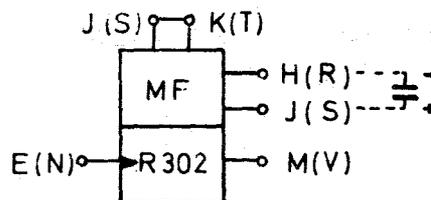
Verwendetes Schaltsymbol:



Funktion: Flip-flop mit gatebaren und direkten Eingängen. Auf einer Platte befinden sich 2 Flip-flop's. Jedes hat einen direkten Clear-Eingang F(R). Beide Einheiten haben einen gemeinsamen Set-Eingang (M) und jeweils zwei Eingänge D(N) und K(U), hinter denen Gates folgen, die den eigentlichen Flip-flop's vorgeschaltet sind. Diese Eingänge können nur dann aktiviert werden, wenn die Level-Eingänge der entsprechenden Gates E(P) und L(V) an Erde liegen. Werden die Eingänge D und K (N und U) galvanisch verbunden, komplementiert das Flip-flop. Das Flip-flop wird an allen Eingängen durch Flanken von -3 Volt nach 0 Volt gesetzt.

R 302 DELAY (ONE SHOT)

Verwendetes Schaltsymbol:



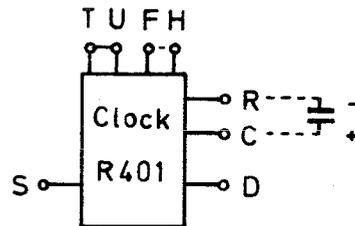
Funktion: Monoflop

Die Einheit wird durch eine Flanke von -3 Volt nach 0 Volt auf den Eingang E(N) getriggert. Hinter diesem Eingang liegt ein Gate, das dem eigentlichen Monoflop vorgeschaltet ist. Dieser Eingang kann nur dann aktiviert werden, wenn der Level-Eingang des Gate's an Erde liegt. Außerdem müssen die Schaltungspunkte J(S) und K(T) miteinander verbunden sein, wenn kein zusätzliches externes Potentiometer angeschlossen wird. Wird das Monoflop getriggert, geht der Ausgang M(V) für eine bestimmte Zeit von 0 Volt auf -3 Volt. Diese Zeit ist am internen Potentiometer zwischen 400 und 4000 nsec einstellbar und kann durch Anschluß einer externen Kapazität zwischen H(R) und J(S) auf maximal 4000 msec verlängert werden.

2 auf einer Karte.

R 401 VARIABLE CLOCK

Verwendetes Schaltsymbol:



Funktion: Impulsgenerator

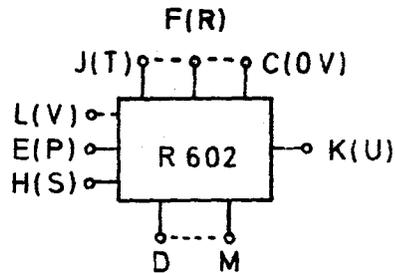
Die Einheit R 401 gibt Standardimpulse von 100 nsec Länge ab, deren Anstiegsflanke von -3 Volt auf 0 Volt geht. Die Frequenz ist durch ein Potentiometer und durch externe Verbindungen von bestimmten Schaltungspunkten (P,N,M,L und R) zwischen 30 Hz und 2 MHz regelbar. Für niedrigere Frequenzen muß eine zusätzliche externe Kapazität zwischen den Schaltungspunkten R und C der Einheit angebracht werden. Die Clock R 401 kann über den Eingang S getatet werden, d.h., sie gibt nur dann an Ausgang D Impulse ab, wenn S an -3 Volt liegt.

Zusätzliche externe Verbindung der Schaltungspunkte F und H verlängert die Standardimpulse auf 400 nsec.

Eine Einheit auf einer Karte.

R 602 PULSE AMPLIFIER

Verwendetes Schaltsymbol:

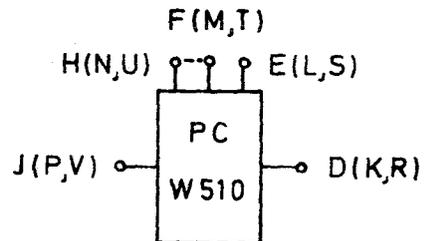


Funktion: Pulsformer

Gelangt auf den direkten Eingang L(V) oder einen der Eingänge E(P) oder H(S), die nur dann aktiviert werden können, wenn die Schaltungspunkte F(R) bzw. J(T) an Erde liegen, eine Flanke, die von -3 Volt nach 0 Volt geht, entsteht am Ausgang K(U) ein Standardimpuls gleicher Polarität und von 100 nsec Länge. Nur eine der beiden auf einer Karte befindlichen Einheiten gestattet eine zusätzliche externe Verbindung der Schaltungspunkte D und M, was zu einer Verlängerung des Signals auf 400 nsec führt.

W 510 POSITIVE INPUT CONVERTER

Verwendetes Schaltsymbol:

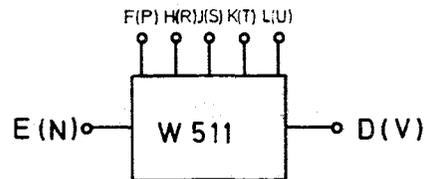


Funktion: Pegelkonverter für positive Signale

Schwelle	Verbindungen	Ausg. = -3Volt	Ausg. = 0 Volt
+ 2 Volt	keine	Eing. \geq +3.0 Volt	Eing. \leq + 1.0Volt
+ 1 Volt	H-F (N-M, U-T)	Eing. \geq +2.0 Volt	Eing. \leq + 0.0Volt
0 Volt	H-E (N-L, U-S)	Eing. \geq +1.0 Volt	Eing. \leq - 1.0Volt

W 511 NEGATIVE INPUT CONVERTER

Verwendetes Schaltsymbol:



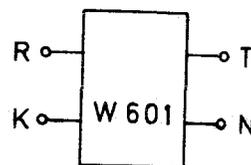
Funktion: Pegelkonverter für negative Signale

Schwelle	Verbindungen	Ausg. = -3 Volt	Ausg. = 0 Volt
0 Volt	F-H (P-R)	Eing. \geq +1.0 Volt	Eing. \leq -1.0 Volt
-1 Volt	F-J (P-S)	Eing. \geq 0.0 Volt	Eing. \leq -2.0 Volt
-2 Volt	F-K (P-T)	Eing. \geq -1.0 Volt	Eing. \leq -3.0 Volt
-3 Volt	F-L (P-U)	Eing. \geq -2.0 Volt	Eing. \leq -4.0 Volt

zwei auf einerKarte

W 601 POSITIVE OUTPUT CONVERTER

Verwendetes Schaltsymbol:



Funktion: Erzeugt aus DEC-Standardpegeln positive Ausgangssignale einstellbarer Höhe (max. 20 Volt).