

**KERNFORSCHUNGSZENTRUM
KARLSRUHE**

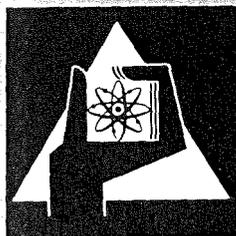
Juli 1973

KFK 1719

Labor für Elektronik und Meßtechnik

**CAMAC Single Crate Controller für den PDP-8/E
Typ LEM-52/32.1.**

G. Hellmann, J.G. Ottens



**GESELLSCHAFT
FÜR
KERNFORSCHUNG M.B.H.**

KARLSRUHE

Als Manuskript vervielfältigt

Für diesen Bericht behalten wir uns alle Rechte vor

GESELLSCHAFT FÜR KERNFORSCHUNG M. B. H.
KARLSRUHE

KERNFORSCHUNGSZENTRUM KARLSRUHE

KFK 1719

Labor für Elektronik und Meßtechnik

CAMAC Single Crate Controller für den PDP-8/E

Typ LEM-52/32.1.

G. Hellmann

J. G. Ottens

GESELLSCHAFT FÜR KERNFORSCHUNG M.B.H., KARLSRUHE

Zusammenfassung

Für die vielen Anwendungsfälle, da eine von einem Klein-Prozeß-rechner gesteuerte CAMAC-Anlage aus nicht mehr Modulen besteht als in einem Crate untergebracht werden können, bedeutet die Standard-Instrumentierung mit Crate Controller Typ A-1 und System Controller oft einen unverhältnismäßig hohen Aufwand. Aus diesem Grunde wurde der hier beschriebene CAMAC Single Crate Controller entwickelt, der die direkte Steuerung eines 1-Crate-CAMAC-Systems durch einen Rechner PDP-8/E ermöglicht. Es können programmgesteuerte Einzelwort- und Block-Transfers durchgeführt werden, außerdem steht ein Kanal für einzyklischen direkten Kernspeicherzugriff mit den Submoden "Add data to memory" und "Add one to memory" zur Verfügung. Programmgesteuerte und autonome Transfers sind völlig voneinander entkoppelt. Der Controller gestattet bei programmgesteuerten Operationen die Verarbeitung des vollen 24-Bit-CAMAC-Wortes. Bei autonomen Transfers beträgt die Wortkapazität 12 Bit, kann aber im Mode "Add one to memory", der den Einsatz des Rechners zur Vielkanal-Analyse ermöglicht, auf 24 Bit erweitert werden.

Insgesamt 24 Signale werden als Interrupt-Anforderung gewertet: die maximal 22 LAM-Signale von den angeschlossenen Modulen, von denen jedes beliebige auch zur Anforderung für autonomen Transfer gemacht werden kann, das Blockende-Signal bei Block-Transfers und der Echo-Interrupt bei autonomen Transfers. Um eine schnelle Verarbeitung der Alarme zu ermöglichen, ist eine Prioritäts-Reihenfolge festgelegt, so daß das Programm nach nur einem Schritt in die zugehörige Subroutine gebracht wird.

CAMAC Single Crate Controller for PDP-8/E Type LEM-52/32.1.

Abstract

For many small CAMAC systems (one crate) to be operated by mini-computers the typical configuration with Crate Controller type A-1 and System Controller is more complex and expensive than would be required. Therefore a CAMAC Single Crate Controller has been developed as a crate controller that directly interfaces the Dataway to the Omnibus of a PDP-8/E computer. The module provides single word programmed transfers and block transfers, one channel is provided for single-cycle direct memory access transfers with the submodes "Add data to memory" and "Add one to memory". Interleaved programmed and DMA transfers are permitted. In programmed operations the Controller has a full 24-bit data transfer capability. The 12-bit word length of autonomous transfers has been extended to 24 bits for the submode "Add one to memory", that enables the PDP-8/E to act as pulse height analyzer.

24 signals are connected through an OR-gate to the Interrupt Request line: the 22 LAM signals from the modules of which anyone may also be used as trigger signal for an autonomous transfer, a signal indicating "End of block" for block transfers, and the overflow of a word counter in the Controller during autonomous transfers of data. The demand handling subsystem has a built-in priority order and gives fast access to the appropriate interrupt processing routine on application of one special command.

Inhalt

1. Einleitung
2. Programmgesteuerte Operationen
 - 2.1. Einzelwort-Transfer
 - 2.2. Block-Transfer
3. Alarmbehandlung
4. DMA-Verkehr
 - 4.1. Normaler einzyklischer Verkehr
 - 4.2. Addiere Daten zum Kernspeicher-Inhalt (ADM)
 - 4.3. Addiere Eins zum Kernspeicher-Inhalt (ADONE)
5. Anzeige- und Bedienungsfield
6. Befehle an den Controller

Literatur

Anhang: Zusammenstellung der verwendeten Abkürzungen und Signalnamen

1. Einleitung

Nach den Empfehlungen des ESONE-Komitees, wie sie in den Euratom-Berichten EUR 4100 e (1972) [1] und EUR 4600 e [2] niedergelegt sind, besteht eine Standard-CAMAC-Instrumentierung aus bis zu sieben Rahmen (Crates) mit Modulen und je einem Crate Controller vom Typ A-1, dem verbindenden Branch Highway mit dem fernen Abschluß (Branch Termination) und einem System Controller, der die Anpassung an den verwendeten Rechner vornimmt. Nun hat sich gezeigt, daß diese Konfiguration für viele Anwendungen und insbesondere auch dann, wenn ein Benutzer die ersten Versuche mit dem CAMAC-System unternimmt, zu groß und damit auch unnötig teuer ist. Die Suche nach der kleinsten noch vernünftigen CAMAC-Anlage führt auf dem Umweg über ein irgendwie geartetes "Hand"steuerungs-System unweigerlich zu folgender Mini-CAMAC- (camac-) Lösung: Klein-Prozeßrechner, Crate und spezieller Controller zur Handhabung eines Crate. In dem vorliegenden Bericht wird ein solcher Controller, der CAMAC Single Crate Controller SCC-8/E, beschrieben, der es einem Prozeßrechner PDP-8/E ermöglicht, einen Rahmen mit CAMAC-Modulen zu betreiben.¹⁾ Selbst dann, wenn sich dieser Controller als teurer erweisen sollte als der Typ A-1, gibt es noch Grund genug, diese Modifikation der Standard-Ausrüstung in Betracht zu ziehen, zumal ja der verhältnismäßig teure System Controller dabei eingespart wird.

Der Aufbau des Controller als Interface zwischen dem CAMAC-Datenweg und dem Omnibus des PDP-8/E wird maßgebend bestimmt einmal vom Datenweg [1], sodann von den Input/Output-Kanälen des PDP-8/E [3] und schließlich noch von den Empfehlungen für den Crate Controller Typ A-1 (CCA-1), die in dem Euratom-Bericht EUR 4600 e [2] niedergelegt sind. Der Controller ist ein CAMAC-Modul 3facher Breite, der über drei Stecker mit dem Datenweg verbunden wird und wie der CCA-1 so in den Rahmen zu stecken ist, daß er den äußersten rechten Platz einnimmt. Die Verbindung zum Omnibus des PDP-8/E, in dem Leitungs-Verstärker erforderlich sind (s. [3], Kapitel 9 und 10), sollte nicht länger als 2 m sein. Für einen

¹⁾ Der Modul wird in Lizenz gefertigt von: Fa. Eisenmann, Karlsruhe

raschen Überblick lassen sich folgende Eigenschaften des Controller angeben:

Es können Einzelwort-Transfers, Block-Transfers sowie schnelle Einzel-Transfers nach dem Cycle-Stealing-Verfahren durchgeführt werden. Aus der Sicht des Prozeßrechners handelt es sich um programmgesteuerte und Data-Break-Transfers (single cycle). Bei programmgesteuerten Transfers wird das Timing des Rechners bei Bedarf angehalten und so eine Art Hand-Shake-Timing wie im Branch Highway mit dem Signalpaar BTA-BTB_i verwirklicht. Der Block-Transfer entspricht dem in [1] niedergelegten Address Scan Mode mit automatischer Befehlsbildung im Controller. Ein Signal "Blockende" wird gebildet, wenn die Stationsnummer N(23) erreicht wird.

Aus dem Datenweg werden 22 L-Signale zugelassen, die alle einzeln maskierbar sind. Insgesamt werden 24 Alarme verarbeitet. L(23) wird als "Blockende"-Signal gewertet. Es erzeugt - wie alle anderen L-Signale auch - das Interrupt-Request-Signal für den Rechner. L(24) wird im Zusammenhang mit schnellen autonomen Übertragungen als Echo-Interrupt erzeugt, und zwar dann, wenn die voreingestellte Anzahl der DMA-Transfers erfüllt ist (Word Count Overflow). Es gibt nur einen Kanal für Data-Break-Operationen, aber jedes beliebige der 22 L-Signale kann durch eine Drahtbrücke zur "Anforderung für autonomen Transfer" gemacht werden. Beide Transfer-Richtungen sind möglich.

Fig. 1 zeigt ein stark vereinfachtes Blockschaltbild; die einzelnen Funktionseinheiten werden in den anschließenden Kapiteln etwas eingehender behandelt. Die Ausstattung des Moduls mit je einem Befehls-Register und auch gesonderten Ein/Ausgabe-Pufferspeichern für programmgesteuerte und autonome Transfers ermöglicht es, daß beide Transfer-Arten miteinander abwechseln, ohne sich zu stören. Das ist insbesondere beim Block-Transfer nach dem Address-Scan-Ritus angenehm. Die Übertragung eines Blockes wird durch einen dazwischengeschobenen autonomen Transfer lediglich um eine Operationszeit verzögert und setzt dann dort wieder ein, wo sie unterbrochen wurde.

2. Programmgesteuerte Operationen

Die in Fig. 2 skizzierten Einrichtungen werden bei einer programmgesteuerten Operation (Command Operation, CO) gebraucht. Hauptsächlich handelt es sich um Timing- und Hauptzustands-Generator sowie Befehls-Register (CR) und Daten-Puffer (24 Bit). Die übrigen Baugruppen wie N-, A- und F-Decodierung etc. entsprechen so genau wie möglich denen des CCA-1. Das bezieht sich auch auf die Bildung der unadressierten Signale C, Z und I. Die Status-Signale Q und X der letzten Datenweg-Operation werden in einem eigenen Register zur Verfügung gehalten. Die Information dieses 2-Bit-Registers kann also in diesem Modus nur post mortem zur Analyse eines verunglückten Transfers herangezogen werden.

2.1. Einzelwort-Transfer

Der programmgesteuerte Einzelwort-Transfer dürfte der Modus sein, in dem der Controller in der Mehrzahl der Fälle betrieben wird. Einzelwort-Transfers müssen nicht notwendig eine Datenweg-Operation auslösen; es kann sich auch um einen Dialog-Verkehr zwischen Controller und Rechner handeln. Außerdem muß ein solcher Dialog nicht unbedingt mit dem Austausch von Daten verbunden sein; es kann sich auch um die Übermittlung von datenlosen (Einstell-) Befehlen handeln. Tabelle 1 gibt eine komplette Übersicht über alle Arten von Operationen, die der Controller durchführen kann. Die Erkennung des jeweils verlangten Transfer-Typs erfolgt in der Control Unit. Ein Verkehr mit dem CAMAC-System über den Datenweg wird veranlaßt, wenn die Control Unit das Signal "Controller Addressed" erzeugt. Der Ablauf von Dialog-Operationen zwischen Rechner und Controller wird völlig von dem normalen Timing-Verhalten des Rechners bestimmt (s. [3], Fig. 9-14), unabhängig davon, ob dabei Daten ausgetauscht werden oder nicht. Anders ist es bei Befehlen, die eine Datenweg-Operation erforderlich machen. Hier muß die Befehls-Ausführungszeit im allgemeinen etwas verlängert werden. Das geschieht dadurch, daß das Timing des Rechners angehalten wird (Signal NLT [Not Last Transfer]). Der Impuls S1

des Datenweges veranlaßt das Wiederanlaufen des blockierten Timing-Generators im Rechner (s. Fig. 3).

In Fig. 3 ist zur Verdeutlichung der zeitliche Ablauf einer programmgesteuerten Operation gezeigt und kommentiert. In den Kästchen bzw. neben deren Verbindungslinien sind die Zeiten eingetragen, die für die einzelnen Phasen der Operationen gebraucht werden. So läßt sich z. B. leicht herausfinden, daß bei Dialog-Operationen $1,2 \mu\text{s}$ gebraucht werden, bei einem Verkehr über den Datenweg unter der Kontrolle des Signales NLT etwa $1,35 \mu\text{s}$. Bei der Ermittlung der Zeiten, die für die verschiedenen Arten von Operationen erforderlich sind (s. Tabelle 2), ist zu berücksichtigen, daß - beispielsweise für die Übermittlung eines Befehls an den Controller oder die Abholung von Daten - jeweils zwei Transfers (IOT's) erforderlich sind. Das Laden eines Datenwortes in den Akkumulator (AC) erfordert $3,0 \mu\text{s}$ bei direkter Adressierung und $4,5 \mu\text{s}$ bei indirekter Adressierung, so daß sich für einen Transfer ergibt:

	direkte Adressierung		indirekte Adressierung	
	Dialog-Op.	System-Op.	Dialog-Op.	System-Op.
Laden des AC	$3,00 \mu\text{s}$	$3,00 \mu\text{s}$	$4,50 \mu\text{s}$	$4,50 \mu\text{s}$
Ausgabe des Befehls	$1,20 \mu\text{s}$	$1,35 \mu\text{s}$	$1,20 \mu\text{s}$	$1,35 \mu\text{s}$
	$4,20 \mu\text{s}$	$4,35 \mu\text{s}$	$5,70 \mu\text{s}$	$5,85 \mu\text{s}$

2.2. Block-Transfer

Diese Betriebsart wird durch das Laden eines Flipflops ADS vorbereitet. Es handelt sich dabei um eine Kette von Einzelwort-Transfers, bei der aber der Rechner nicht jedes Mal den CAMAC-Befehl zu schicken braucht, sondern nur zu Beginn des Blockes den Befehl mit der Anfangsadresse. Während jedes Transfers (Ein- oder Ausgabe) wird der Befehl durch Inkrementieren der Subadresse A bzw. der Stationsnummer N verändert. Dabei gilt folgende Prozedur mit

dem Namen "Address Scan" als vereinbart: Gültige Daten sowie ordnungsgemäßer Verlauf der Operation werden von den Signalen $X = Q = 1$ begleitet. Die Control Unit erhöht daraufhin mit dem Zeitimpuls $S3^*$ die Subadresse A um eins. Wird dabei eine Subadresse erreicht, unter der kein Datenregister vorhanden ist, dann erfolgt ein sogenannter Leer-Transfer (es können keine Lese-daten angeboten werden bzw. die Schreibdaten finden im Modul kein Ziel), der charakterisiert ist durch $X = Q = 0$. In diesem Falle wird zum Zeitpunkt $S3^*$ der laufenden Operation die Subadresse auf ihren Anfangswert $A(0)$ zurückgesetzt und die Stationsnummer N inkrementiert. Das Erreichen der nicht von einem Modul belegbaren Stationsnummer $N(23)$ signalisiert das Ende des Blockes. Der Rechner kann ein solches Signal nicht unmittelbar verstehen. Deshalb wird aus $N(23)$ zunächst einmal $L(23)$ gebildet und das Steuer-Flipflop ADS gelöscht. Die zu $L(23)$ gehörige Interrupt-Routine informiert den Rechner über das Ende des Daten-Blockes. Die Übertragung des Blockes kann auch dadurch beendet werden, daß der Rechner einen anderen CAMAC-Befehl in das Befehls-Register einschreibt. Bei einem normal ablaufenden Block braucht er ja immer nur den Lese-Datenspeicher mit Hilfe der beiden IOT's FB4 und FB5 auszulesen (s. Tabelle 3).

Diese Art des Block-Transfers ist nicht auf Module gleicher Bauart angewiesen. Zum Preis eines Leer-Transfers kommt man auch über nicht besetzte Plätze hinweg. Um die Anzahl der Übertragungen ohne gültige Information jedoch möglichst klein zu halten, empfiehlt es sich, bei nicht ganz gefüllten Crates alle Module so nahe wie möglich an den Controller heranzubringen.

3. Alarmbehandlung

In Fig. 4 sind alle für die Verarbeitung von insgesamt 24 L-Signalen nötigen Funktionsgruppen erkennbar. Die Alarme 1 bis 22 werden den gleichnamigen L-Leitungen entnommen; $L(23)$ entsteht beim Block-Transfer und $L(24)$ als Echo-Interrupt bei schnellen autonomen Transfers.

Die Alarme L(1) bis L(22) werden vorschriftsmäßig an ihre Pull-up-Stromquellen geführt und von da zu einem Rangierfeld. Das ergibt die Möglichkeit, einen beliebigen der Alarme L(1) bis L(22) als "Anforderung für einen Data Break Transfer" (BKRQST) zu behandeln und ihm die Bezeichnung LB zu geben. Die Bezeichnung LB soll daran erinnern, daß es sich um den Alarm L handelt, der zu einem Data Break führen soll. Die Alarme müssen eine Maske passieren. Die Masken-Information wird in einem eigenen Register aufbewahrt, welches über die W-Leitungen gesetzt wird und das im Grundzustand (Z) gelöscht ist. Der maskierte Alarm LB heißt LBM. Die maskierten Alarme ML(i) werden in einem Alarm-Register gespeichert, außerdem werden sie einer Oder-Stufe zugeführt, deren Ausgang als Interrupt-Anforderungs-Signal (ITRQST) gewertet wird.

Es sind zwei Möglichkeiten vorgesehen zur Weiterverarbeitung der maskierten Alarme. Einmal kann - wie auch beim CCA-1 - mit dem Befehl $N(30) \cdot \overline{A(8)} \cdot F(0)$ das Alarm-Muster des Rahmens erfragt werden, d. h. es müssen nach diesem Befehl noch zwei IOT's (FB6 und FB7) gegeben werden, um diese Information wirklich in den Rechner zu transportieren, wo sie analysiert werden kann. Die Anwendung der anderen Methode führt viel rascher ans Ziel. Sie verwendet ein Prioritäts-Netzwerk hinter dem Alarm-Register und nutzt die Eigenschaft des Rechners aus, bei einem speziellen Ein/Ausgabe-Befehl (FA2, s. Tabelle 3) die hereinkommenden Daten als Zahl aufzufassen, die zum Inhalt des Program Counter addiert wird. Auf diese Weise wird sofort die richtige Absprungadresse erreicht, falls nach der Erkennung des CAMAC Controller als Quelle des Interrupts nur dieser IOT geschickt wurde. Die Statisierung vor dem Prioritäts-Netzwerk ist deshalb nötig, damit sich während des Lesevorganges "Daten + < PC > → PC" die Prioritäts-Verhältnisse nicht ändern.

4. DMA-Verkehr

Bei diesem Controller ist nur ein Kanal für DMA-Verkehr vorgesehen, und zwar handelt es sich um einzyklische Data-Break-Opera-

tionen. Der DMA-Verkehr erfordert die aus Fig. 5 erkennbare umfangreiche Hardware und wird durch das Signal LB in Gang gebracht, welches aus einem beliebigen der Alarme L(1) bis L(22) erzeugt wird, festgelegt durch entsprechende Verdrahtung an Rangierfeld 1 (vgl. Fig. 4). Entsprechend der Wortkapazität des Rechners sind Break Input Buffer und Break Output Buffer 12-Bit-Speicher. Durch die Verwendung von getrennten Befehls-Registern und Daten-Pufferspeichern sind DMA- und programmgesteuerte Transfers völlig voneinander entkoppelt. Das bedeutet, daß ineinandergeschachtelte Operationen beider Typen sich gegenseitig nicht stören.

Bei diesem Rechner verbergen sich hinter der Sammelbezeichnung DMA-Verkehr eigentlich drei voneinander verschiedene Betriebsarten, die alle ohne Programm-Assistenz auskommen. Diese verschiedenen Betriebsarten oder Moden werden durch zusätzliche Steuerbits in dem autonomen Befehls-Register (ACR) eingestellt. Für eine detaillierte Beschreibung der komplexen Hardware und der Funktionsabläufe sei auf [3], Kapitel 9, verwiesen. Hier sollen nur einige wesentliche Punkte hervorgehoben werden.

4.1. Normaler einzyklischer Verkehr

Bei diesem Modus erfolgt ein Daten-Transfer an einen oder von einem Kernspeicherplatz, der durch das BKMA-Register in dem Controller bestimmt wird. Dieses Register hat die Eigenschaft eines Zählers. In dieser Betriebsart wird gegen Ende jedes Transfers die Kernspeicher-Adresse um eins erhöht. Der für den Block zur Verfügung stehende Kernspeicher-Bereich kann durch einen Wortzähler (Word Count Register) im Controller begrenzt werden (s. Fig. 5). Von dem Überlauf dieses Wortzählers wird der Echo-Interrupt L(24) abgeleitet. In groben Zügen geht ein solcher Transfer folgendermaßen vor sich:

Das Signal LB bzw. LBM versetzt den Controller in den Hauptzustand AT. In der ersten Phase dieses Hauptzustandes wird der in dem Befehls-Register (ACR) aufbewahrte CAMAC-Lese- oder Schreibbefehl ak-

tiviert. Unter der Kontrolle dieses Befehls werden bei Ausgabe Daten über die Memory-Data- (MD-) Leitungen des Omnibus herangeführt und nach Zwischen-Pufferung (Break Output Buffer) über die W-Leitungen des Datenweges ihrem Ziel zugeleitet. Bei Eingabe werden die Lesedaten an ihrer Quelle in einem CAMAC-Modul abgeholt und via R-Leitungen, Break Input Buffer und DATA-Leitungen des Omnibus an ihr Ziel im Kernspeicher gebracht. Der Timing-Generator sorgt im Hauptzustand AT automatisch für die notwendige Synchronisierung zwischen Rechner- und CAMAC-Zyklus. Einzelheiten können auch dem Flußdiagramm von Fig. 6 entnommen werden.

4.2. Addiere Daten zum Kernspeicher-Inhalt (ADM)

Bei diesem Modus werden gelesene Daten als Zahl betrachtet und zum Inhalt der adressierten Kernspeicher-Zelle addiert. Das geschieht dadurch, daß sowohl der Inhalt der vom BKMA-Register spezifizierten Zelle als auch die Lesedaten in das Addierwerk des Rechners gegeben werden und dann erst zurück in die Zelle. Sonst ist der Modus ADM dem unter 4.1 beschriebenen sehr ähnlich.

4.3. Addiere Eins zum Kernspeicher-Inhalt (ADONE)

Dieser Modus macht den Rechner geeignet für einen Einsatz als Vielkanal-Analysator. Das Konversions-Ergebnis eines ADC (maximal 12 Bit) wird dabei auf den R-Leitungen des Datenweges herangeschafft und in das BKMA-Register eingestellt. Gleichzeitig wird eine "1" auf die "DATA line" 11 gesetzt, das ist die Datenleitung des Omnibus mit der kleinsten Wertigkeit. Wenn während einer solchen Operation ein Überlauf stattfindet, so wird das von dem Rechner auf der Leitung "OVERFLOW" des Omnibus bekanntgegeben und ein zweiter Transfer an eine benachbarte Kernspeicher-Zelle initialisiert. Damit besteht die Möglichkeit, bis zu 2^{12} Überläufe zu notieren, mit anderen Worten: die Wortkapazität läßt sich auf insgesamt 24 Bit erweitern. Werden alle normalen Transfers immer

in die Kernspeicher-Zellen $2n + 1$ eines Feldes und die Überläufe in die Zellen $2n$ geschrieben, so findet sich das Ergebnis des Kanals n in den Zellen $2n$ (MSB) und $2n + 1$ (LSB). Beim Überlauf einer Zelle $2n$ wird die Datenaufnahme durch das Löschen der zugehörigen Maske automatisch beendet.

5. Anzeige- und Bedienungsfeld

Aus Bild 1 sind die Anzeige- und Bedienungselemente an der Frontplatte des CAMAC Single Crate Controller Typ LEM-52/32.1. zu ersehen.

Wie beim CCA-1 gibt es zwei Tasten "C" und "Z", so daß das C- und das Z-Signal außer per Befehl auch manuell erzeugt werden können,²⁾ einen Kippschalter "ONL/OFL" (On-line/Off-line) und eine Buchse "I" zur Zuführung eines extern erzeugten Inhibit-Signales. Die gewünschte Betriebsart wird mit dem Wahlschalter "Mode" eingestellt, der die Stellungen "Run", "Op" (Einzeloperation) und "Step" hat. Die Betriebsart "Step" gibt die Möglichkeit, für Testzwecke einen Rechner-Zyklus in 4 Phasen zu zerlegen, die jeweils durch Drücken der Taste "Start" ausgelöst werden. In der Betriebsart "Einzeloperation" läuft nach Betätigung der Taste "Start" ein Zyklus im ganzen ab, bei "Run" übernimmt der Rechner die volle Kontrolle. Mit Hilfe der Taste "Norm" (Normalize) kann ein Signal erzeugt werden, das den Controller in einen definierten Ausgangszustand bringt, z. B. vor dem Start.

Das Anzeigefeld ist so konzipiert, daß die wesentlichen Signale, die Aufschluß über den Betriebszustand und den zeitlichen Ablauf der Operationen geben, sichtbar gemacht werden. Die Lampen "AT" und "CO" zeigen den Hauptzustand an (autonomer oder programmgesteuerter Transfer), wobei sich der Verlauf programmgesteuerter Operationen durch die Anzeige der Signale "I/O Pause" und "NLT" (Not Last Transfer) verfolgen läßt. Im Falle einer Interrupt-An-

²⁾ Beim SCC-8/E wird Z darüber hinaus noch durch das "INITIALIZE"-Signal vom Rechner generiert.

forderung leuchtet die Lampe "ITRQST", bei Anforderungen für Data-Break-Operationen die Lampe "BKRQST". Von den CAMAC-Datenweg-Signalen werden das Belegt-Signal und die beiden Strobes S1 und S2 zur Anzeige gebracht.

6. Befehle an den Controller

In Tabelle 3 sind alle Befehle aufgeführt, die der Rechner an den Controller absetzen kann. Auf Grund der in EUR 4600 e [2], Appendix 1, enthaltenen Empfehlungen über Eigenschaften beliebiger Controller wurde der SCC-8/E für die Erledigung der in Tabelle 4 aufgeführten CAMAC-Befehle gebaut. Von den in [2], Tabelle IX, genannten Befehlen fehlen lediglich die auf die Behandlung von BD bezogenen, weil sie wegen der anderen Art der Alarmbehandlung hier sinnlos wären.

Literatur

- [1] CAMAC - A Modular Instrumentation System for Data Handling - Revised Description and Specification
Euratom-Bericht EUR 4100 e (Revised version 1972), Luxembourg 1972
- [2] CAMAC - Organisation of Multi-Crate Systems - Specification of the Branch Highway and CAMAC Crate Controller Type A
Euratom-Bericht EUR 4600 e, Luxembourg 1972
- [3] pdp8/e & pdp8/m small computer handbook 1972
Digital Equipment Corp., Maynard, USA, 1971

Verbindungsstecker zum
Omnibus des PDP-8/E

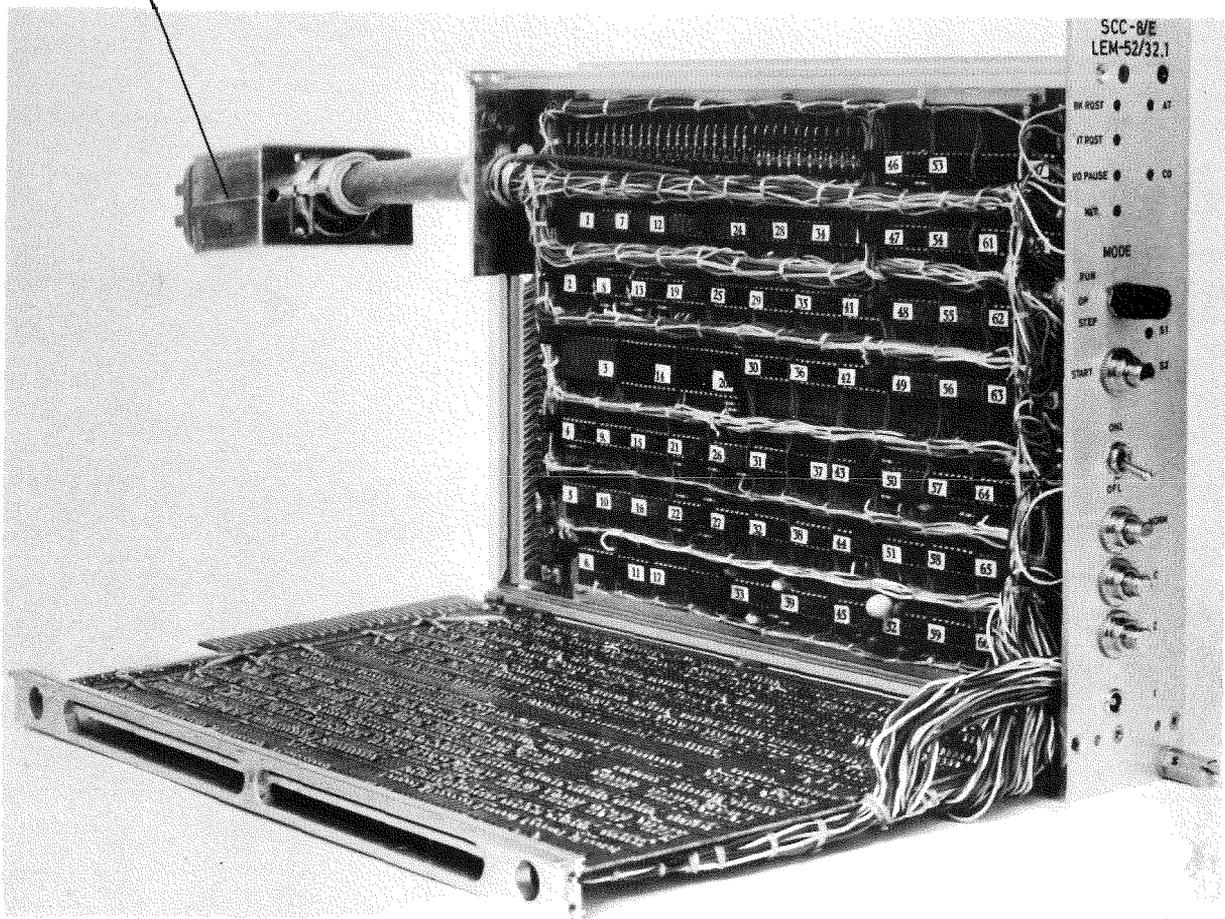
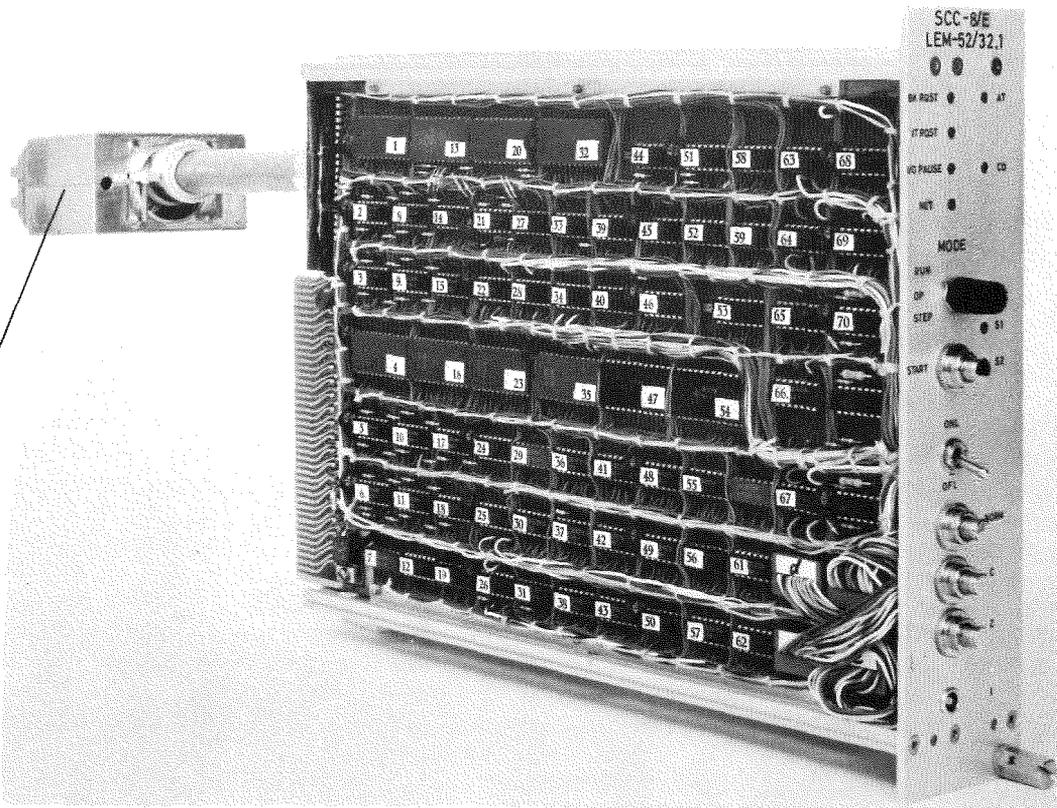


Bild 1 CAMAC Single Crate Controller für den PDP-8/E, Abbildungsmaßstab 1 : 2 (Die beiden äußeren gedruckten Schaltungskarten lassen sich zu Service-Zwecken um 90° herausklappen.)

Tabelle 1 Transfer-Arten des Crate Controller SCC-8/E

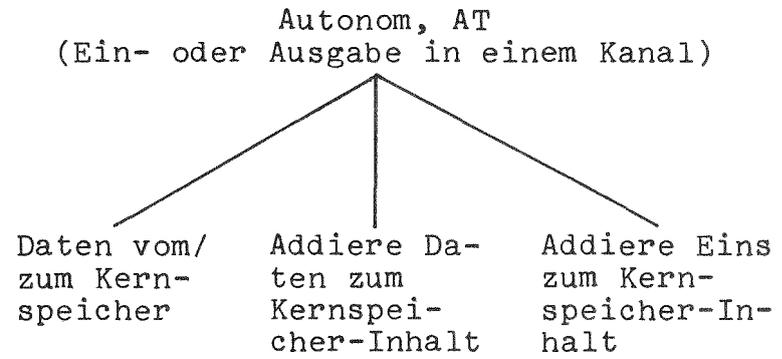
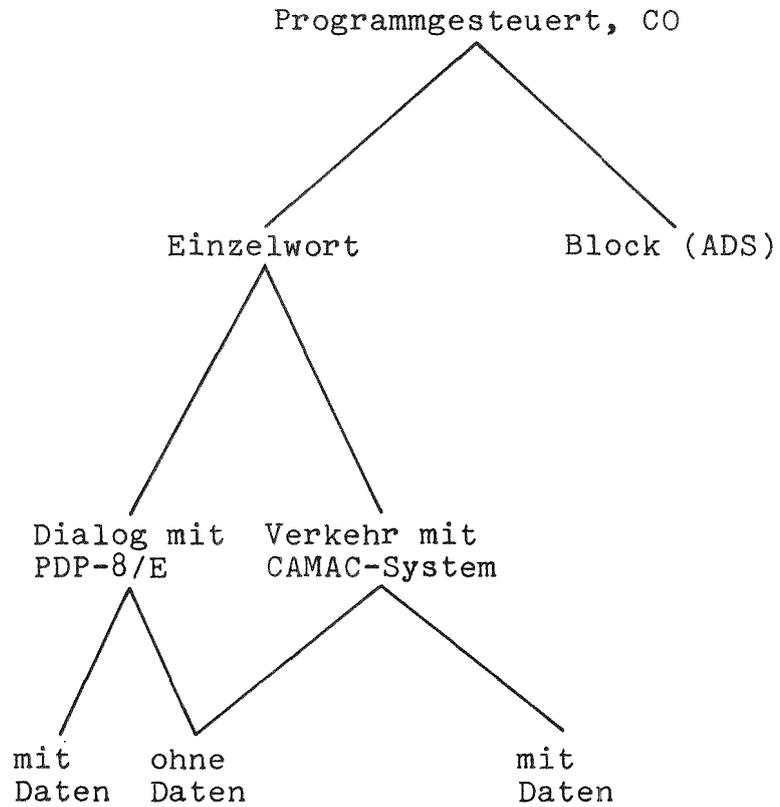


Tabelle 2 Zeitbedarf bei programmgesteuerten Transfers

	Direkte Adressierung	Indirekte Adressierung
Dialog-Operationen		
ohne Daten		
Befehl	8,4 μ s	11,4 μ s
mit Daten		
Befehl	8,4 μ s	11,4 μ s
Datenein- bzw. -ausgabe	<u>8,4 μs</u>	<u>11,4 μs</u>
	16,8 μ s	22,8 μ s
System-Operationen		
ohne Daten		
Befehl	8,4 μ s	11,4 μ s
mit Daten		
Befehl	8,4 μ s	11,4 μ s
Datenein- bzw. -ausgabe	<u>8,7 μs</u>	<u>11,7 μs</u>
	17,1 μ s	23,1 μ s

Tabelle 3 Verwendete Rechner-Befehle (IOT's)

Nr.	Code	Bezeichnung	Funktion/Bedeutung
An Adresse A (A ist hier gleich 16):			
0	6160	FA0 Load DR MSB LDRM	Lade Daten-Register (Write Buffer) im SCC-3/E, MSB Data → WB
1	6161	FA1 Load DR LSB LDRL	Lade Daten-Register (Write Buffer) im SCC-8/E, LSB Data → WB
2	6162	FA2 Add Data to PC ADPC	Addiere Daten in Program Counter Data + < PC > → PC
3	6163	FA3 Pull Skip Bus if Interrupt Request SKPIRQ	Ziehe SKIP-Bus auf 0 V, wenn Interrupt-Anforderung
4	6164	FA4 Clear Flag CF	Lösche Interrupt-Anforderung
5	6165	FA5 Read Q, X	Lies Inhalt des Q, X-Registers
An Adresse B (B ist hier gleich 17):			
0	6170	FBO Load DR MSB, CLA LDMCLA	Lade Daten-Register (Write Buffer) im SCC-8/E, MSB; lösche Akkumulator Data → WB; 0 → AC
1	6171	FB1 Load DR LSB, CLA LDLCLA	Lade Daten-Register (Write Buffer) im SCC-3/E, LSB; lösche Akkumulator Data → WB; 0 → AC
2	6172	FB2 Load CR MSB, CLA LCMCLA	Lade Befehls-Register im SCC-3/E, MSB; lösche Akkumulator Data → CR; 0 → AC
3	6173	FB3 Load CR LSB, CLA LCLCLA	Lade Befehls-Register im SCC-3/E, LSB; lösche Akkumulator Data → CR; 0 → AC
4	6174	FB4 MSB Data into AC DMAC	Lade MSB-Daten in Akkumulator Data → AC
5	6175	FB5 LSB Data into AC DLAC	Lade LSB-Daten in Akkumulator Data → AC
6	6176	FB6 AR MSB into AC AMAC	Lade MSB-Daten von Alarm-Register in Akkumulator ARM → AC
7	6177	FB7 AR LSB into AC ALAC	Lade LSB-Daten von Alarm-Register in Akkumulator ARL → AC

AC: Akkumulator
AR: Alarm-Register
CR: Command Register
PC: Program Counter
WB: Write Buffer

Tabelle 4 CAMAC-Befehle für den Crate Controller SCC-8/E

N	Befehl		Funktion	Reaktion	
	A	F		Q	X
Befehle identisch denen für CCA-1					
28	8	26	Erzeuge Z	0	1
28	9	26	Erzeuge C	0	1
30	0 - 7	0	Lies Alarm-Muster	1	1
30	8	16	Lade SNR	1	1
30	9	24	Lösche I-Signal	0	1
30	9	26	Erzeuge I-Signal	0	1
30	9	27	Teste I-Signal	0 (I=0) 1 (I=1)	1 1

Zusätzliche Befehle

30	12	26	Ermögliche Block-Transfer im Address Scan Mode (ADS)	1	1
Befehl mit N(23) bei ADS oder beliebiger Befehl			Verbiere bzw. beende Block-Transfer im Address Scan Mode (ADS)*	0	0
28	12	16	Überschreibe Masken-Register (OWM)	1	1
30	12	16	Lade BKMA-Register (LBKMA)	1	1
30	14	16	Lade Word Count Register (LWCR)	1	1
30	14	11	Lösche Word Count Register (CWCR)**	1	1
30	15	16	Lade autonomes Befehls-Register (LACR)	1	1

* Der Block-Transfer wird auch durch das per Drucktaste an der Frontplatte erzeugte Signal "Norm" und durch Z beendet.

** Das Word Count Register wird auch durch das per Drucktaste an der Frontplatte erzeugte Signal "Norm" und durch Z gelöscht.

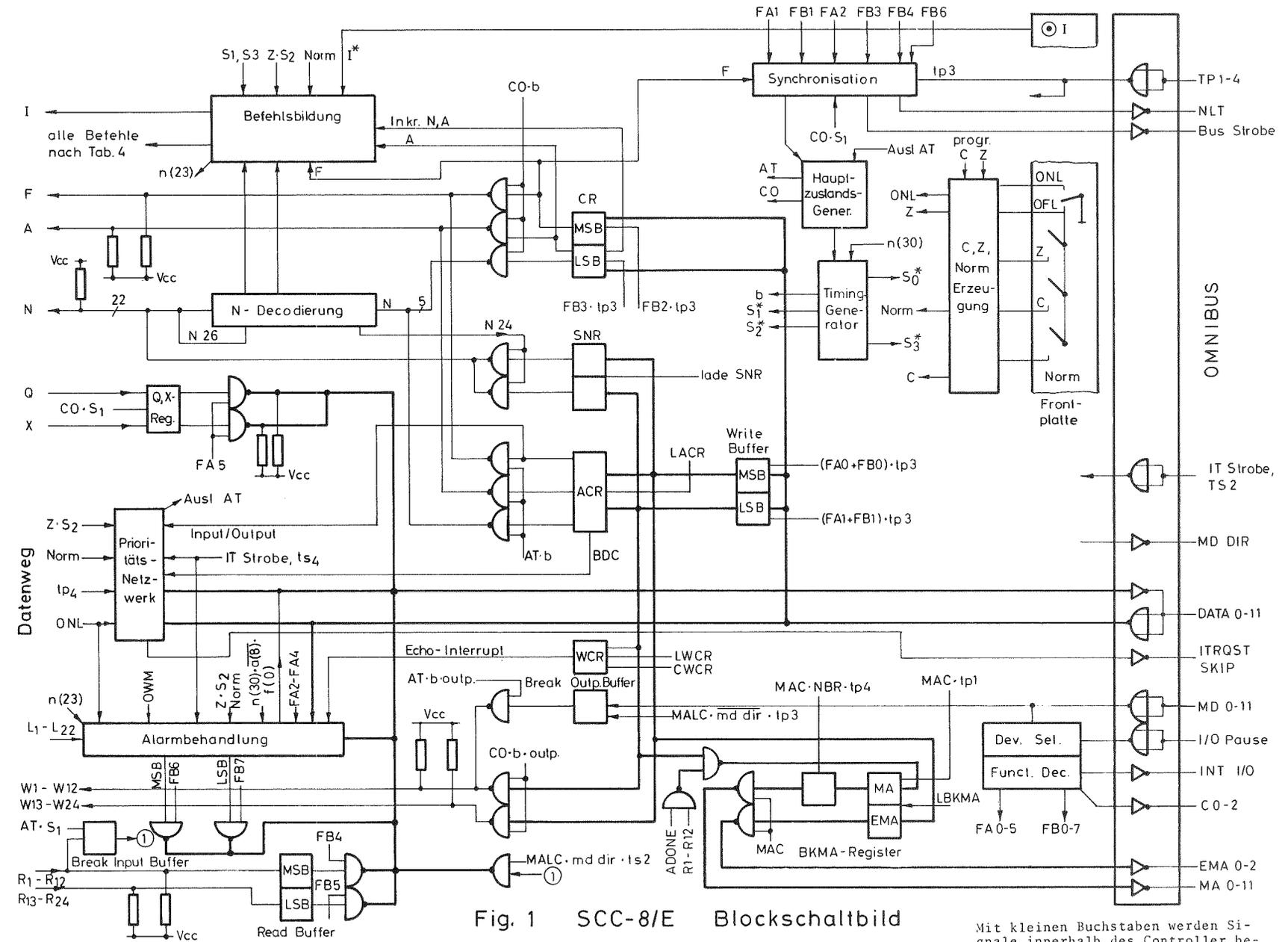


Fig. 1 SCC-8/E Blockschaltbild

Mit kleinen Buchstaben werden Signale innerhalb des Controller bezeichnet, sofern sie auch auf dem Datenweg oder im Omnibus vorkommen, aber beim Eingang in den Controller bzw. am Ausgang gepuffert werden.

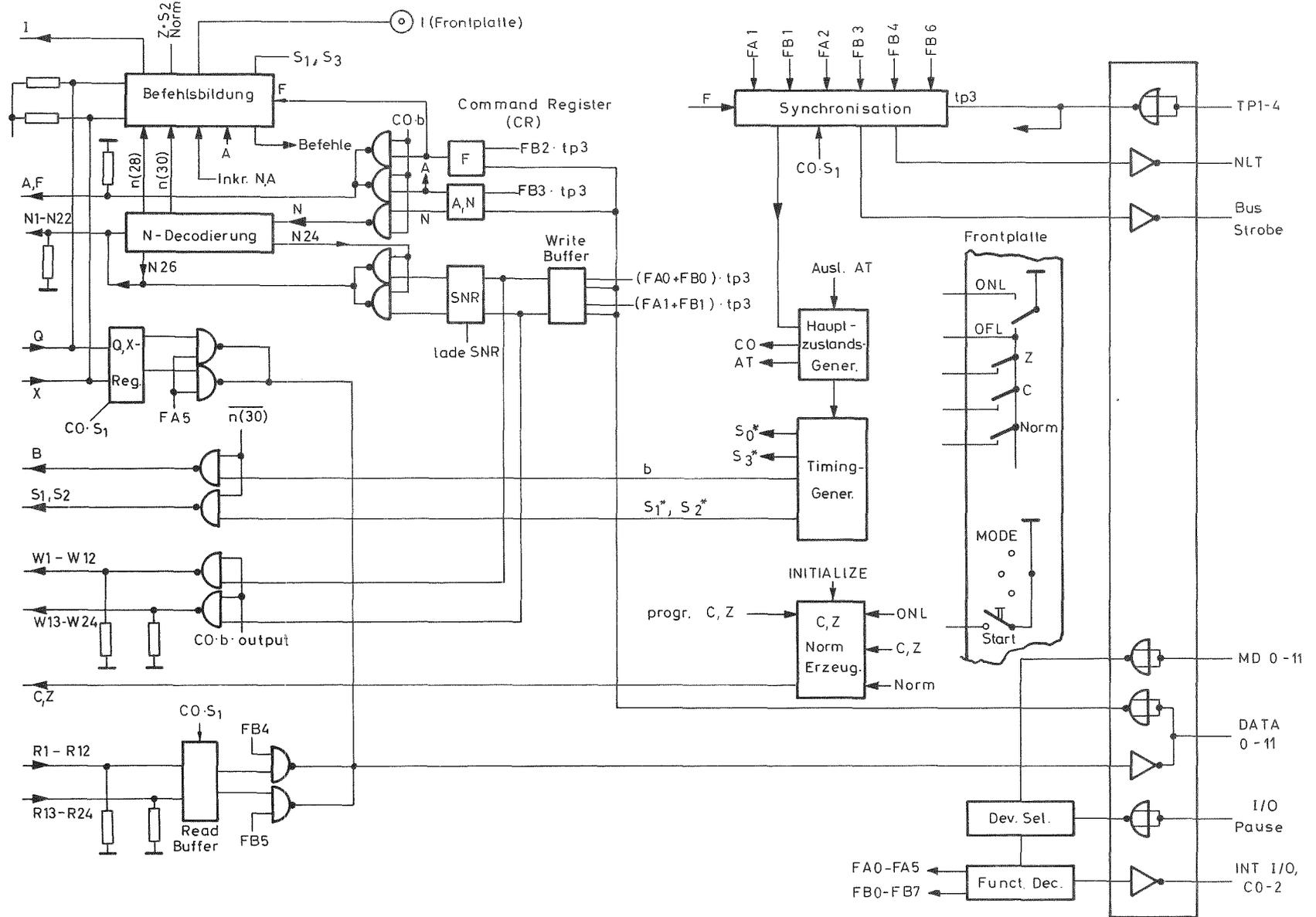


Fig.2 SCC-8/E Einrichtungen für programmgesteuerte Operationen

Mit kleinen Buchstaben werden Signale innerhalb des Controller bezeichnet, sofern sie auch auf dem Datenweg oder im Omnibus vorkommen, aber beim Eingang in den Controller bzw. am Ausgang gepuffert werden.

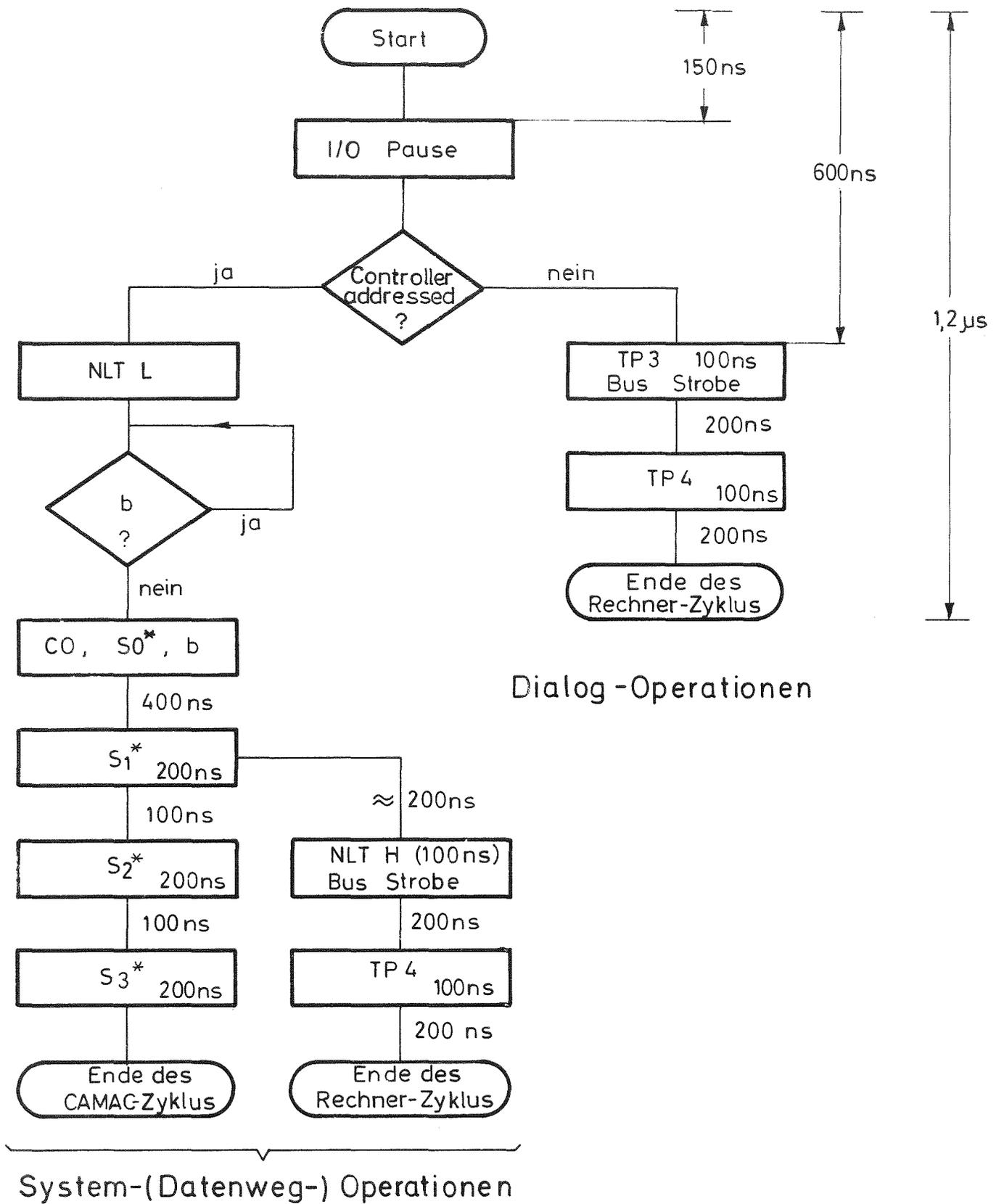


Fig. 3 SCC-8/E Flußdiagramm für programmgesteuerte Operationen

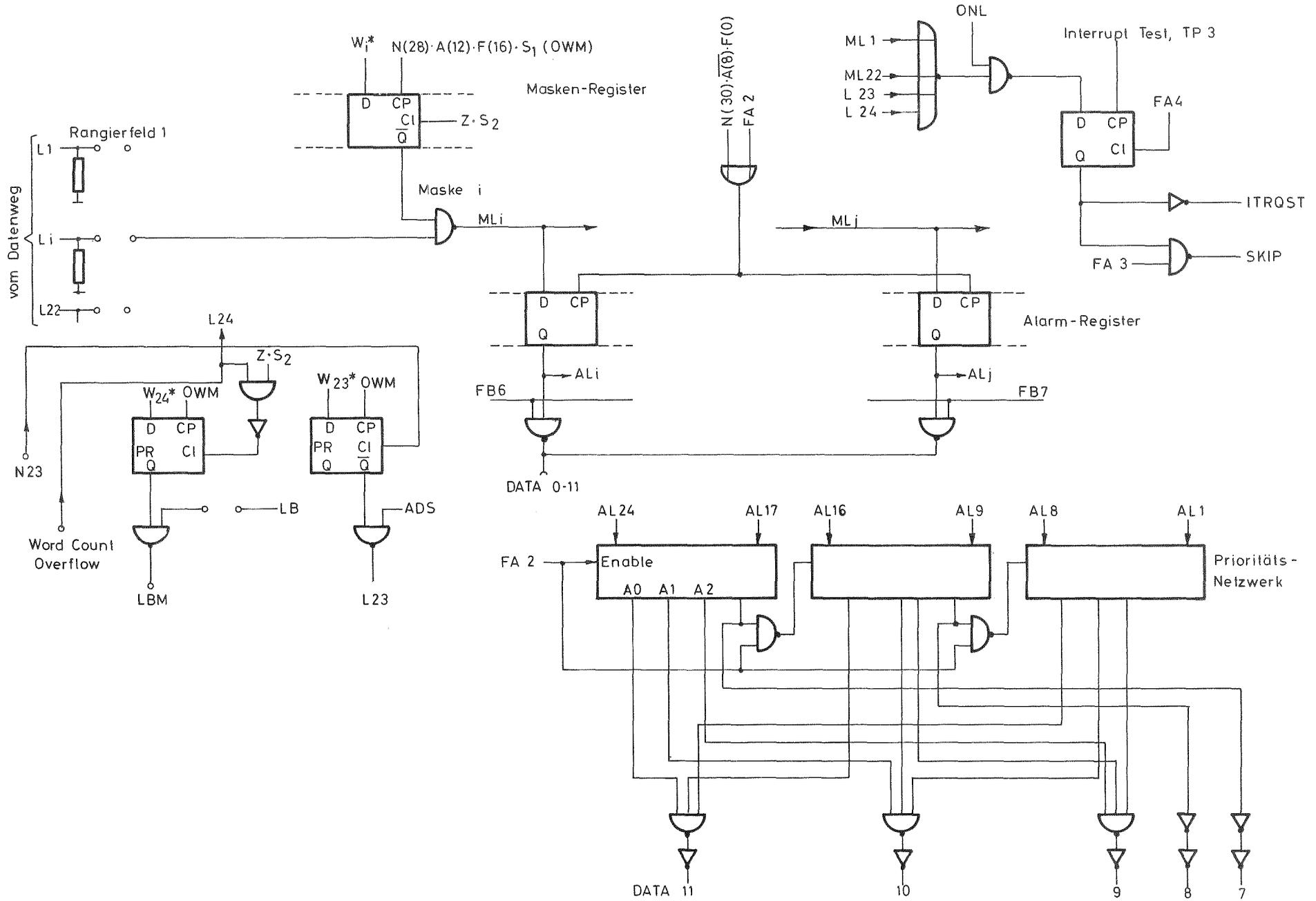


Fig. 4 SCC-8/E Einrichtung für die Alarmbehandlung

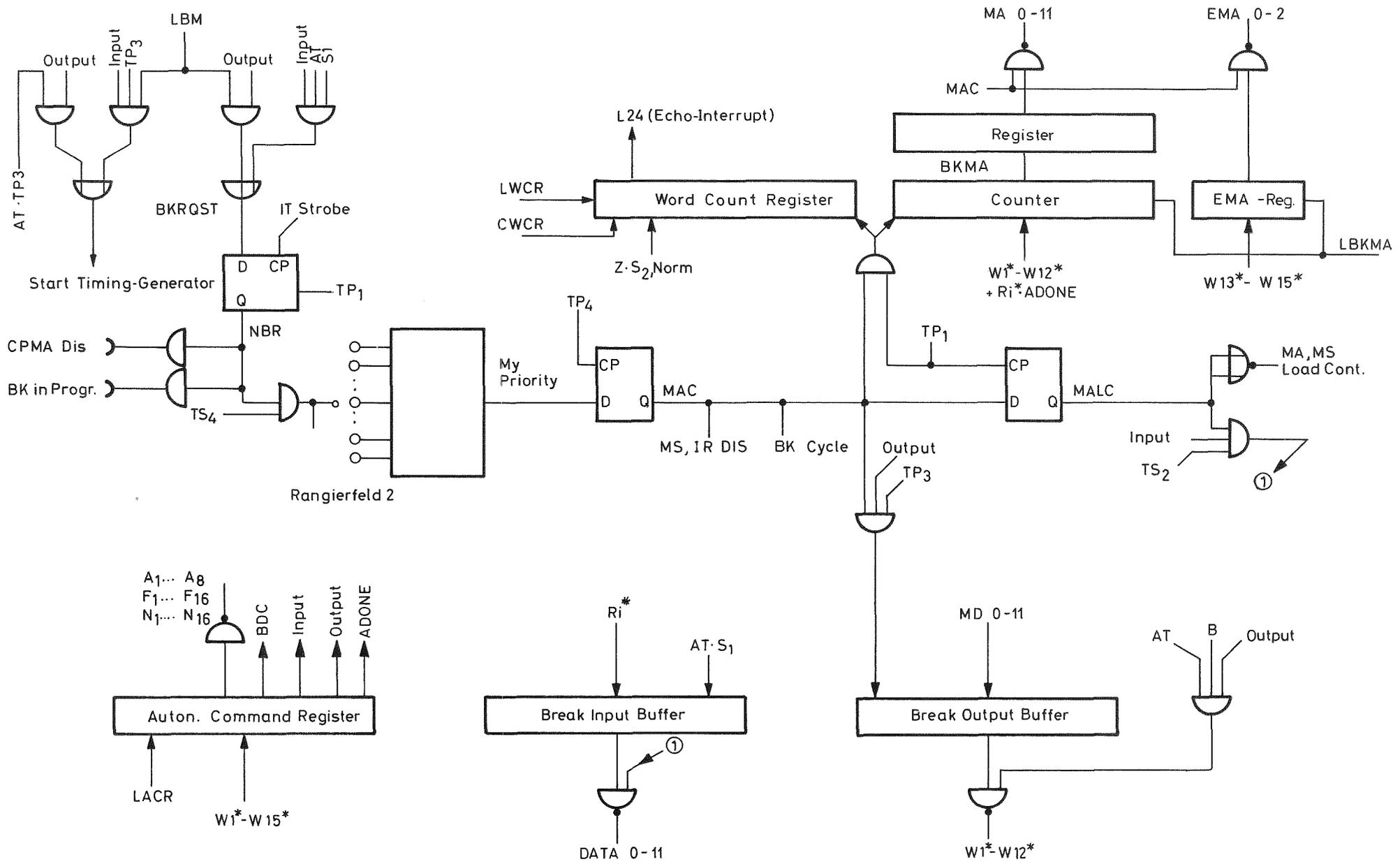


Fig. 5 SCC-8/E Einrichtung für die DMA-Behandlung

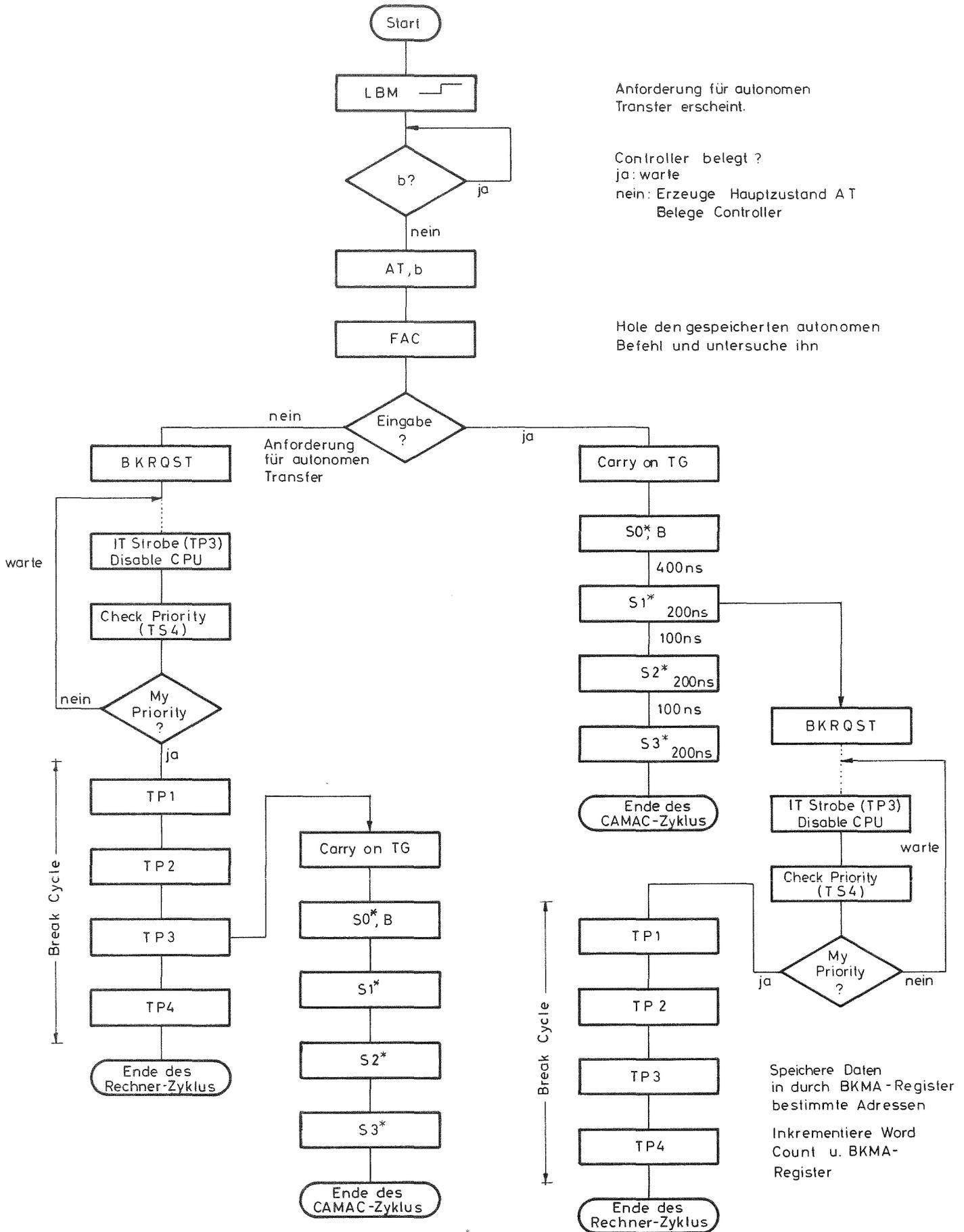


Fig. 6 SCC-8/E Flußdiagramm für DMA-Verkehr

Anhang: Zusammenstellung der verwendeten Abkürzungen und Signalnamen (CAMAC-Datenweg-Signale s. [1])

ACR	Autonomous Command Register (CAMAC-Befehls-Speicher für autonome Transfers [DMA-Verkehr], der zusätzlich Steuerbits zur Einstellung der Betriebsart enthält)	ITRQST	Interrupt Request (Interrupt-Anforderung)
ADM	Add Data to Memory (Addiere Daten zum Kernspeicher-Inhalt)	IT Strobe	Interrupt Strobe
ADONE	Add One to Memory (Addiere Eins zum Kernspeicher-Inhalt)	LACR	Load Autonomous Command Register (Lade autonomes Befehls-Register)
ADS	Block-Transfer im Address Scan Mode	LB	Alarm (LAM), der zu einer Data-Break-Operation führen soll (ein beliebiger der Alarme L(1) ... L(22), festgelegt durch Verdrahtung an Rangierfeld 1)
ALi	Alarm- (LAM-) Register-Ausgang Nr. i	LBKMA	Load Break Memory Address Register (Lade BKMA-Register im SCC-8/E)
AT	Hauptzustand AT (Autonomer Transfer)	LBM	Alarm LB, maskiert, der zum BKRQST-Signal gemacht wird
Ausl AT	Auslösung eines CAMAC-Zyklus bei autonomem Transfer	LWCR	Load Word Count Register (Lade Wortzähler)
BDC	Break Data Control	MA 0 - 11	"Memory Address"-Leitungen
BK Cycle	Break Cycle	MAC	Memory Address Control
BK in Prog	Break in Progress	MALC	Memory Address Load Control
BKMA	Break Memory Address (Das ist die Adresse im Kernspeicher, von der bei autonomen Transfers Daten geholt bzw. zu der Daten gebracht werden; sie wird durch das BKMA-Register im SCC-8/E bestimmt.)	MA, MS Load Cont	Memory Address, Mayor State Load Control
BKRQST	Break Request (Anforderung für einen Data-Break-Transfer)	MD 0 - 11	"Memory Data"-Leitungen (Datenleitungen zwischen Memory und Memory Buffer, bei Data-Break-Transfers für Ausgabe verwendet)
Bus Strobe	Bus Strobe (Omnibus-Strobe-Signal)	MD DIR	Memory Data Direction (Ausgabe: 0 V, Eingabe: 3 V)
C 0 - 2	"Transfer Control"-Leitungen im Omnibus	ML(i)	Maskierter Alarm (LAM) Nr. i
CO	Hauptzustand CO (Command Operation)	MS, IR Dis	Mayor State, Instruction Register Disable
Controller Addressed	Das Signal "Controller Addressed" wird bei programmgesteuerten Transfers erzeugt, wenn eine Datenweg-Operation verlangt wird.	NBR	New Break (Neue Anforderung für einen Data-Break-Transfer, die zum Zeitpunkt TP3 ermittelt wurde, d. h. wenn ein BKRQST-Signal vorliegt, wird das Flipflop NBR durch "IT Strobe" geladen.)
CPMA Dis	Central Processor Memory Address Disable (Bei Vorliegen dieses Signals wird bei Data-Break-Transfers die aktive Kernspeicher-Zelle nicht vom Rechner, sondern vom SCC-8/E bestimmt.)	NLT	Not Last Transfer (Unter der Kontrolle dieses Signals wird bei programmgesteuerten Transfers, die eine Datenweg-Operation auslösen, das Timing des Rechners unterbrochen.)
CPU	Central Processing Unit	Norm	Normalize (Dieses über eine Drucktaste an der Frontplatte erzeugte Signal bringt den Controller in einen definierten Ausgangszustand.)
CR	Command Register (CAMAC-Befehls-Speicher für programmgesteuerte Operationen)	OFL	} wählbar über einen Kippschalter an der Frontplatte
CWCR	Clear Word Count Register (Lösche Wortzähler)	ONL	
DATA 0 - 11	"Data"- (Daten-) Leitungen im Omnibus, bidirektional (werden bei Data-Break-Transfers nur für Eingabe verwendet)	OWM	Overwrite Mask Register (Überschreibe Masken-Register)
EMA 0 - 2	"Extended Memory Address"-Leitungen	OVERFLOW	Overflow (Bei DMA-Transfers im ADONE-Mode zeigt dieses Signal den Überlauf einer Kernspeicher-Zelle an.)
FA 0 - 5	Funktionen (IOT's) an Adresse A (siehe Tabelle 3)	SKIP	"Skip"-Leitung im Omnibus
FAC	Fetch Autonomous Command (Hole den gespeicherten autonomen Befehl und untersuche ihn)	TG	Timing Generator
FB 0 - 7	Funktionen (IOT's) an Adresse B (siehe Tabelle 3)	TP1 - TP4	} Timing-Signale im Rechner
INITIALIZE	Initialize (vom PDP-8/E erzeugtes Signal, das den Rechner in einen definierten Ausgangszustand bringt und den SCC-8/E zur Erzeugung von Z veranlaßt)	TS1 - TS4	
Inkr N, A	Inkrementiere N bzw. A bei Block-Transfers im Address Scan Mode	WCR	Word Count Register (Wortzähler, dessen Überlauf den Echo-Interrupt L(24) erzeugt, so daß bei autonomen Transfers von Daten zum oder vom Kernspeicher der für den Block zur Verfügung stehende Bereich im Kernspeicher begrenzt und damit die Zahl der Transfers vorgegeben werden kann)
INT I/O	Internal I/O		
I/O Pause	Input/Output Pause		
IOT	Input/Output Transfer		