

KfK 2864
September 1979

Digitale Steuerung des Reaktanzstellgliedes (Tuner) im LINAC-HF-Regelsystem

A. Hornung, P. Schlick
Institut für Kernphysik

Kernforschungszentrum Karlsruhe

KERNFORSCHUNGSZENTRUM KARLSRUHE
Institut für Kernphysik

KfK 2864

DIGITALE STEUERUNG DES REAKTANZSTELLGLIEDES (TUNER) IM LINAC-HF-REGELSYSTEM

A. Hornung, P. Schlick

Kernforschungszentrum Karlsruhe GmbH, Karlsruhe

Als Manuskript vervielfältigt
Für diesen Bericht behalten wir uns alle Rechte vor

Kernforschungszentrum Karlsruhe GmbH
ISSN 0303-4003

Zusammenfassung

Digitale Steuerung des Reaktanzstellgliedes (Tuner) im Linac-Hf-Regel- system

Es wird die Weiterentwicklung der digitalen Steuerung des Reaktanzstellgliedes im Hf-Regelsystem des LINAC vorgestellt.

Die Verbesserungen beziehen sich sowohl auf das Prinzip der digitalen Schaltung als auch auf technische Details.

Aufgrund der vorliegenden Arbeit konnte der Bauelementeaufwand erheblich reduziert und die Betriebssicherheit der Anlage verbessert werden. Insgesamt neun Geräte wurden bei mehreren Langzeit-Beschleunigerläufen ohne Ausfälle betrieben.

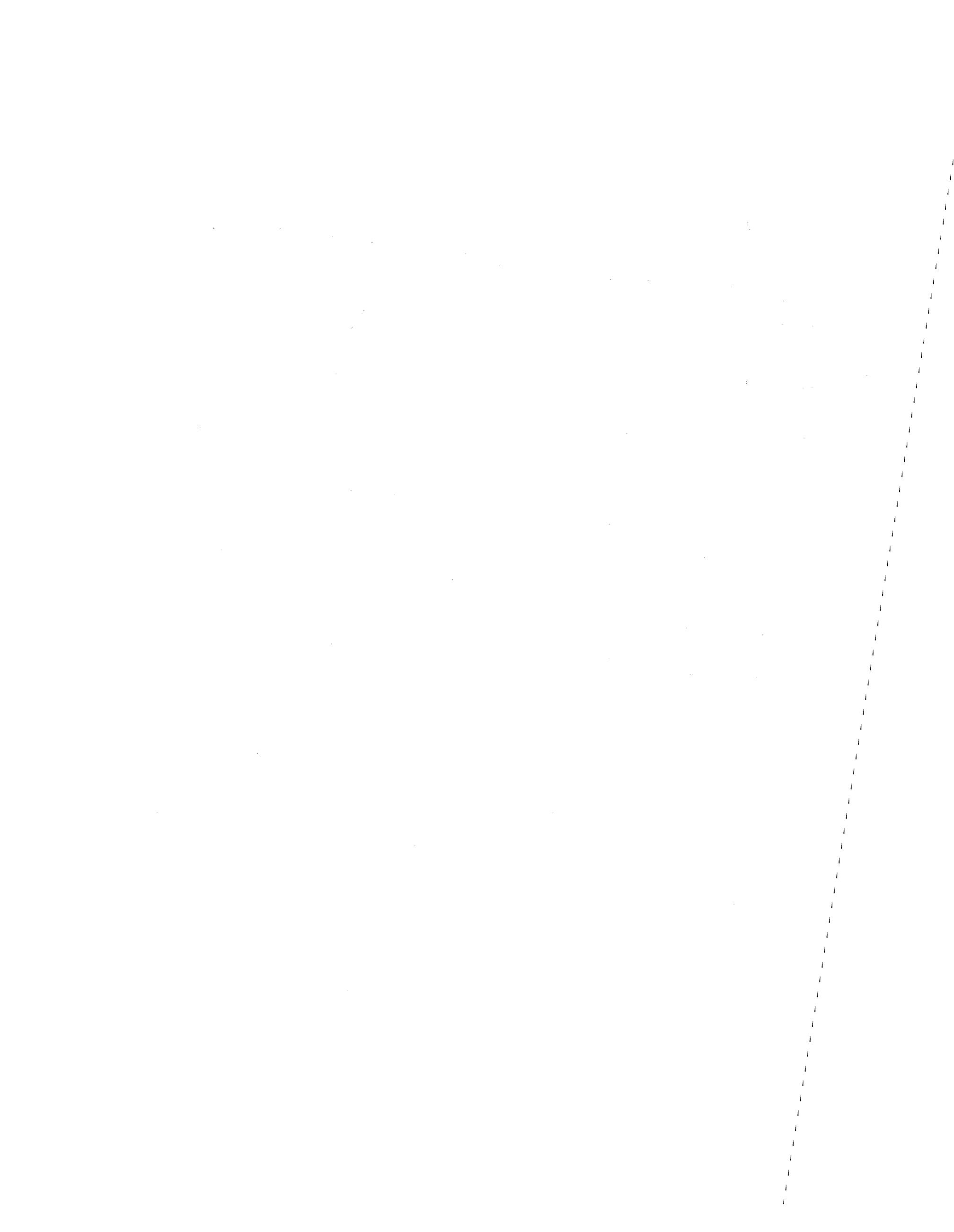
Digital Control Unit for the Eigenfrequency Tuner of the Linac R.F. Control System

Progress in the development of the digital unit of the eigenfrequency tuner being part of the R.F. control system of the LINAC is reported.

The improvements concern the principle of the digital circuit as well as technical details.

As a result, significant reduction of the hardware size and better reliability is obtained.

In total 9 units have been operated in several long-term accelerator runs without any fault.



1. Einleitung

Das Reaktanzstellglied ¹ wird am Projekt "Supraleitender Linearbeschleuniger" (LINAC) zur Absolutphasenregelung der supraleitenden Helixresonatoren verwendet.

Es besteht aus 12 zwischen 2 Werten umschaltbaren Einzelreaktanzen (kurzgeschlossene koaxiale Stichleitungen), die in einem bestimmten Abstand vom festen Kurzschluß über einen Hochfrequenzschalter (PIN-Diode) nochmals kurzgeschlossen werden können.

Die Aufgabe der digitalen Steuerung besteht nun darin, den Schaltzustand der 12 Hochfrequenzschalter mit einer analogen Steuergröße (Phasendifferenzsignal) in der Weise zu verknüpfen, daß bei maximalem Zeitabstand der einzelnen Schaltvorgänge die Schalthäufigkeit der Hochfrequenzschalter minimal wird (Gleichverteilung).

Diese Aufgabe wurde prinzipiell gelöst. ²

Die Besonderheit der vorliegenden Arbeit besteht in einem neuartigen Ringzähler für den speziellen Ausgangscode, durch den der Bauelementaufwand erheblich reduziert werden konnte. Eine weitere Einsparung von Bauelementen und dadurch eine weitere Verbesserung der Betriebssicherheit wurde durch Überarbeitung der gesamten Schaltung, insbesondere des Analog-Digital-Wandlers und der sog. Störaufschaltung erreicht. Dadurch konnte die gesamte Schaltung einschließlich des Dreiecksgenerators für die "Glättung" ² auf 2 Europakarten untergebracht werden. Schließlich wurde eine Schutzschaltung entwickelt, welche die PIN-Dioden der Hochfrequenzschalter beim Ausfall der Sperrspannung oder unsachgemäßer Bedienung der HF-Regelschaltung vor Zerstörung schützt.

2. Aufgabenstellung

Faßt man die binären Ansteuersignale der Hochfrequenzschalter in ihrer Gesamtheit als Binär-Code ³ auf, so stellt sich die Aufgabe der digitalen Steuerung als Wandlung des analogen Steuersignals in einen speziellen Binär-Code dar. Da eine direkte Umwandlung nicht gefunden wurde, wird diese Aufgabe in 2 Teilen gelöst.

1. Umwandlung des Analogsignals in Dualcode (Signal A).
2. Umwandlung des Dualcodes in den Ausgangscode (Signal C).

Abb. 1 zeigt den zeitlichen Verlauf der Schaltzustände des Ausgangs-
codes in Abhängigkeit vom Eingangssignal. Der Übersicht halber wur-
de ein dreieckförmiges Eingangssignal angenommen.

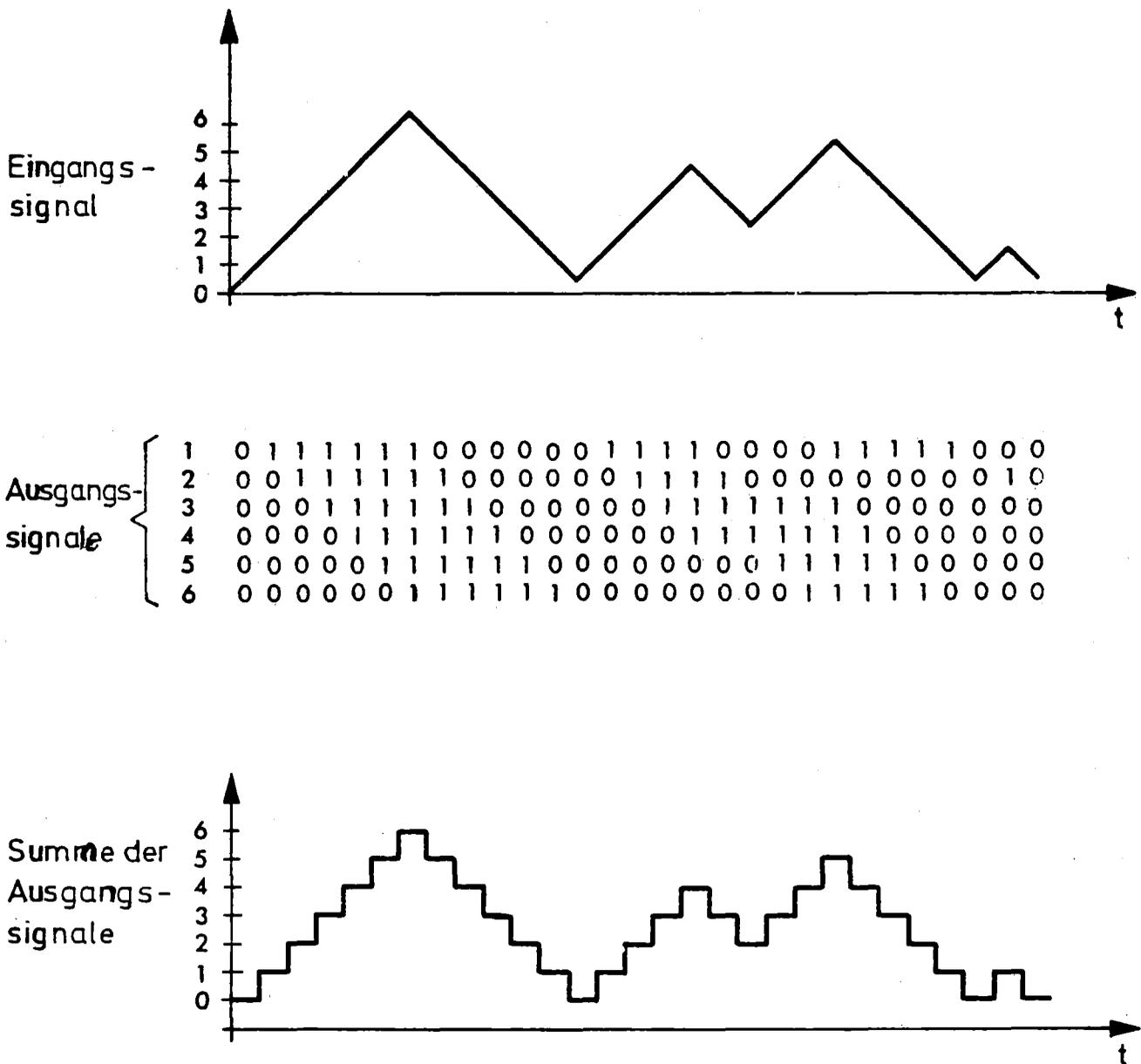


Abb. 1: Zeitlicher Verlauf der Schaltzustände

3. Realisierung

3.1 Codewandlung Dualcode (A) in Ausgangscode (C)

Diese Codewandlung ist mit einem Netzwerk ohne Speicher nicht lösbar, weil ein Folgezustand nicht nur durch das Eingangssignal A, sondern auch durch die beiden letzten vorausgegangenen Ausgangszustände bestimmt ist (siehe Abb. 1). Die Rückwandlung des Ausgangscode in den Dualcode kann dagegen leicht durch Aufsummieren der äquivalenten Ausgangszustände mit einem Addierwerk erreicht werden. Diese Tatsache wird dazu benutzt, um in einer digitalen Rückführungsschleife² abhängig von dem digitalen Vergleich zwischen dem rückcodierten Ausgangssignal (B) und dem dualen Eingangssignal (A) den Ringzähler so nachzusteuern, daß die Ausgangsgröße C der dualen Eingangsgröße A entspricht. Bei Gleichheit dieser beiden Signale wird der Zählvorgang gestoppt.

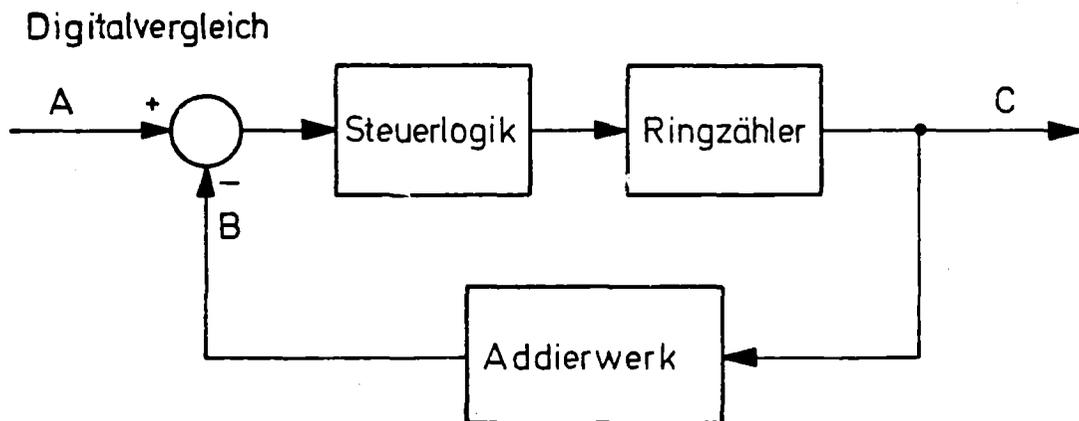


Abb. 2: Digitale Rückführungsschleife

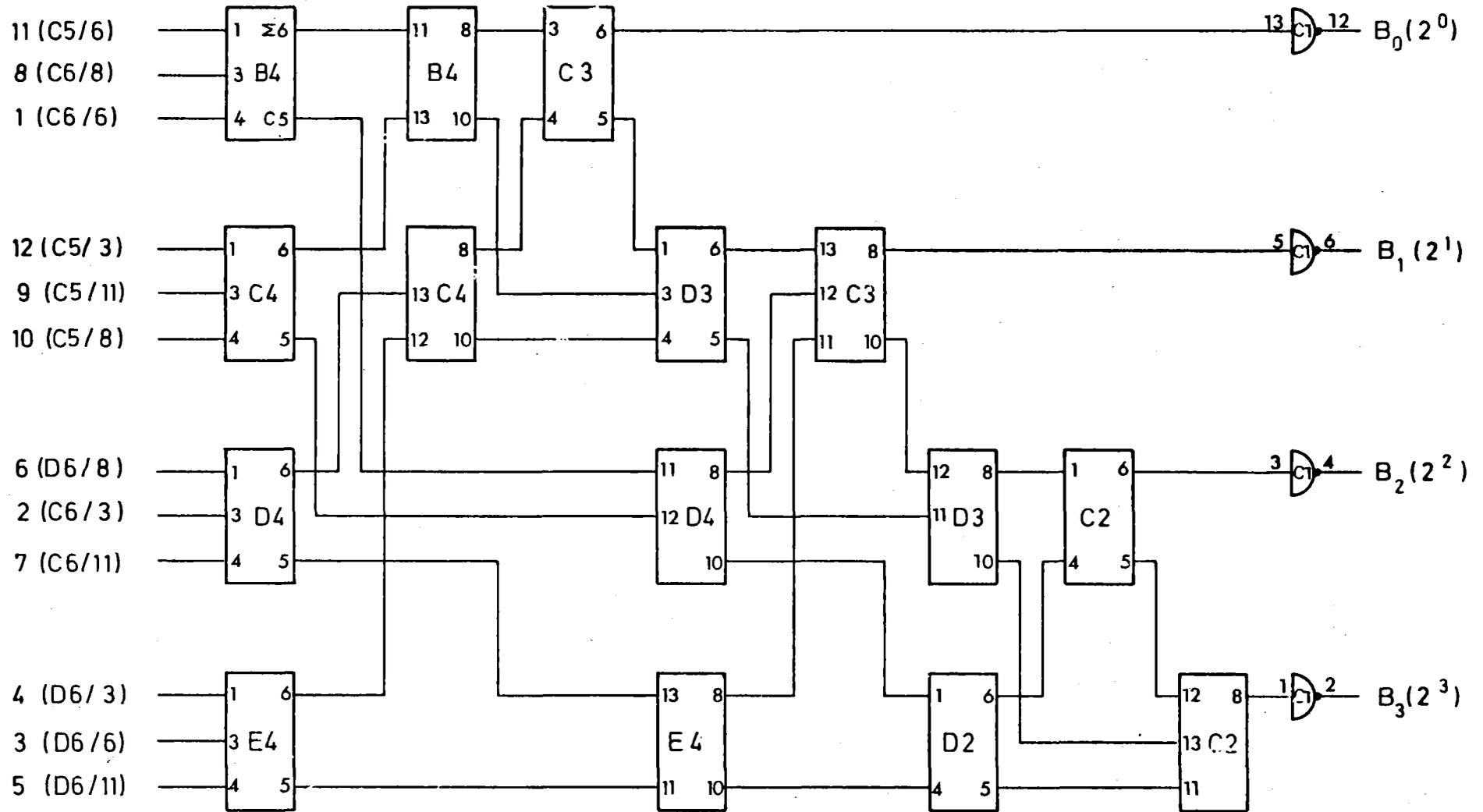
3.1.1 Addierwerk

Das Addierwerk wurde mit dem integrierten Volladdierer SN74H183 aufgebaut und befindet sich auf der Steuerplatine. Abb. 3 zeigt die Schaltung. Die maximale Signallaufzeit beträgt ca. 90 ns.

Abb. 3: Addierwerk

7 1/2 SN 74 H 183

2/3 SN 7404



3.1.2_Steuerlogik

Die Steuerlogik liefert die für den Ringzähler erforderlichen Steuersignale und den Zähltakt.

Aus dem digitalen Vergleich (SN7485) von dualer Eingangsgröße A und rückcodierter Ausgangsgröße B werden die Zählrichtungssignale

V (vorwärts, $A > B$, HF-Schalter schließen) und
R (rückwärts, $A < B$, HF-Schalter öffnen) gewonnen.

Bei Gleichheit zwischen Eingangs- und Ausgangsgröße ($A=B$) wird der Zähltakt gestoppt. Das entsprechende Signal wird mit G bezeichnet.

3.1.2.1__Taktgenerator

Als Taktgenerator wird ein Start-Stop-Oszillator aus 2 Monoflops benutzt. Die Zeitkonstanten ergeben Impulsbreite (50 ns) und Impulspause des Taktimpulses.

Die Impulspause muß größer sein als die gesamte Signallaufzeit durch die digitale Regelschleife bis zum Vergleicher. Die Gesamtlaufzeit ergibt sich wie folgt:

Addierwerk	90 ns
Schieberegister	20 ns
EX-OR-Gatter	15 ns
Inverter	10 ns
Vergleicher	25 ns
Signallaufzeit	<hr/> 160 ns

Aus Sicherheitsgründen wird eine Impulspause von 200 ns gewählt.

Abb. 4 zeigt die Schaltung des Taktgenerators.

3.1.2.2_Schaltabstandssicherung

Um Überschneidungen an den Schalttransistoren der HF-Schalter zu verhindern, muß dafür gesorgt werden, daß Schaltvorgänge am selben

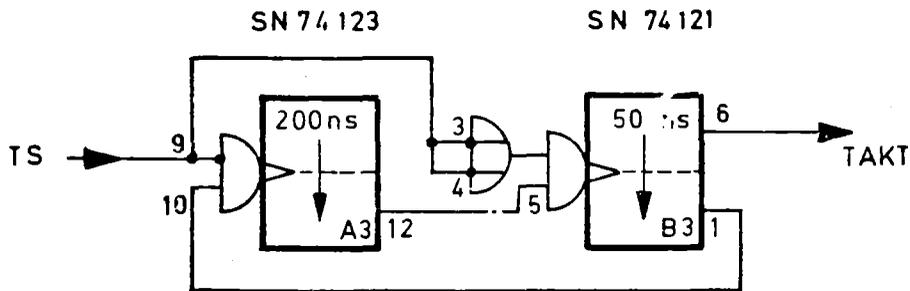


Abb. 4: Taktgenerator

Schalter einen Mindestabstand von 5 μ s haben. Schaltvorgänge in kürzerem Zeitabstand können bei wiederholtem Umschalten zwischen einer Randstellung und dem Zustand davor auftreten. Man muß also ein Zurückschalten in die gerade verlassene Randstellung für die Dauer von 5 μ s verhindern; d. h. der Zähltakt muß für diese Zeit gestoppt werden.

Mit Hilfe des Randstellungsdetektors (Abb. 5) wird die obere (\bar{O} , alle HF-Schalter geschlossen) und die untere (\bar{U} , alle HF-Schalter geöffnet) Randstellung erkannt. Das Signal $\overline{RAND} = \overline{O+U}$ wird für externen Überwachung benötigt.

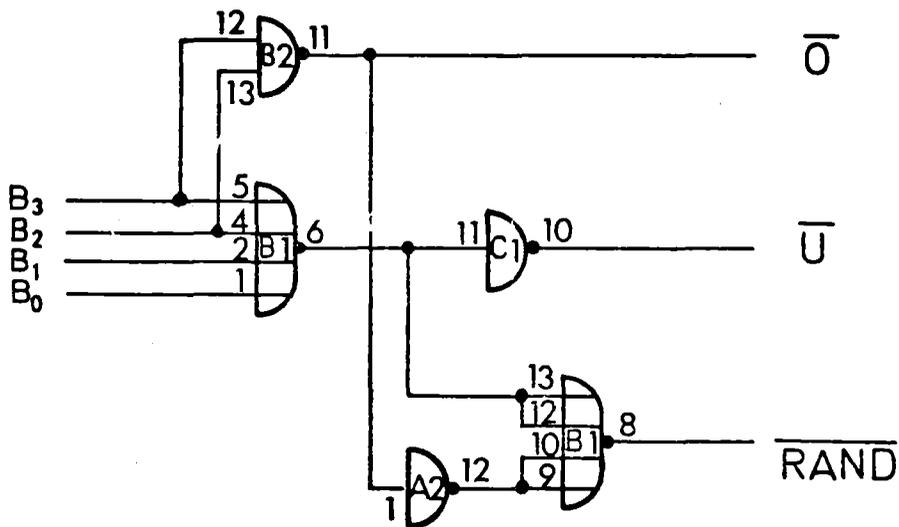


Abb. 5: Randstellungsdetektor

Bei Erreichen einer Randstellung wird der Takt gestoppt, solange das zu dieser Randstellung führende Zählrichtungssignal anliegt. Die Takt-

stoppbedingung lautet also:

$$RS = O \cdot V + U \cdot R$$

Um nun nach dem Verlassen einer Randstellung ein zu frühes Zurückschalten zu verhindern, wird das entsprechende Randstellungssignal für 5 μ s gespeichert. Das geschieht mit Hilfe zweier Monoflops. Mit den gespeicherten Randstellungssignalen O' und U' ergibt sich die erweiterte Stoppbedingung

$$RS = (O+O')V+(U+U')R = \overline{\overline{O} \cdot \overline{O'}} \cdot \overline{V} \cdot \overline{U} \cdot \overline{U'} \cdot R$$

Abb. 6 zeigt die Realisierung dieser Schaltung.

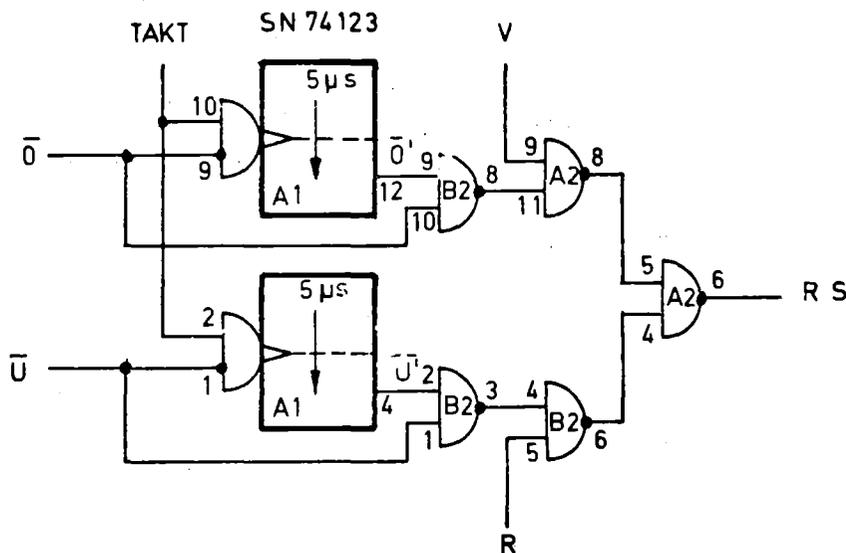


Abb. 6: Schaltabstandssicherung

3.1.2.3 Frequenzsicherung

Eine weitere Taktstopp-Bedingung ergibt sich aus der Forderung, daß bei beliebigem Tastverhältnis eine obere Schaltfrequenz von 125 kHz nicht überschritten werden darf. Damit werden Schwingungen der nichtlinearen Regelschleife oberhalb dieser Frequenz verhindert, was zur Überlastung der PIN-Dioden in den HF-Schaltern führen könnte. Die Schaltfrequenz entspricht der halben Taktfrequenz.

Aus dem Impulsdiagramm (Abb. 7) ist ersichtlich, daß der jeweils dritte Taktimpuls erst nach Ablauf der durch die maximal zulässige Schaltfrequenz vorgegebenen Periodendauer zur Auslösung eines neuen Schaltvorganges freigegeben werden darf.

Die Schaltfrequenz wird mit einem JK-Flip-Flop (SN7470) aus der Taktfrequenz gewonnen. Die zulässige Periodendauer wird an zwei Monoflops eingestellt, die von den Ausgangssignalen des JK-Flip-flops getriggert werden.

Die Taktsperrbedingung wird durch logische Verknüpfung der Ausgangssignale des JK-Flip-Flops (Q) und der beiden Monoflops (M_1 , M_2) gewonnen.

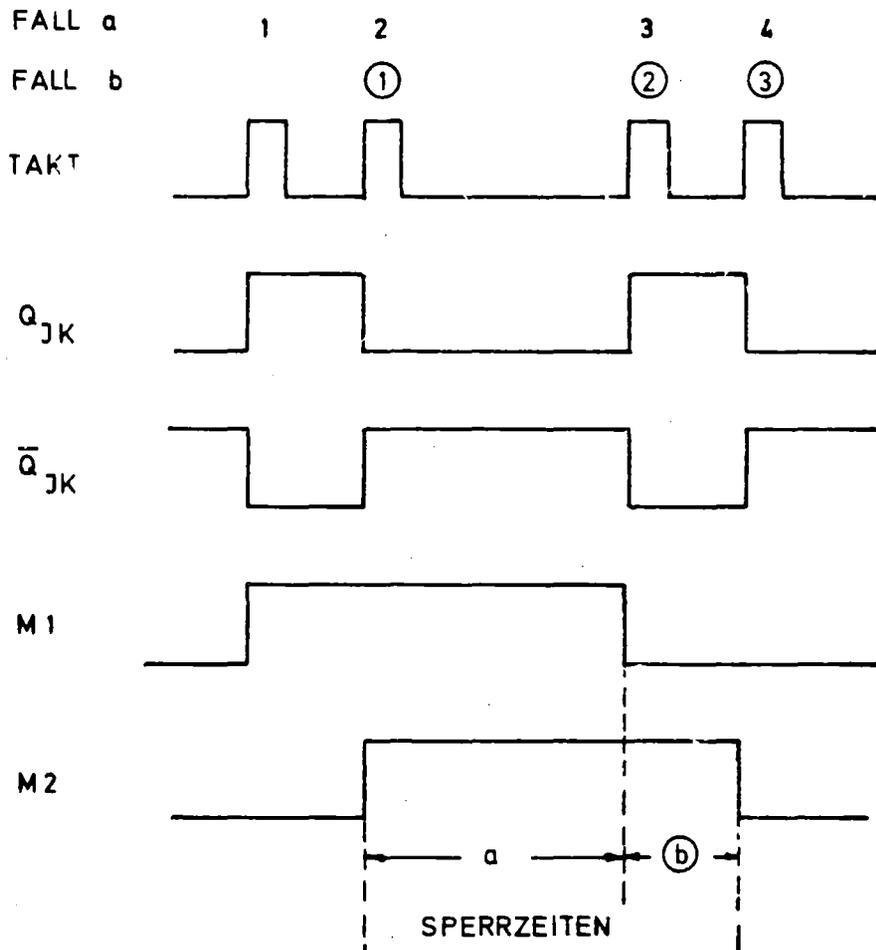


Abb. 7: Impulsdiagramm Frequenzsicherung

Es gilt:

$$FS = \overline{Q} \cdot M_1 + Q \cdot M_2 = \overline{Q + M_1} + \overline{Q + M_2}$$

Die Realisierung dieser Schaltung zeigt Abb. 8.

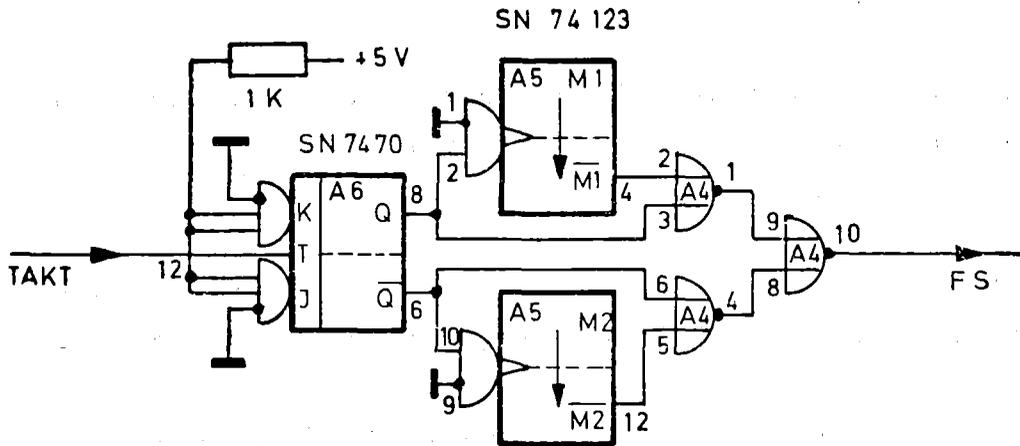


Abb. 8: Frequenzsicherung

Die Zusammenfassung der verschiedenen Taktstopp-Bedingungen ergibt das Taktstoppsignal TS

$$TS = RS + FS + G = \overline{RS \cdot FS} + G \quad \text{mit} \quad \overline{RS} = \overline{O \cdot O'} \cdot \overline{V \cdot U \cdot U'} \cdot R$$

$$TS = \overline{O \cdot O'} \cdot \overline{V \cdot U \cdot U'} \cdot R \cdot \overline{FS} + G$$

3.1.2.4 General-Clear

Um nach dem Einschalten definierte Anfangsbedingungen zu schaffen, wird mit einem Monoflop (Sn74123) ein Clear-Impuls erzeugt, der die Schieberegister auf Null setzt (Abb. 9).

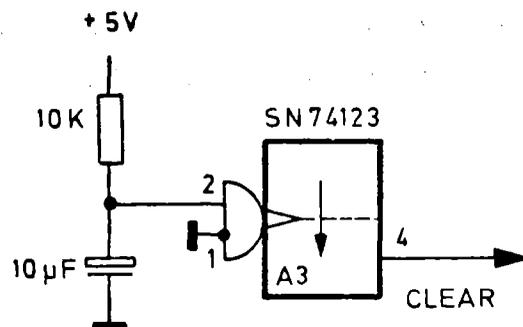


Abb. 9: General-Clear

Die Zeitkonstante des RC-Gliedes am Eingang ist so bemessen, daß die Triggerschwelle erst ca. 1sec nach dem Einschalten erreicht wird, d. h. das Monoflop wird erst getriggert, nachdem die Versorgungsspannung sicher anliegt.

3.1.3 Ringzähler

Betrachtet man den zeitlichen Ablauf der Schaltzustände des Ausgangscodes (Abb. 1), so stellt man eine gewisse Ähnlichkeit mit einem Johnson-Zähler ⁴ fest.

Der Ablauf der Ausgangssignale eines Johnson-Zählers entspricht allerdings nur in 2 Fällen dem geforderten Ausgangscode:

1. Beim Anfangszustand "Alle Ausgänge 0" entspricht der Ablauf dem Vorwärtszählen (HF-Schalter werden nacheinander geschlossen).
2. Beim Anfangszustand "Alle Ausgänge 1" entspricht der Ablauf dem Rückwärtszählen (HF-Schalter werden nacheinander geöffnet, und zwar wie gewünscht in derselben Reihenfolge wie sie geschlossen wurden; d. h., der am längsten geschlossene Schalter wird zuerst geöffnet).

Mit der Exklusiv-Oder-Verknüpfung der Ausgänge zweier Johnson-Zähler, von denen jeder nur bei der ihm zugeordneten Zählrichtung getaktet wird (Abb. 10), wurde schließlich eine Ringzählerschaltung gefunden, die im geforderten Ausgangscode zählt.

3.1.4 Technische Ausführung

Abb. 11 zeigt den Gesmatlogikplan der digitalen Rückführungsschleife einschließlich der Treiber für die Steuerleitungen zu den HF-Schaltern. Die gesamte Schaltung wurde auf einer Europakarte untergebracht. (Abb. 12)

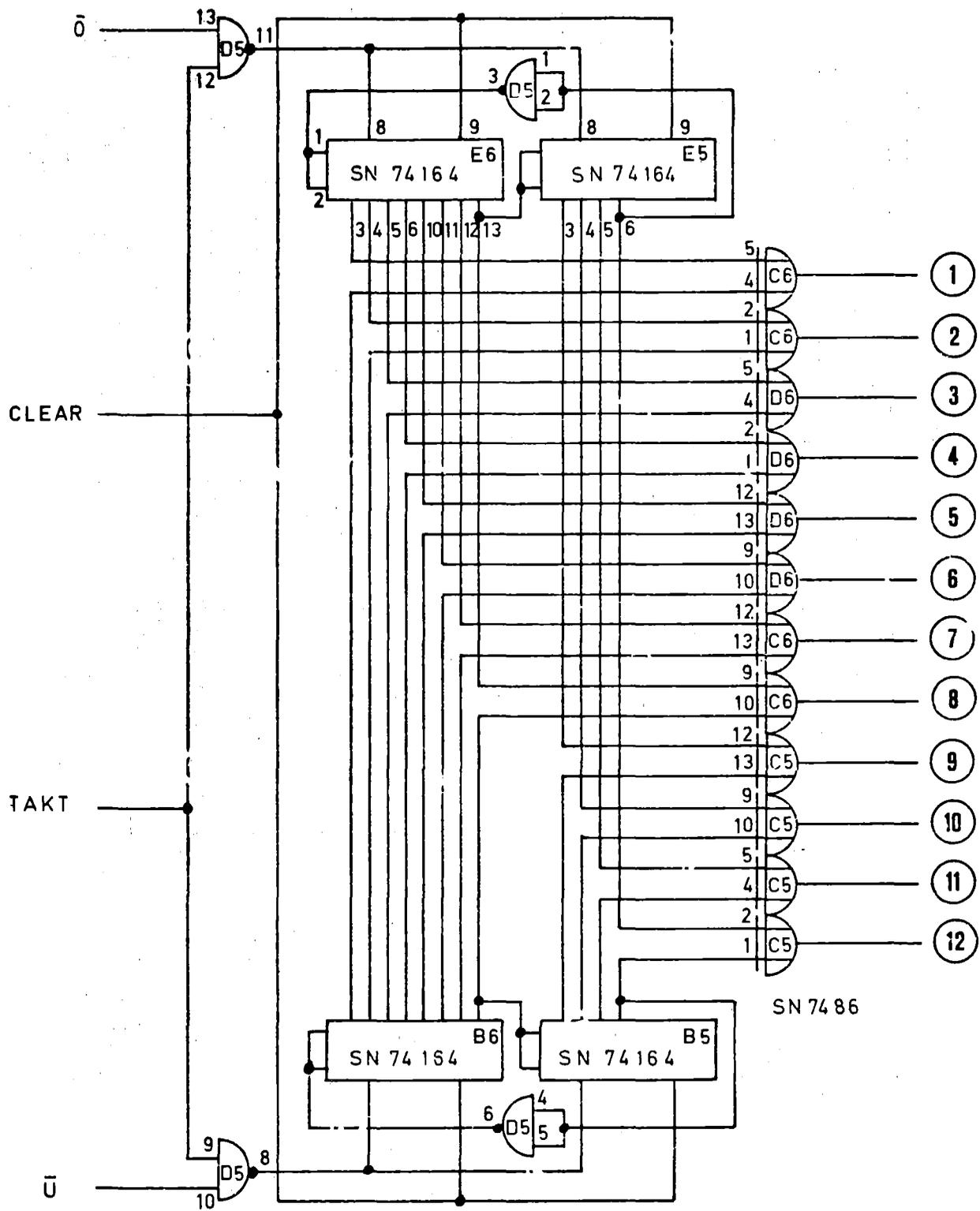
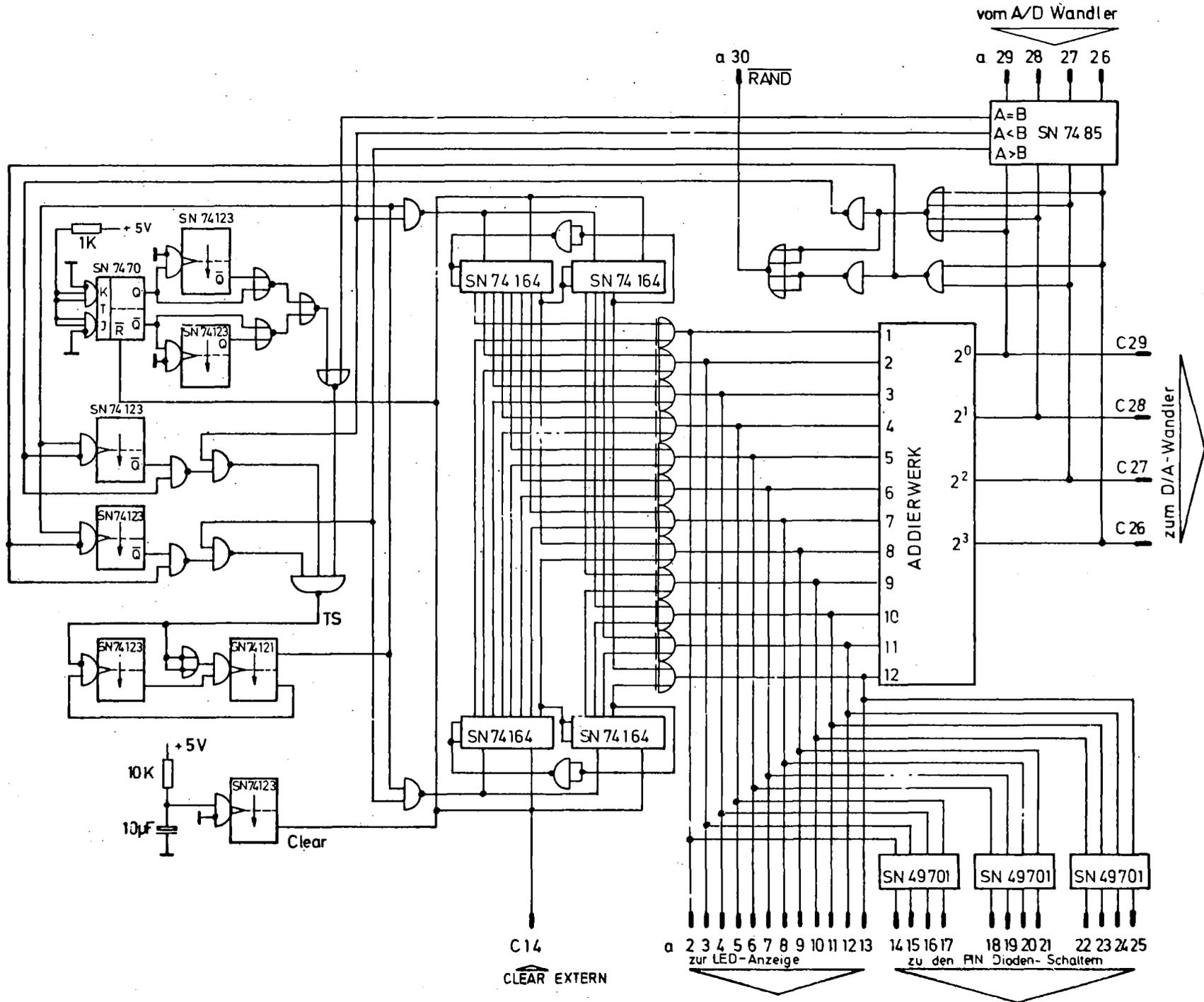


Abb. 10: Ringzähler

Abb. 11: Gesamtlogikplan



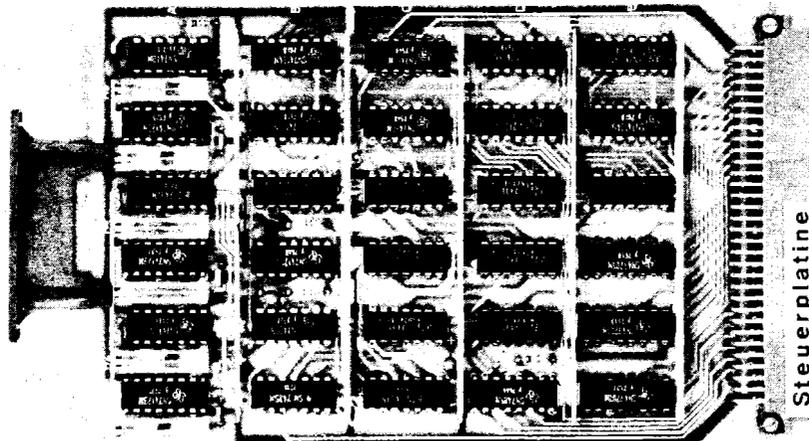


Abb. I2: Steuerplatine

3.2__Analog-Digital-Wandler

Zur Lösung der ersten Teilaufgabe wurde ein Parallelwandler aus 12 schnellen Komperatoren (SN72720) mit nachgeschalteten Schnitt-Triggern (SN 74I4) aufgebaut. Die einzelnen Schwellen wurden aus Gründen der Störsicherheit auf 500 mV im Bereich von -3V bis +3V eingestellt. Im Ausgangssignal ist die Information über die digitalisierte Eingangsgröße zweimal enthalten. Sie geht sowohl daraus hervor, wie viele Komperatoren geschaltet haben als auch daraus, welche Komperatoren geschaltet haben. Die letztere Information wird zur Wandlung in den Dual-Code deshalb benutzt, weil dann mit dem Priority-Encoder SN 74 I48 (TI) die Codewandlung mit nur 3 IC's realisiert werden kann. Bei Verwendung der ersten Information wären für das erforderliche Addierwerk 8 IC's notwendig gewesen. Der gesamte A/D-Wandler wurde als steckbares Modul aufgebaut. Die Versorgungsspannungen des Moduls betragen $\pm 15V$ und $+5V$. Aus Gründen der Störsicherheit werden die Betriebsspannungen im Modul selbst erzeugt. Abb. I3 zeigt die Schaltung des A/D-Wandlers. Die Totalwandelzeit ist kleiner 120 ns. Abb. I4 zeigt Platine und fertiges Steckmodul.

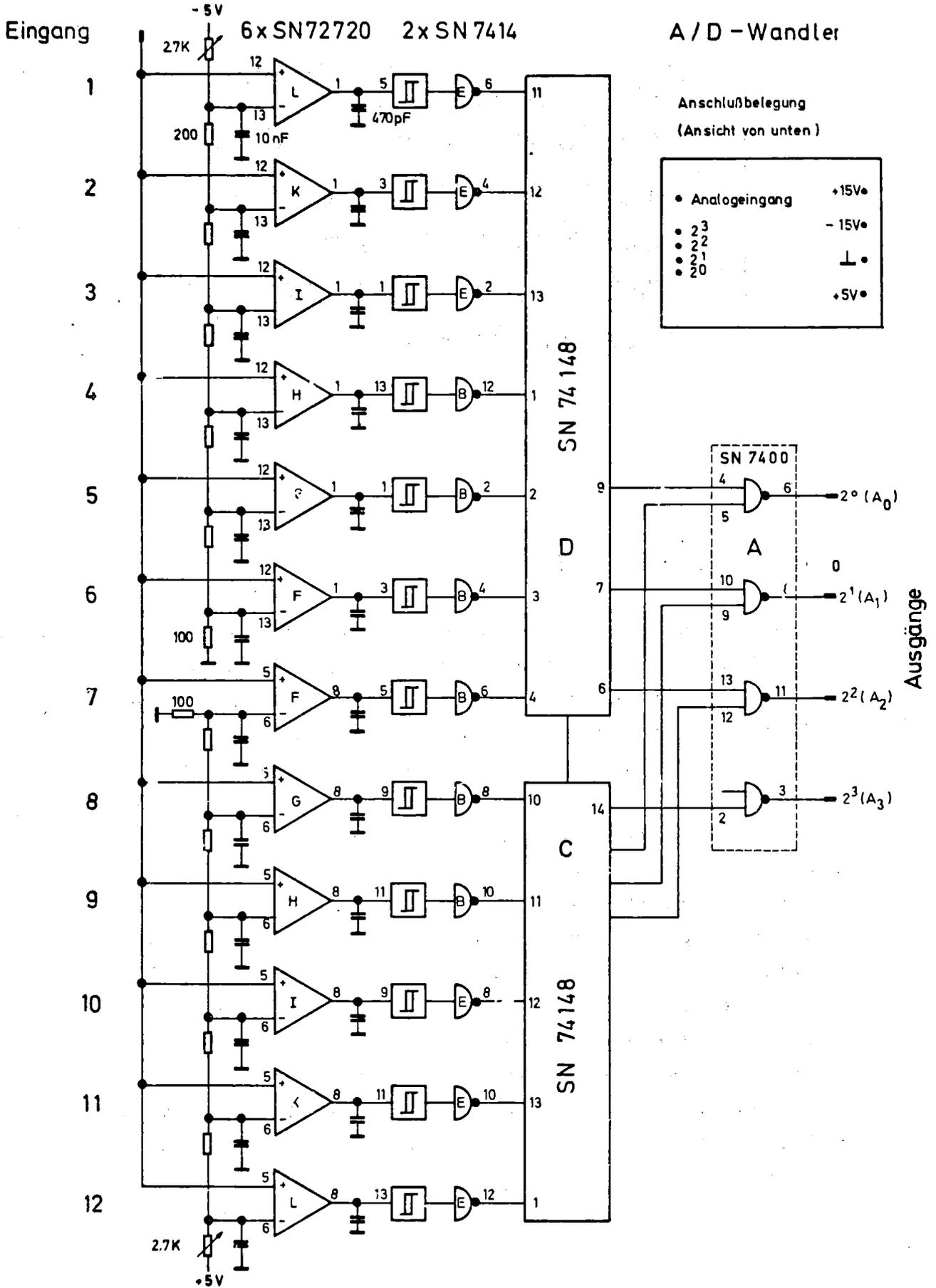


Abb. 13: Analog-Digital-Wandler

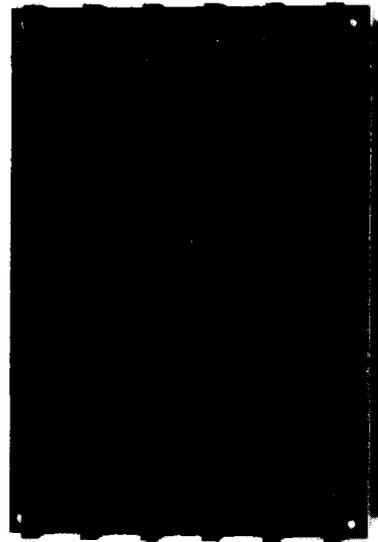
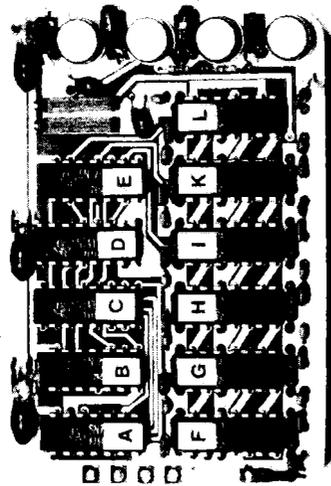


Abb. I4: A/D-Wandler

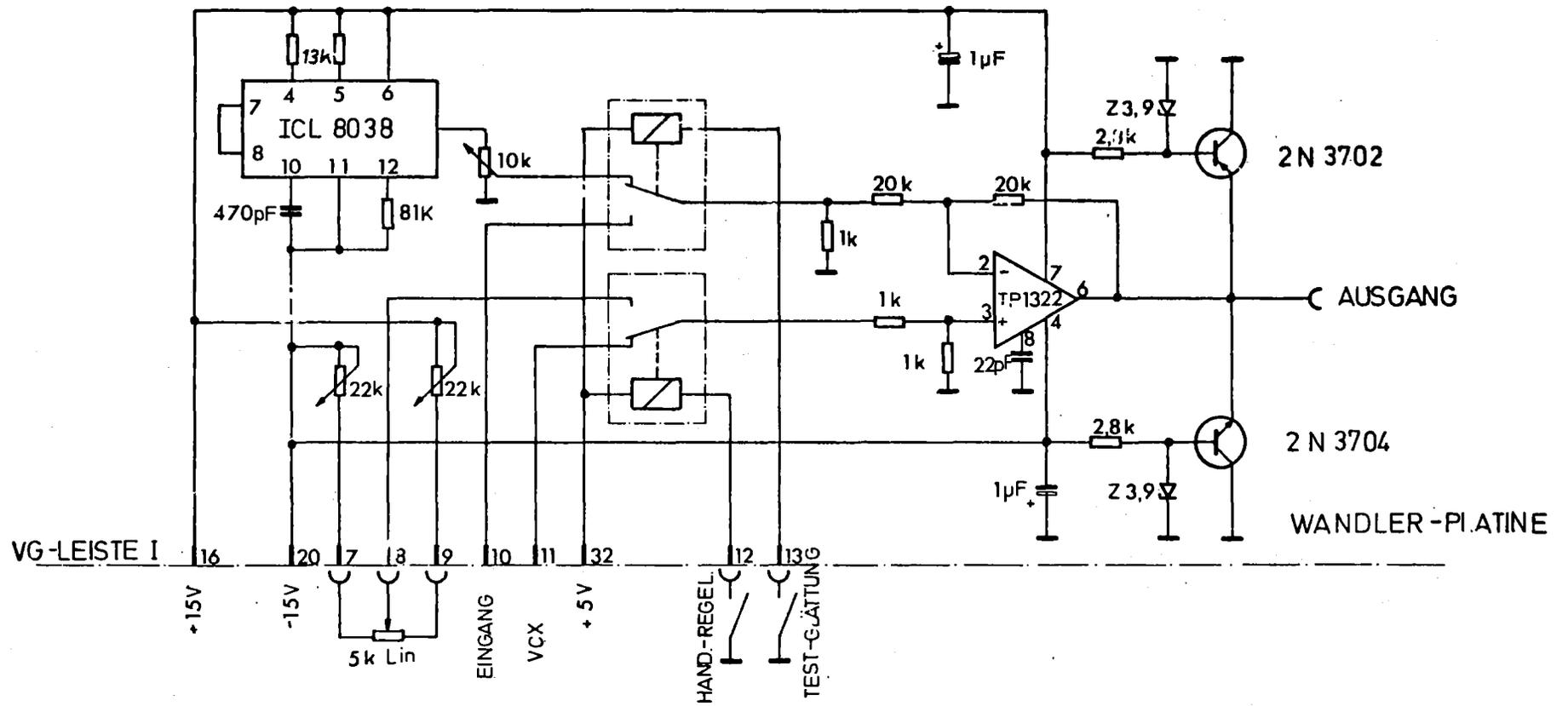
3.3 Eingangsschaltung

Dem A/D-Wandler ist ein integrierter Summierverstärker (TP I322) vorgeschaltet, der dem Wandler einen niedrigen Quellwiderstand bietet. Die Ausgangsspannung des Verstärkers wird durch eine Begrenzerschaltung auf einen zulässigen Bereich von $\pm 5V$ begrenzt. Der Summierverstärker dient zur Aufsummierung der Glättungsspannung (50 kHz, Dreieck), die von einem Funktionsgenerator (ICL 8038) erzeugt wird. Zu Testzwecken können die Summiereingänge mit Hilfe von 2 Umschaltrelais, die von der Frontplatte aus betätigt werden, von "Glättung" auf einen Testeingang bzw. vom Phasendifferenzsignal (VCX-Signal) auf eine an der Frontplatte einstellbare Spannung umgeschaltet werden (Hand-Regelung). Die Eingangsschaltung ist in Abb. I5 dargestellt.

3.4 Digital-Analog-Wandler, Anzeigetreiber

Das Ausgangssignal B der digitalen Rückführungsschleife wird mit einem D/A-Wandler (DAC 334 Hybrid Systems) in ein analoges Kontrollsignal umgewandelt und über einen Operationsverstärker (LM 748) entkoppelt auf einen Meßausgang gegeben. Ein weiterer LM748 dient als Impedanzwandler für die Anzeige.

Abb. 15: Eingangsschaltung



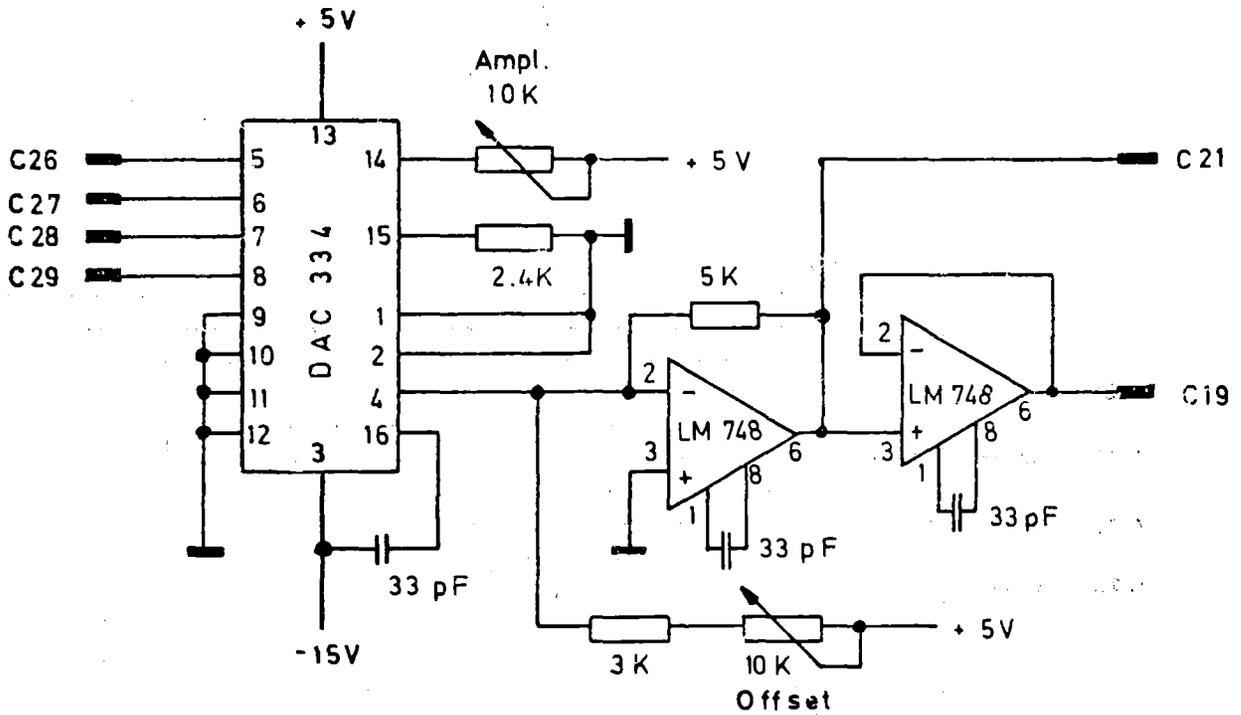


Abb. I6: D/A-Wandler, Anzeigetreiber

3.5 Wandler-Störaufschaltung

Aus regelungstechnischen Gründen (Amplituden-Störaufschaltung⁵⁾) wird ein weiteres analoges Ausgangssignal benötigt. Bei dieser D/A-Wandlung soll der zu einer bestimmten Dualzahl gehörende Analogwert jedoch beliebig einstellbar sein.⁶⁾ Deshalb wird mit einem Demultiplexer (SN74I54) zunächst vom Dual-Code in einen 1-aus-k-Code gewandelt. Die Ausgänge des Demultiplexers liegen an 12 Potentiometern, mit denen die gewünschten Analogwerte eingestellt werden können. Die Potentiometerabgriffe liegen über Dioden entkoppelt an einem Operationsverstärker (I32I). Mit zwei weiteren Potentiometern kann Amplitude und Offset eingestellt werden (Abb. I7).

3.6 Technische Ausführung

Die in 3.2 bis 3.5 beschriebenen Schaltungsteile sind auf einer weiteren Europakarte untergebracht (Abb. I8).

3.7 Schutzschaltung

Nachdem Fehlbedienungen beim Experimentierbetrieb am LINAC (Einschalten der HF-Leistungsverstärker vor Einschalten der PIN-Dioden-Sperr-

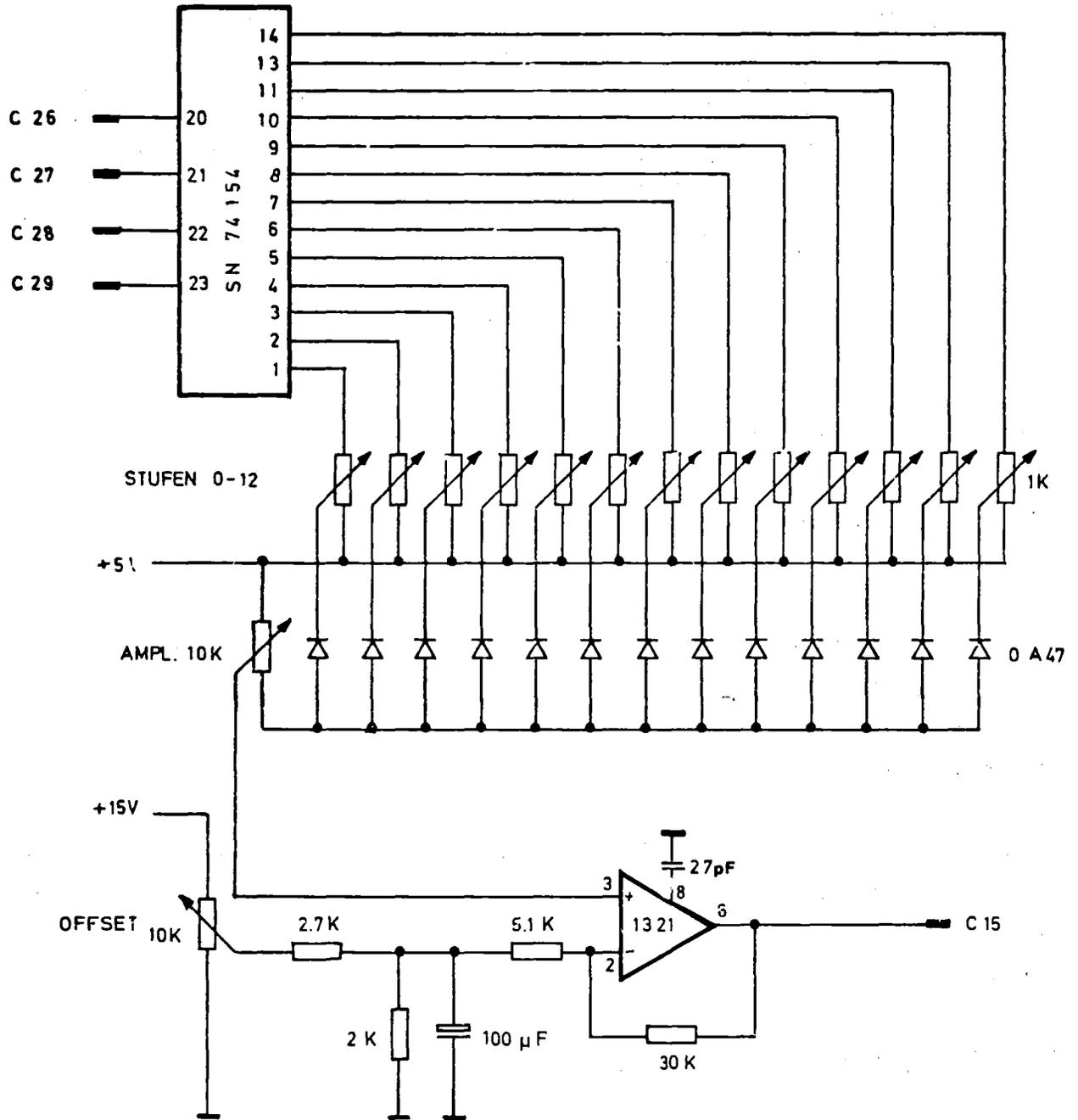


Abb. 17: Wandler-Störaufschaltung

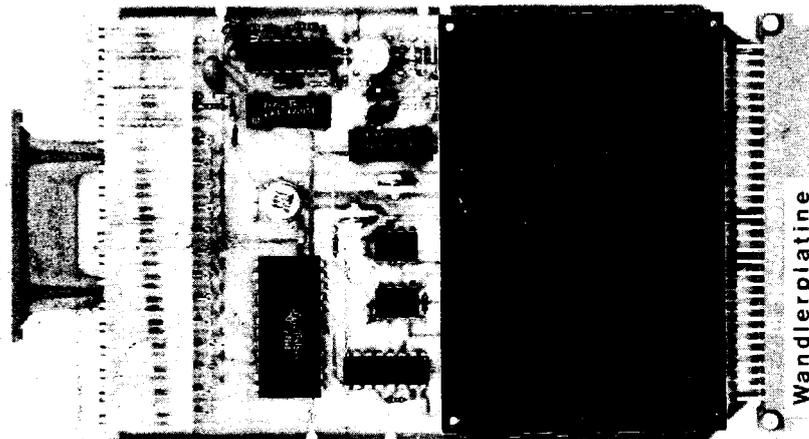


Abb. I8: Wandlerplatine

spannung) zur Zerstörung einiger PIN-Dioden geführt hatten, wurde eine Schaltung entwickelt, die bei fehlender oder zu niedriger Sperrspannung (Ausfall oder Fehlbedienung) die PIN-Dioden in den Flußzustand steuert und solange in diesem Zustand hält, bis die Sperrspannung in der richtigen Höhe anliegt.

Die Sperrspannung wird mit Hilfe eines Optokopplers und nachgeschaltetem Schritt-Trigger (SN74I3) überwacht, der auf die Clear-Eingänge der Schieberegister des Ringzählers wirkt. Die Ansprechschwelle wird mit dem Potentiometer eingestellt (300 V).

Abb. I9 zeigt Schaltung und technische Ausführung.

3.8_Gesamtaufbau

Aufgrund des reduzierten Bauelementeaufwandes und des kompakteren Aufbaues konnte die gesamte Schaltung einschließlich der Tuner-Stromversorgung mit Ausnahme des 350 V-Netzteils in einem I9 Zoll-Einschub untergebracht werden. Abb. 20 zeigt den Verdrahtungsplan des Einschubes, Abb. 2I das fertige Gerät.

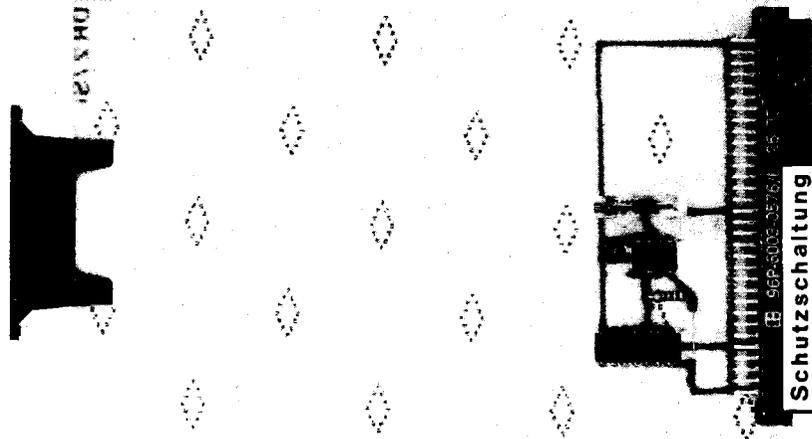
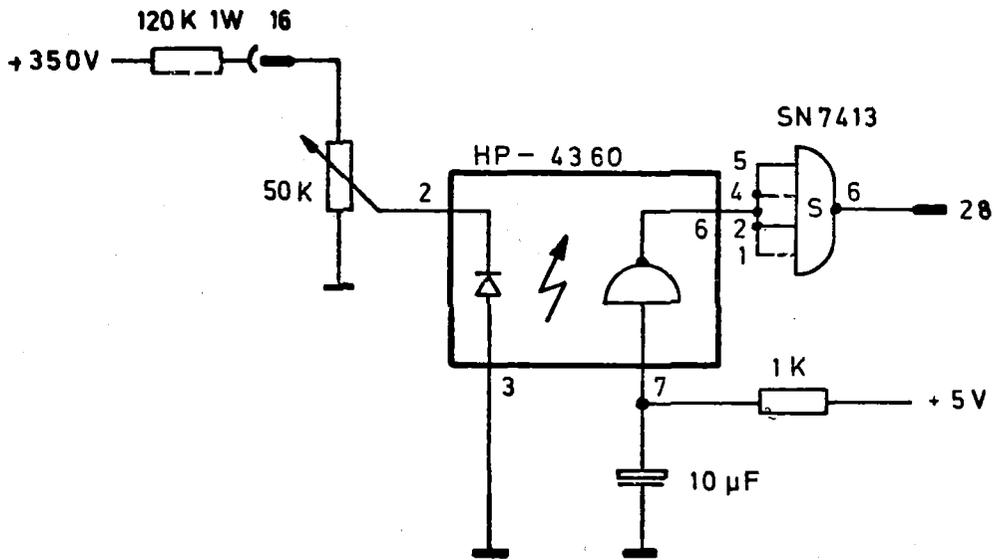
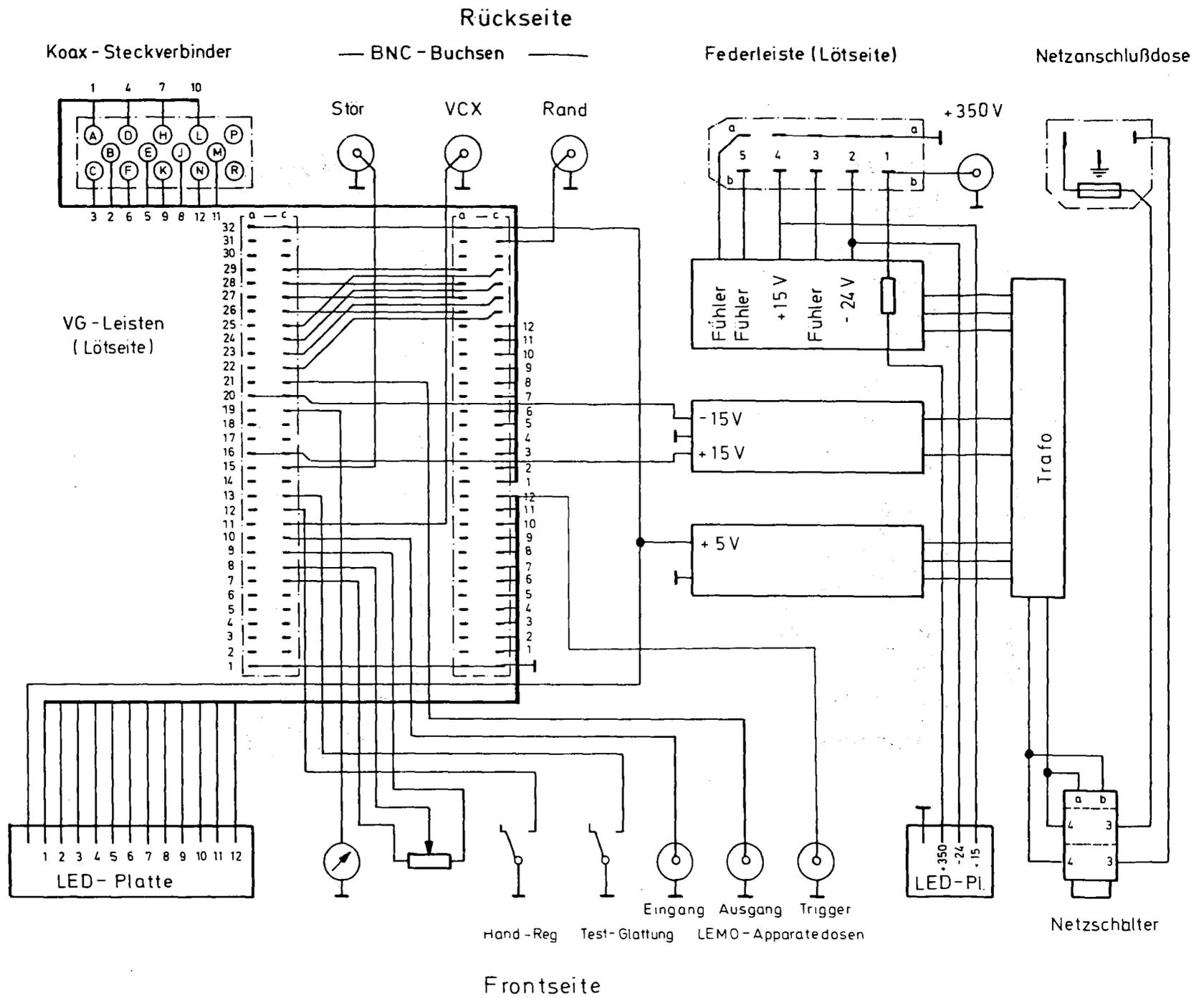


Abb. I9: Schutzschaltung

Abb. 20: Verdrahtungsplan des Einschubes



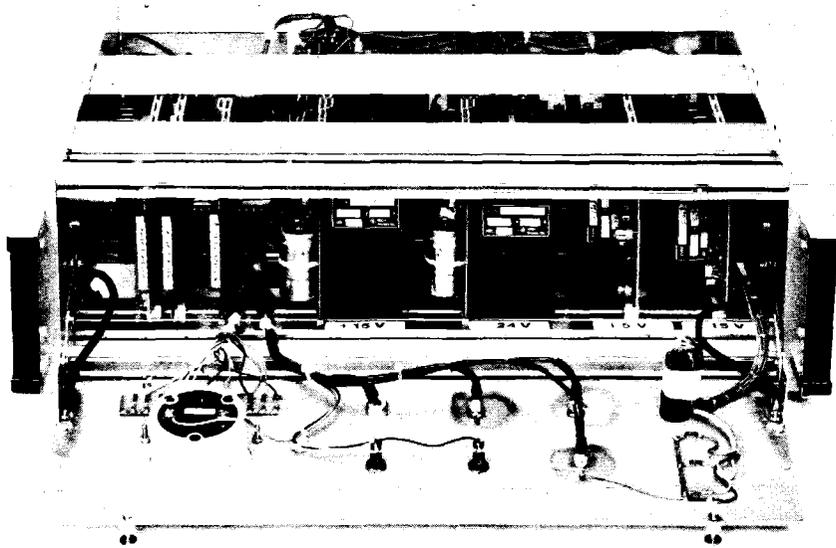


Abb. 21: Digitale Steuerung

L i t e r a t u r h i n w e i s

- 1 G. Hochschild
DE-PS 2317890
- 2 G. Hochschild
Dissertation Universität Karlsruhe 1974 (KFK 2094)
- 3 K. Steinbuch, W. Rupprecht
Nachrichtentechnik (Springer, Berlin 1967)
- 4 TTL-Kochbuch (Texas Instruments, Freising 1973)
- 5 D. Schulze, A. Hornung, P. Schlick
IEEE-Trans. NS-26, No. 3 (1979), 3748
- 6 G. Hochschild
unveröffentlichte Ergebnisse